

COEN 6501 Project Fall 2021 Specification

Jun Huang, Dawei Zuo, Yuelin Yao, and and Xuesi Feng

Department of Electrical and Computer Engineering, Concordia University

COEN 6501: Digital Design and Synthesis

Dr. Marwan Ammar

December 6th, 2021

Table of Conetnts

Introduction	5
Heading II	5
Heading III	5
Project Requirement	6
Heading II	6
Heading III	6
Overview of the Design	7
Heading II	7
Heading III	7
Carry Select Adder	8
Heading II	8
Heading III	8
Overflow Handling	9
Heading II	9
Heading III	9
End Flag Generator	10
Non-pipelining Implementation	11
Heading II	11
Heading III	11
Pipelining Implementation	12
Heading II	12
Heading III	12
Synthesis and Analysis of the Arithmetic Circuit	13
Heading II	13
Heading III	13
References	14

List of Figures

1	ASMD Chart of the FSM of the 4 Stage End Flag Generator	10
2	Synthesized RTL Diagram of End Flag Generator for 4 Operation Stages	15

List of Tables

Introduction

Cervantes Saavedra, Raffel, and Wilson (1999) En un lugar de la Mancha, de cuyo nombre no quiero acordarme, no ha mucho tiempo que vivía un hidalgo de los de lanza en astillero, adarga antigua, rocín flaco y galgo corredor.

Heading II

Una olla de algo más vaca que carnero, salpicón las más noches, duelos y quebrantos los sábados, lantejas los viernes, algún palomino de añadidura los domingos, consumían las tres partes de su hacienda.

Heading III

El resto della concluían sayo de velarte, calzas de velludo para las fiestas, con sus pantuflos de lo mismo, y los días de entresemana se honraba con su vellorí de lo más fino.

Heading IV. Tenía en su casa una ama que pasaba de los cuarenta, y una sobrina que no llegaba a los veinte, y un mozo de campo y plaza, que así ensillaba el rocín como tomaba la podadera. Frisaba la edad de nuestro hidalgo con los cincuenta años; era de complexión recia, seco de carnes, enjuto de rostro, gran madrugador y amigo de la caza.

Heading V. Quieren decir que tenía el sobrenombre de Quijada, o Quesada, que en esto hay alguna diferencia en los autores que deste caso escriben; aunque por conjeturas verosímiles se deja entender que se llamaba Quijana.

Project Requirement

Heading II

Heading III

Heading IV.

Heading V.

Overview of the Design

Heading II

Heading III

Heading IV.

Heading V.

Carry Select Adder

Heading II

Heading III

Heading IV.

Heading V.

Overflow Handling

Heading II

Heading III

Heading IV.

Heading V.

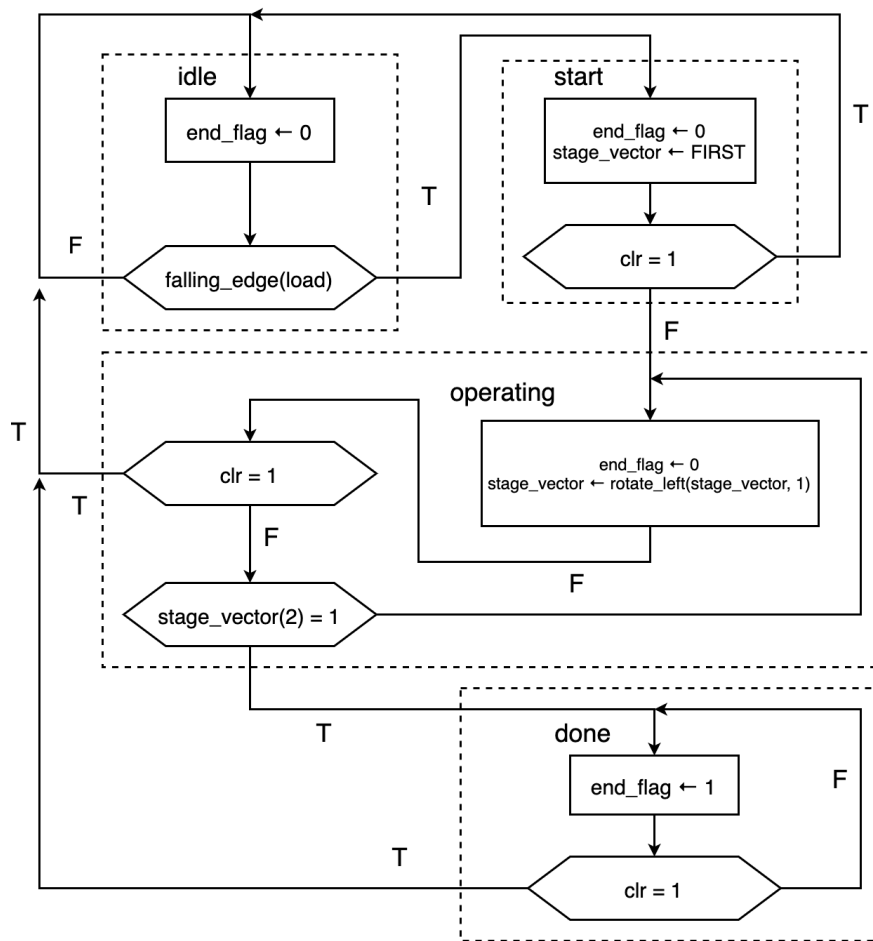
End Flag Generator

To generate a valid *end_flag* signal for the ALU, a Timed Mealy State Machine is introduced into the circuit. For instance, a pipelining circuit will result in the output after counting 4 synchronized clock cycles when the “load” signal goes from high to low. The counting of the clock cycle is implemented by rotating a vector signal to avoid introducing extra addition circuit.

The ASMD chart is presented in Figure 1. And the RTL description of the generator is presented in Figure 2.

Figure 1

ASMD Chart of the FSM of the 4 Stage End Flag Generator



Note. “stege_vector” is a 4 bit vector signal; “FIRST” is “0001”.

Non-pipelining Implementation

Heading II

Heading III

Heading IV.

Heading V.

Pipelining Implementation

Heading II

Heading III

Heading IV.

Heading V.

Synthesis and Analysis of the Arithmetic Circuit

Heading II

Heading III

Heading IV.

Heading V.

References

- Cervantes Saavedra, M. d., Raffel, B., & Wilson, D. d. A. (1999). *Don Quijote: a new translation, backgrounds and contexts, criticism* (1st ed ed.). New York: W.W. Norton.

Figure 2

Synthesized RTL Diagram of End Flag Generator for 4 Operation Stages

