实验5报告

学号: 2017K8009922026

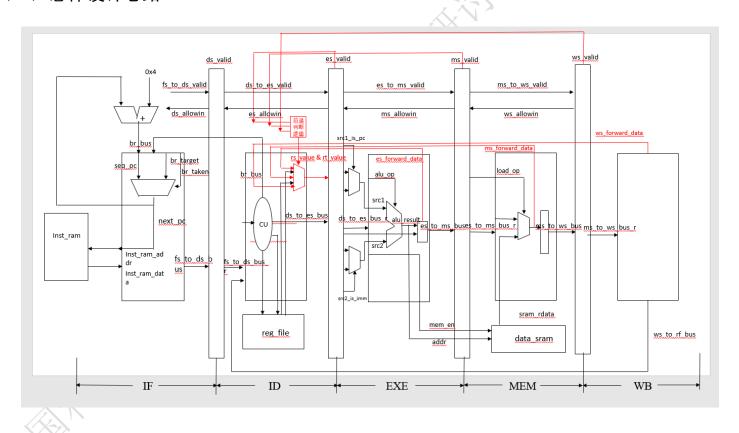
姓名:康齐瀚 箱子号:63

一、实验任务(10%)

通过增加前递机制提高流水线的运行效率。能顺利完成仿真和上板

二、实验设计(40%)

(一) 总体设计思路



本次实验无新增的重要模块

(二) 具体实验设计

前递机制的想法与阻塞类似。判断当前 ID 级译码时是否有取数据的寄存器号与后面写回数据寄存器号相同。如果有相同的就将写回数据直接前递给 rs_value, rt_value 两个信号。

需要注意的是: (1) 不同于阻塞, 前递在选择上有优先级: EXE>MEM>WB

- (2) 确保前递的数据确实已经产生了: load 指令在 EXE 级虽有相关,但正确数据仍未产生
- (3) 在是否数据相关的判断上,这倒是和阻塞完全一样

在设计上,从 EXE, MEM, WB 模块各自新增 forward data 端口,表示要前递的数据。它们的赋值如下:

```
assign es_forward_data = es_alu_result;
assign ms_forward_data = ms_final_result;
assign ws_forward_data = ws_final_result;
```

这里采用了方案一的设计,在上述数据写入下一级流水线寄存器之前就让 ID 级能得到相应的值。ws_forward_data 的设计完全没必要,用 ws_rf_bus 即可。不过这里为了保持三个流水级的一致还是采用了ws_forward_data 信号

在 ID 级对数据相关进行判断,并赋予 rs_value 和 rt_value 可能的值:

lw 指令是一个特例,在 EXE 级会判断发生数据相关但是正确的数据需要在 MEM 级才能得到。需要阻塞 ID 一个周期:

```
assign ds ready go = (is lw == 1'b1 & e es is valid) ? 1'b0 : 1'b1;
```

三、实验过程(50%)

(一) 实验流水账

2019/9/27 18: 00~20: 00 基于实验 4 代码增加前递机制,顺利通过仿真 2019/10/1 15: 00~18: 00 成功上板并且写实验报告

(二) 错误记录

- 1、错误 1: 信号值为 X
- (1) 错误现象

仿真过程中出现大量信号为X的情形

(2) 分析定位过程

前面介绍过出现信号为 X 的最可能原因是 reg 型变量未赋值。但检查了所有 reg 型变量之后我确信所有 reg 型

变量都被赋值了。继续看波形,我注意到 rs_value 和 rt_value 两个信号的值也是 X。然而 wire 型变量出现 X 的情况还从没遇到过,通过观察代码,我发现 rs_value,rt_value 的原先的赋值没有删去,导致两个信号有了两个不同的赋值语句,因此信号表现为 X

(3) 错误原因

同一信号有两个不同的赋值

(4) 修正效果

删去原先的赋值语句

(5) 归纳总结(可选)

四、实验总结(可选)

本次实验在设计上没有什么难度,但是如果不想清楚就开始写代码,就容易发生忽略了 lw 这种特殊指令的情况。同时也容易发生上面出现的 bug 的错误:对同一个信号有不同的赋值。