**实验3：同步时序电路设计**

221275027 喻思文

**3.1 计数器实验**

1）实验原理

手册中给的真值表如下：



计数过程如下：

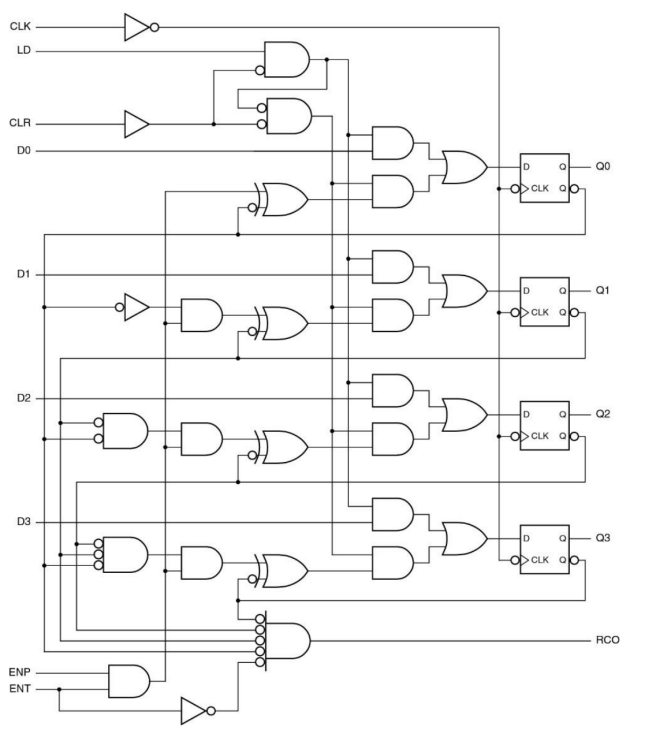
· CLR（清零）：当CLR为1时，无论其他输入为何，计数器都会被清零，即下一个状态为0000。

· LD（加载）：当CLR为0且LD为1时，计数器会加载输入值（D3 D2 D1 D0），即下一个状态为D3 D2 D1 D0。

· ENT和ENP（使能）：当CLR和LD都为0时，计数器的行为由ENT和ENP控制。ENT和ENP不同时为1时，计数器保持当前状态不变。

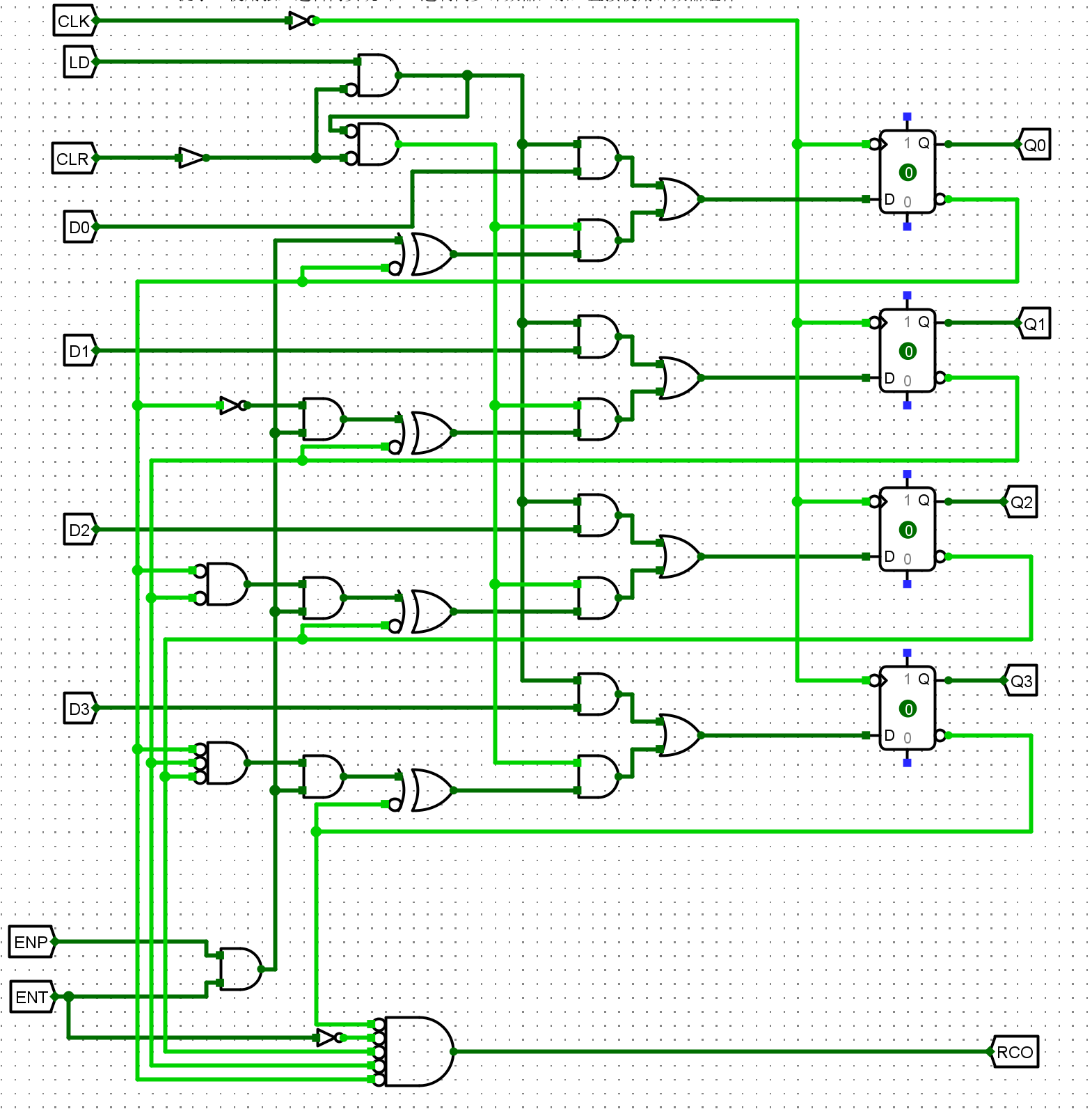
· 计数行为：当ENT为1且ENP为1时，计数器会递增当前状态。例如，从0000计数到0001，然后是0010，依此类推，直到1111，然后回到0000。

因此，手册中给的原理图如下：



1. Logisim电路图

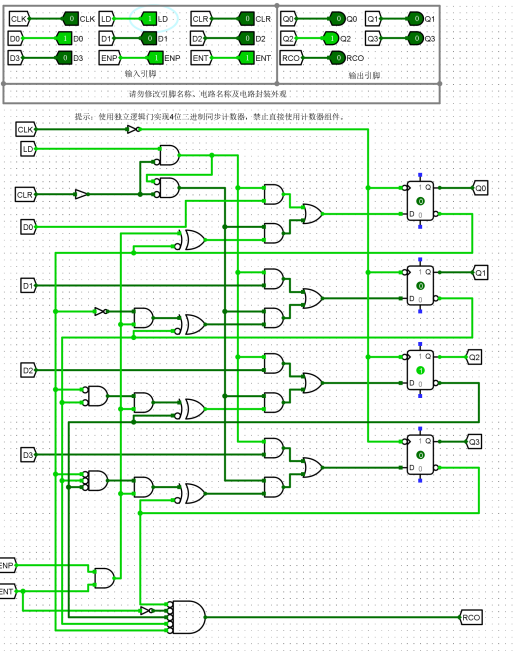
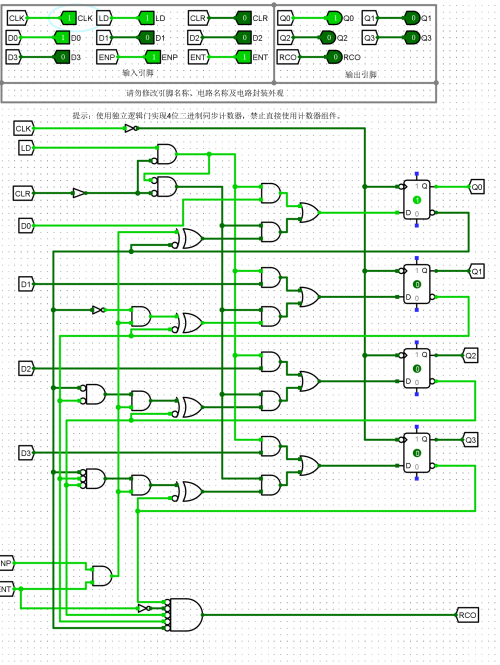
基本按照原理图连接，注意D触发器为“下降沿”触发：



1. 实验过程验证

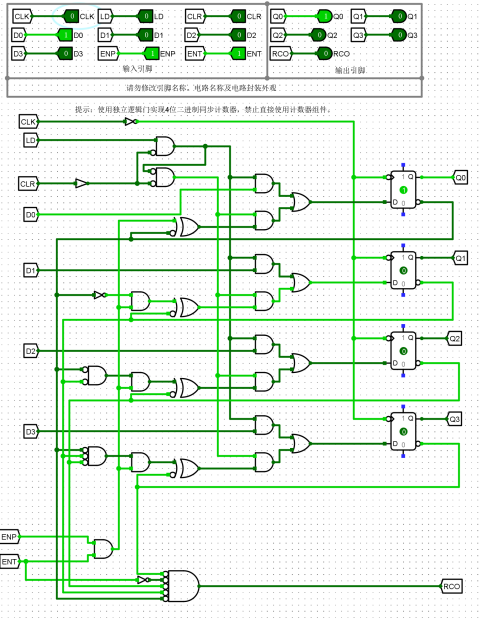
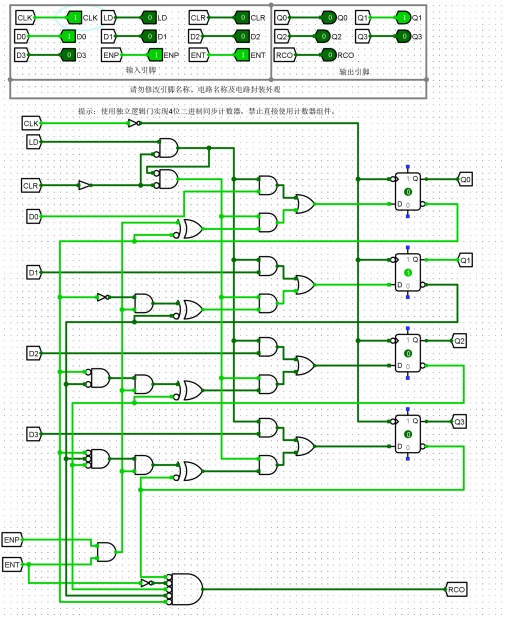
· 载入过程

现在，CLR=0，LD=1，当clk从0到1，载入过程触发：

 → 

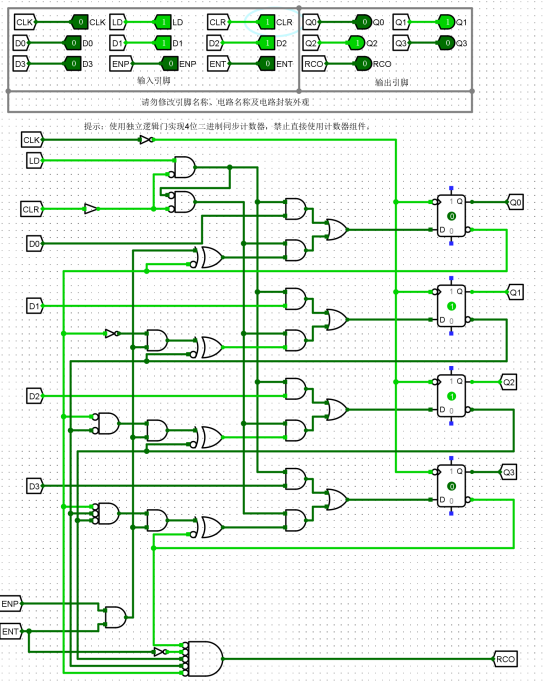
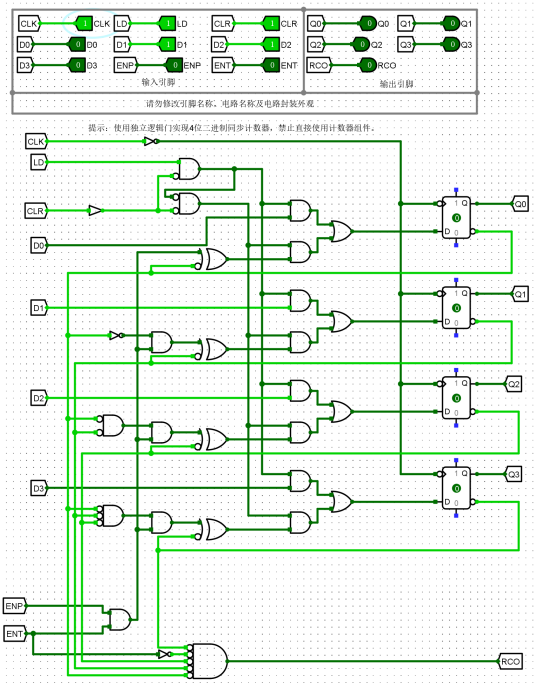
· 计数过程

CLR=0，LD=0，ENP=ENT=1开始计数，当clk从0到1，计数过程触发，这里从0001→0010：

 → 

· 清零

先前CLR=0，LD=1，clk已触发，之后设置CLR=1，clk从0到1，清零。

 → 

**3.2 移位寄存器实验**

1）实验原理

手册中的真值表如下：



过程如下：

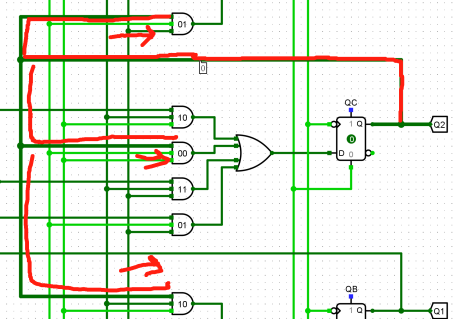
· 清零（CLR=0）：当CLR为0时，无论其他输入为何，寄存器的输出将被清零，即Q3\*、Q2\*、Q1\*、Q0\*都为0。

· 保持（CLR=1, S1=0, S0=0）：当CLR为1，S1和S0都为0时，寄存器保持当前状态，即Q3\*、Q2\*、Q1\*、Q0\*与当前的Q3、Q2、Q1、Q0相同。

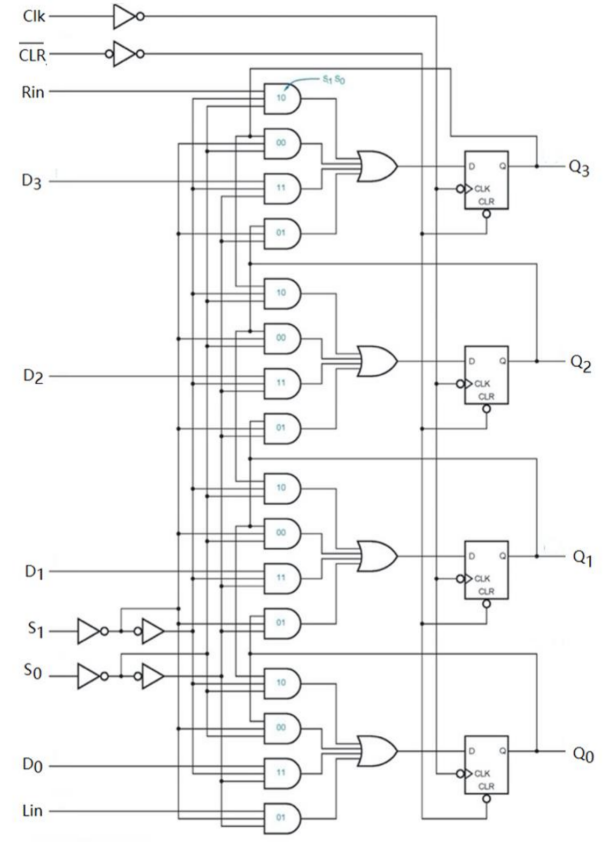
· 右移（CLR=1, S1=1, S0=0）：当CLR为1，S1为1，S0为0时，寄存器进行右移操作。右移意味着每个位向右移动一位，最左边的位（Q3）被输入RIN替代，最右边的位（Q0）被丢弃。

· 左移（CLR=1, S1=0, S0=1）：当CLR为1，S1为0，S0为1时，寄存器进行左移操作。左移意味着每个位向左移动一位，最右边的位（Q0）被输入LIN替代，最左边的位（Q3）被丢弃。

· 装载（CLR=1, S1=1, S0=1）：当CLR为1，S1和S0都为1时，寄存器进行装载操作。装载意味着寄存器的输出直接设置为输入D3、D2、D1、D0的值。

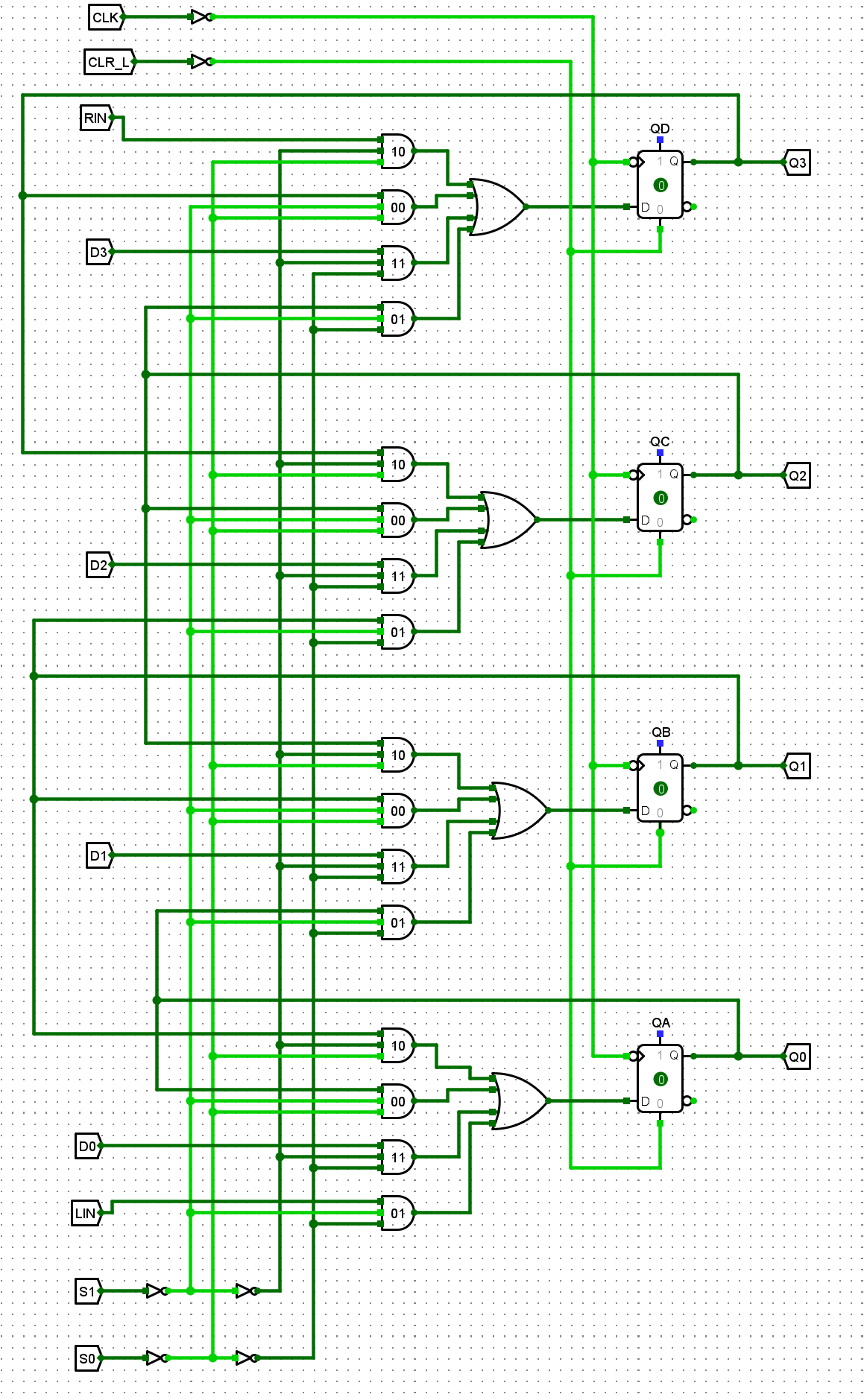
关键过程：以Q2为例，原理中，Q2在经历01与门（左移）之后是在Q3位，10与门之后是Q1位，00与门保持，因此会有折返过程。

因此，手册原理图如下：



1. Logisim电路图

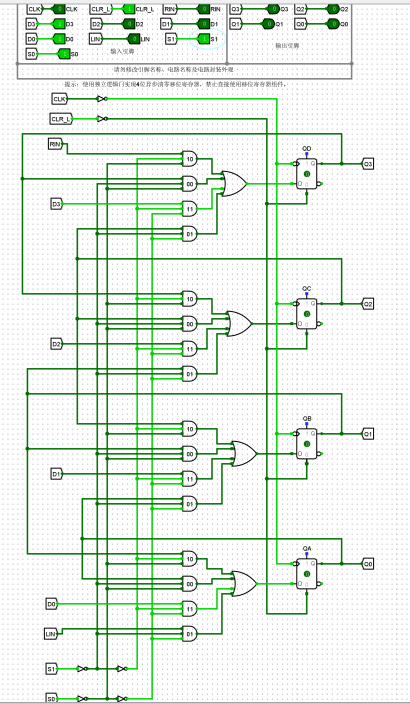
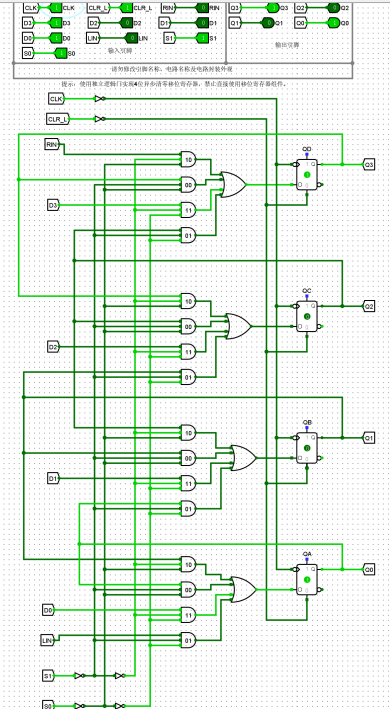
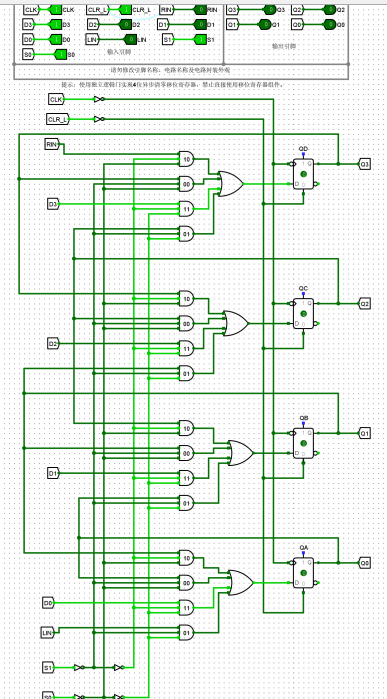
基本按照手册的电路图连接，如下，注意D触发器下降沿触发：



1. 实验验证

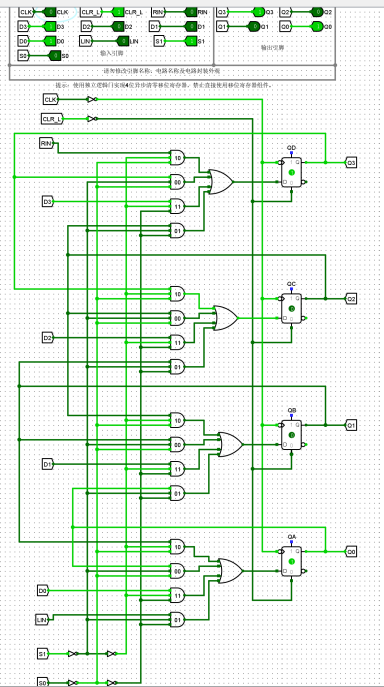
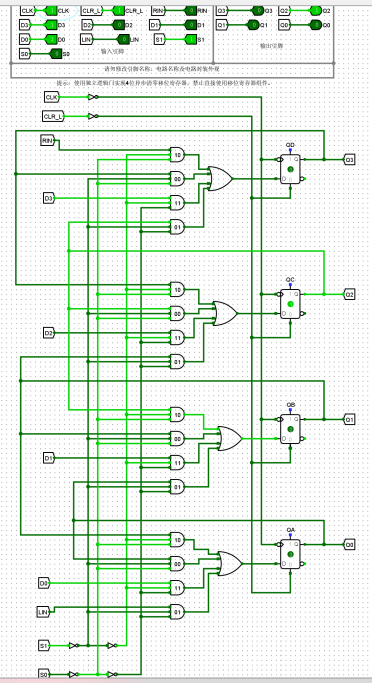
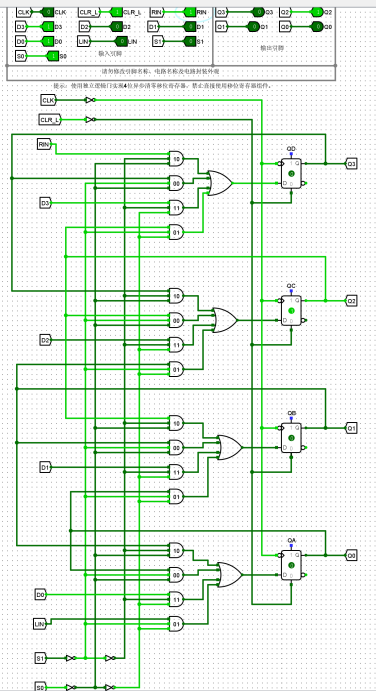
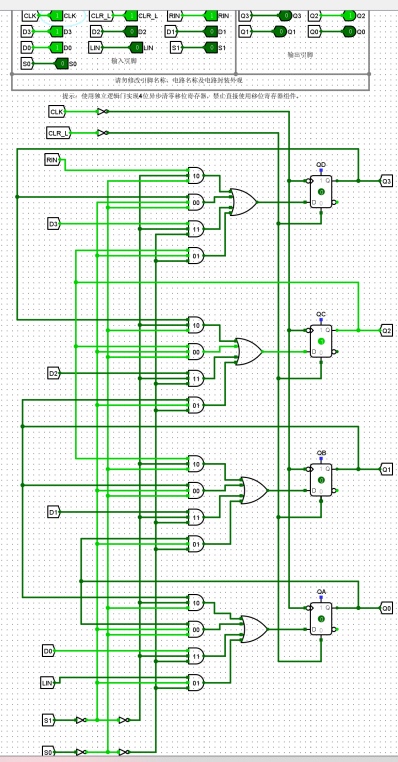
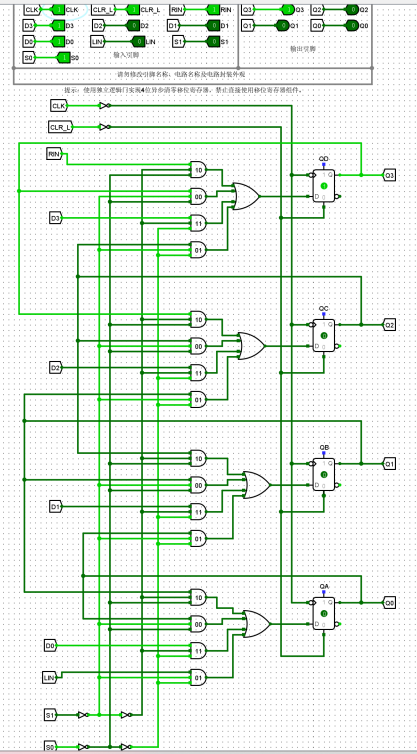
· 载入和清零

CLR\_L=0，S0, S1=1，当CLK从0到1，完成载入，CLR\_L变为1即清零。

·左移、保持、右移

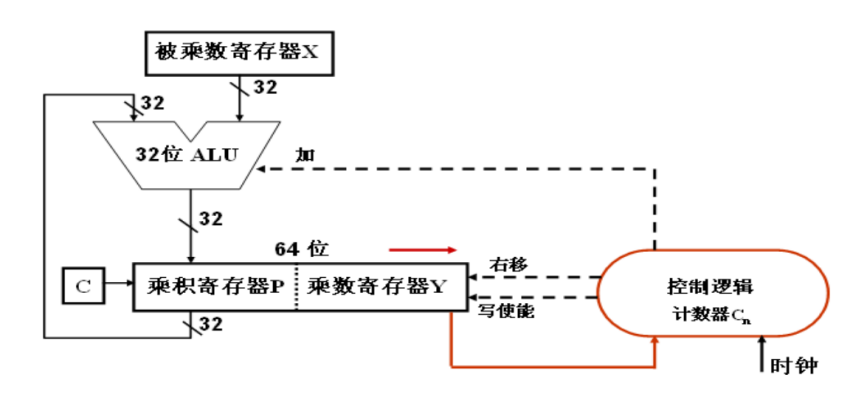
Q3-Q0=0101载入之后，S1S0=10，CLR\_L=1，因此当RIN=0时，CLK从0到1右移，Q3-Q0=0010；之后S1S0=00，保持；最后LIN=0，S1S0=01，CLK从0到1左移，变为0100。

1234 5

**3.3 四位无符号乘法器**

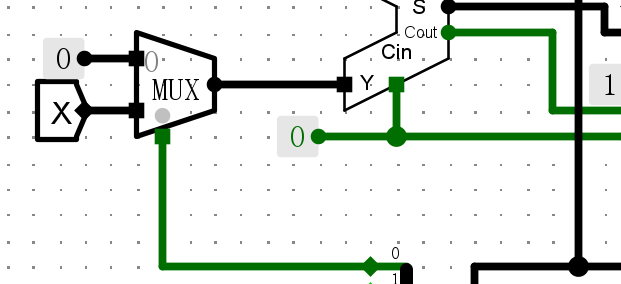
1）实验原理

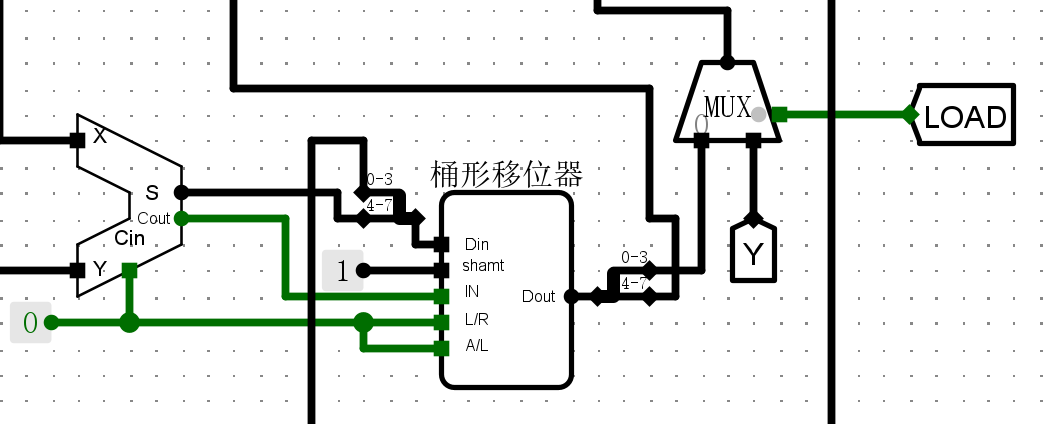
基本原理如下：



对于4位的无符号数乘法，先加载初始的P和Y，然后再进⾏4次加法和移位更新P、Y最后得到结果。RST为复位键作用。计数器到5则停止加法和移位。

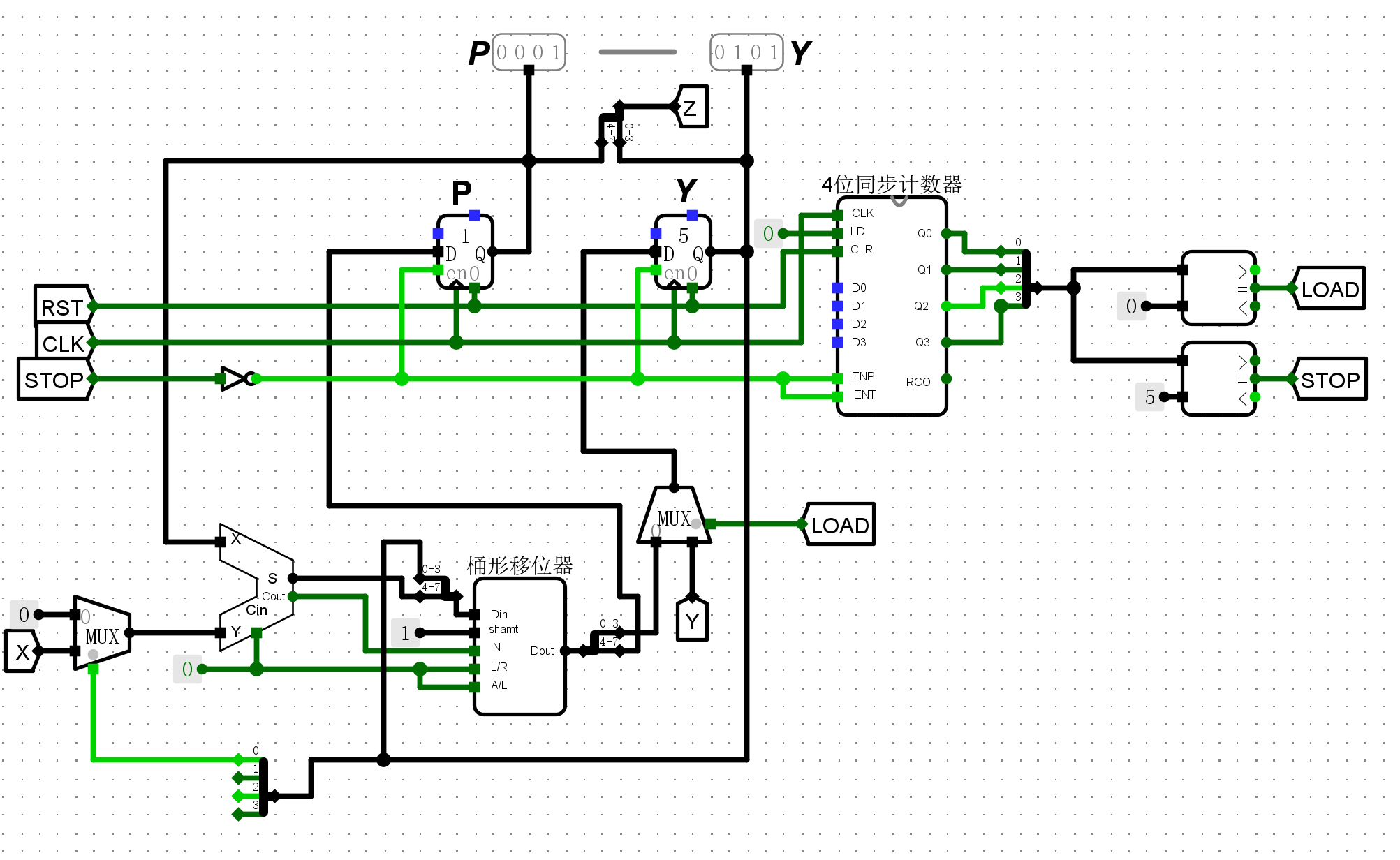
加法过程如下：

初始状态计数器为0，LOAD=1，载入Y，P=0000。在后面加法过程中，若Y的末位为0，则加上0000，否则加上X。

P(new)=P(old)+X·Y(end)，得到新的5位含进位的数。然后P最高位是进位，PY一起右移，带进进位，如此进行下去。

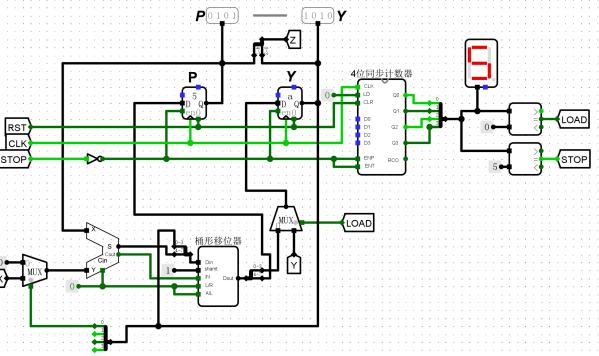
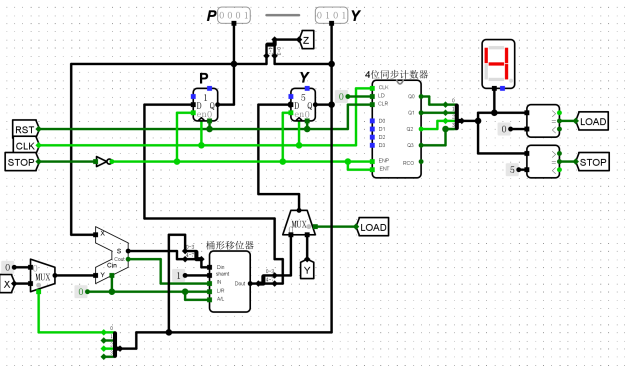
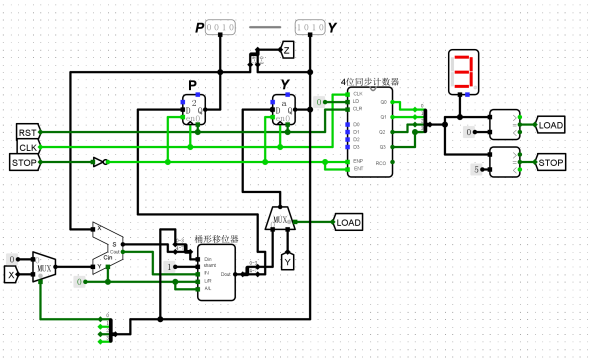
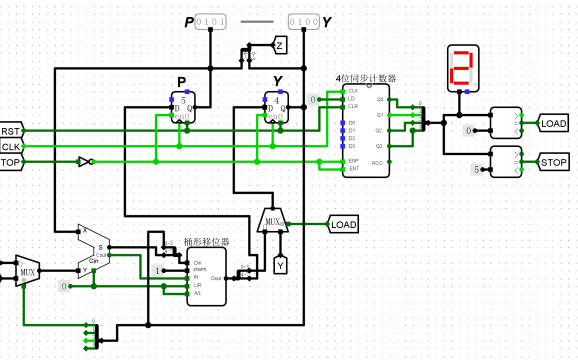
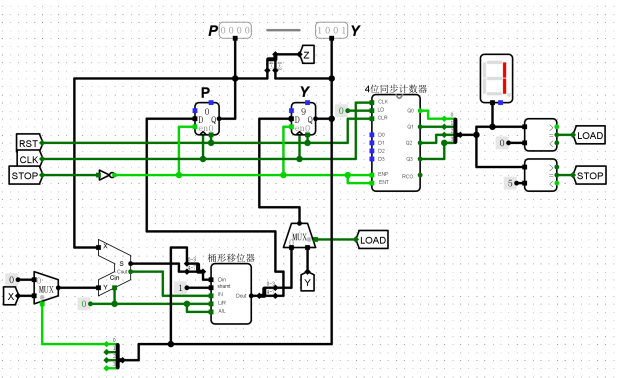
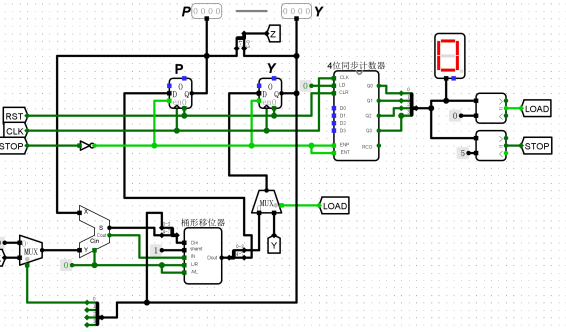
1. Logisim电路图

因此，按照上面原理，得到电路图如下：



1. 实验验证

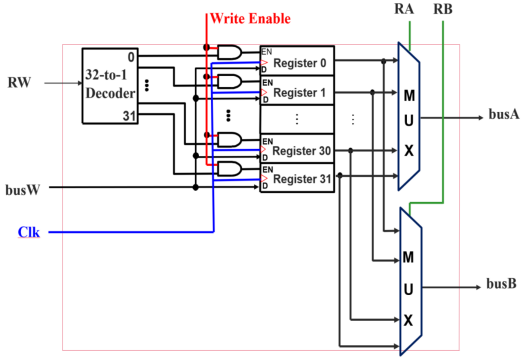
1010×1001=0101 1010过程如下：



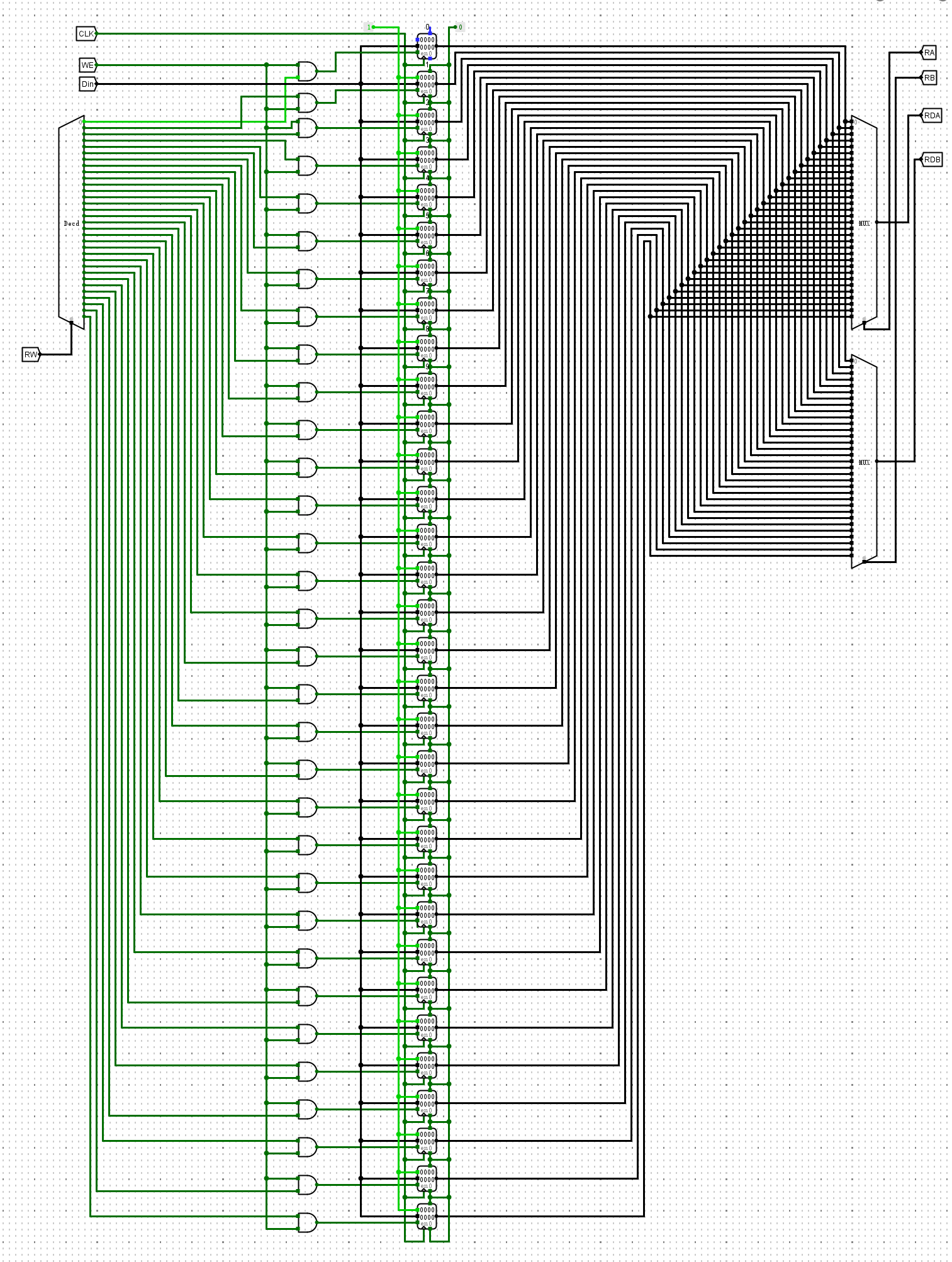
**3.4 寄存器堆实验**

1）实验原理

经过一个“读取时间”的延迟，读出的数据输出到端口busA或busB上。这需要时钟信号的控制，即在写使能信号（WE）有效的情况下，有效时钟触发边沿到来后将写入数据端口busW上的信息写入RW所指定的寄存器中。这里要上升沿触发，高电平有效。原理图如下：

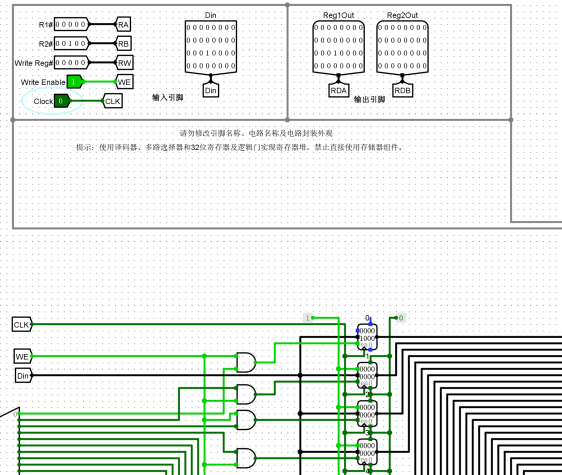
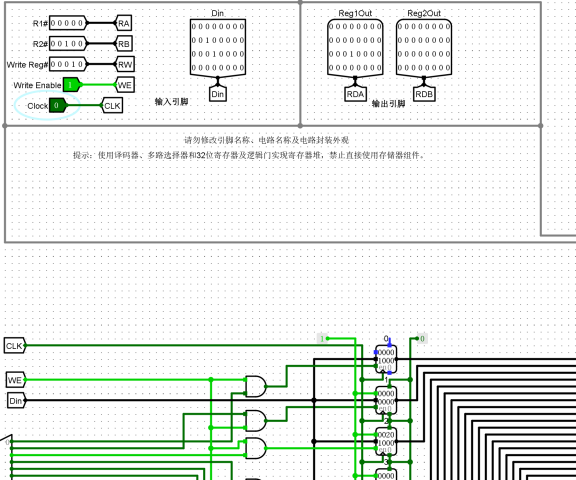
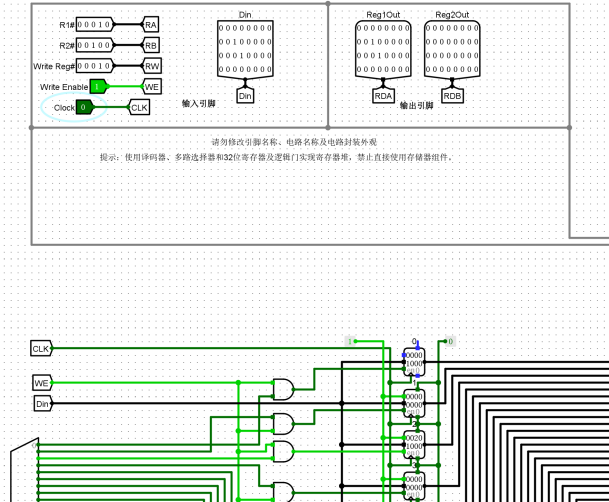


1. Logisim电路图

根据上面要求，连得电路图如下，这里对1号及以后的复位和置位阻止：

3）实验验证

初始写入和改变后写出如下（省略clk=0状态变化）：

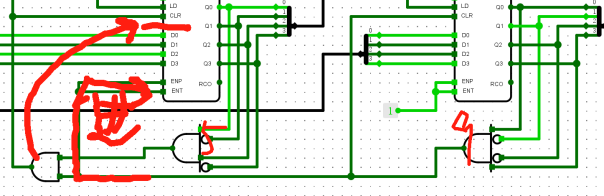
12 3

**3.5 数字时钟实验**

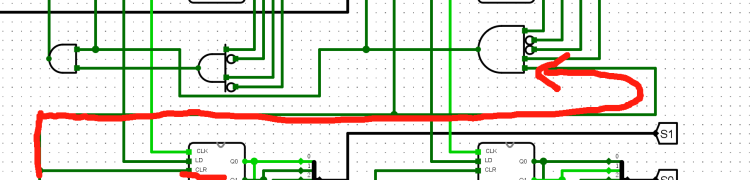
1）实验原理

· 时钟变化和进位处理

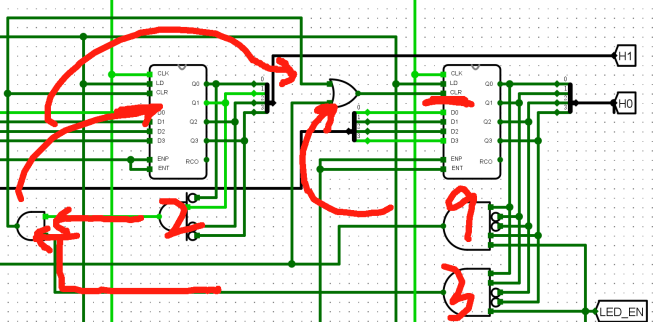
以秒位为例，当计数达到59秒清零，个位达到9进位，如下：



此时若秒清零后，作用在分钟上，使得分钟进位



小时需要注意23清零和末位9的进位，因此需要多一个与门，个位清零需要满足一个即可。而且，整点时候LED使能变成1（59分59秒下一刻）。



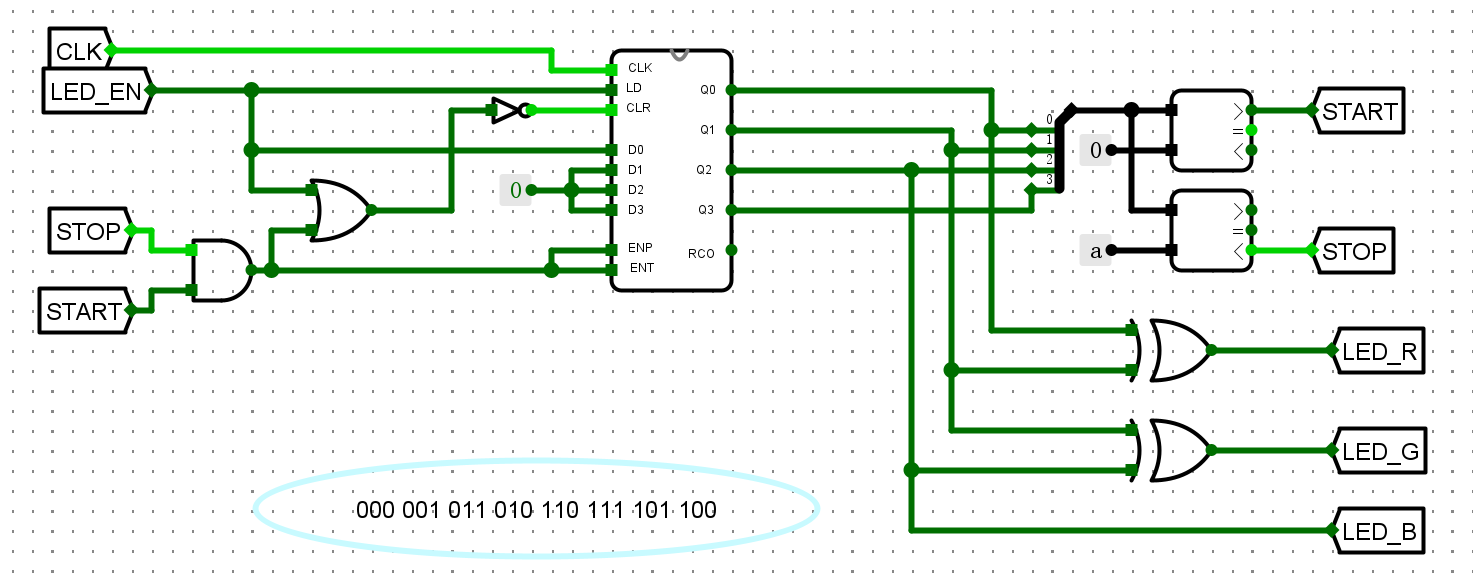
· LED颜色变化

格雷码原理如下：对二进制，格雷码，转换规则



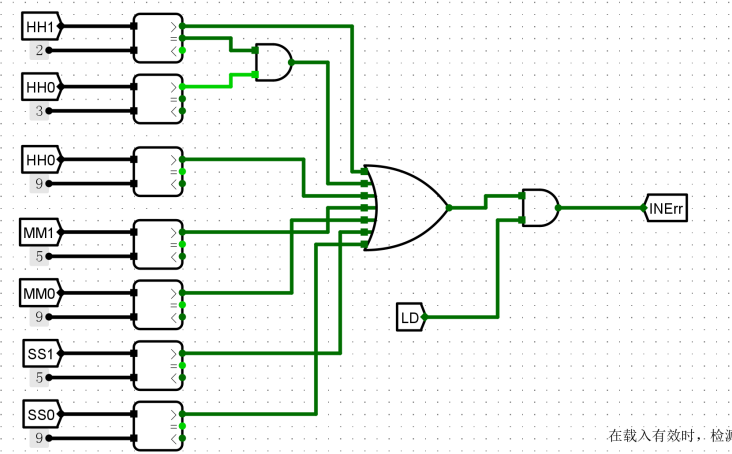
因此，事实上格雷码变化为000 001 011 010 110 111 101 100。

颜色变化还要注意周期数10，因此也是带有逻辑控制其变化，总体设计如下：



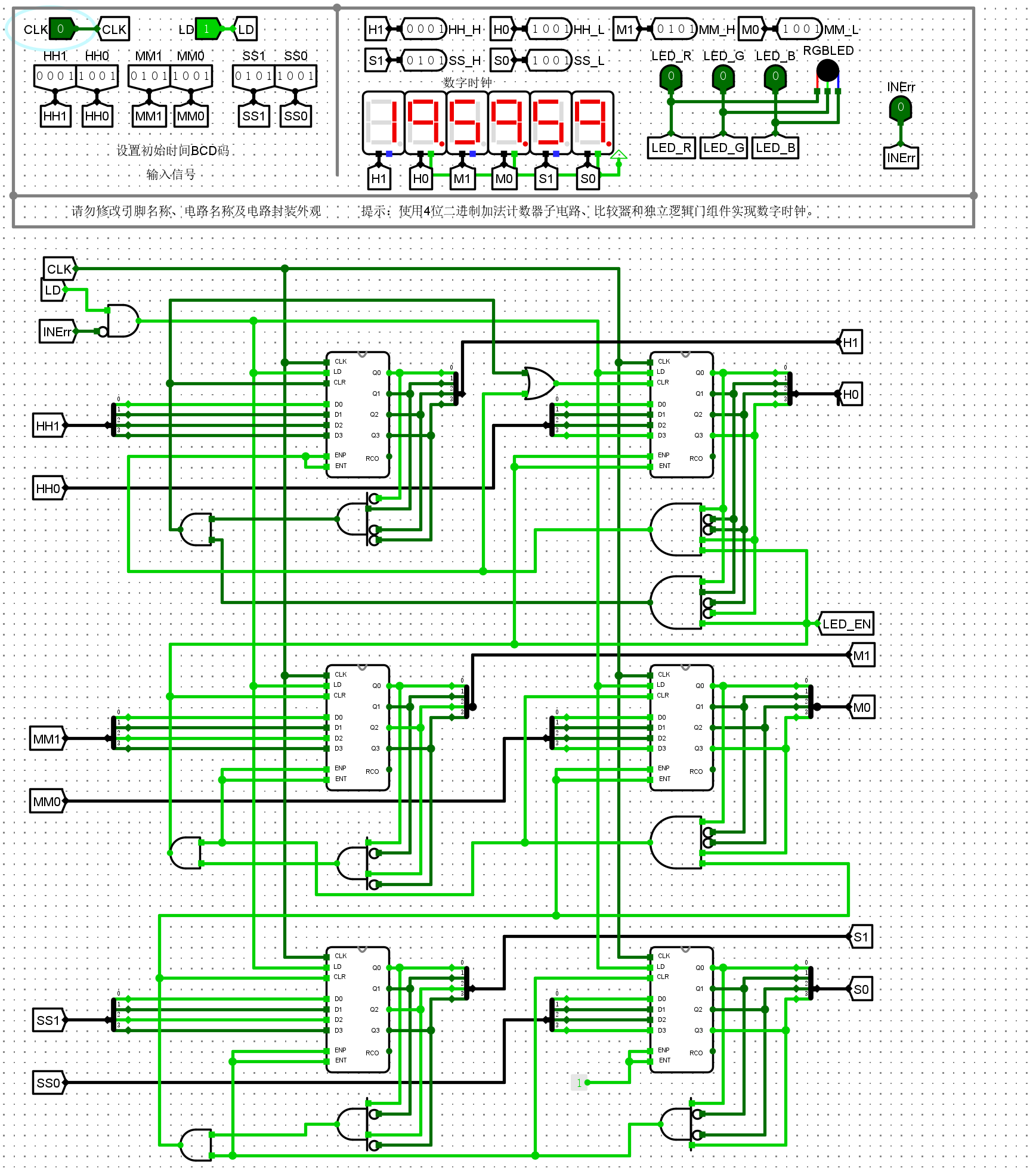
· 错误检测

较为简单，只要大于23:59:59且允许载入才报错（INErr=1）



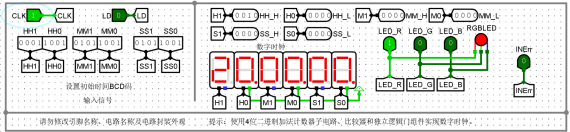
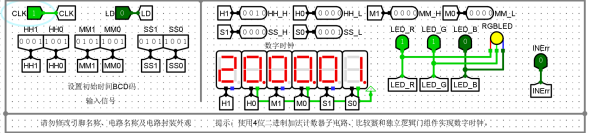
1. Logisim电路图

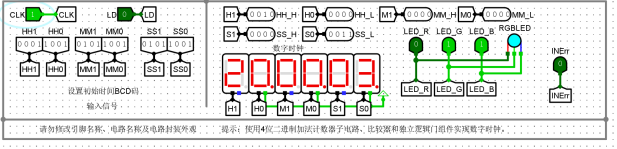
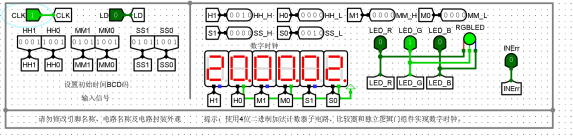
最终，根据上面的几个部分原理，得到总体时钟设计如下：

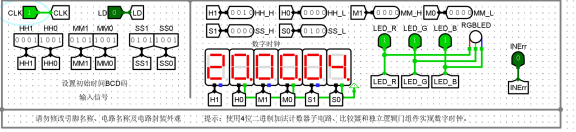
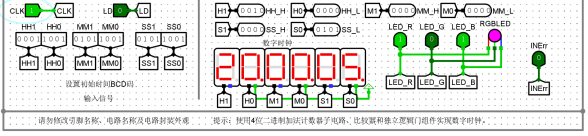


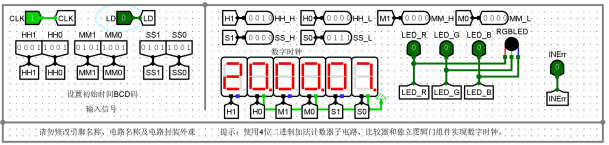
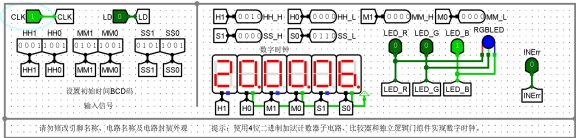
3）实验验证

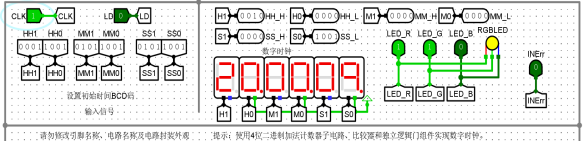
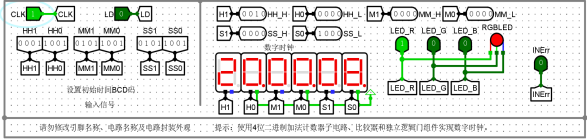
· 整点时轮流变灯

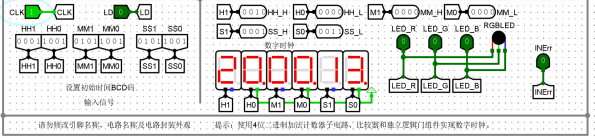
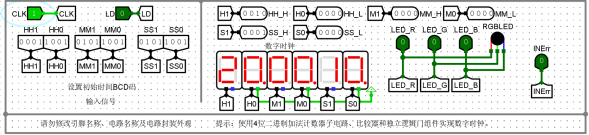
 





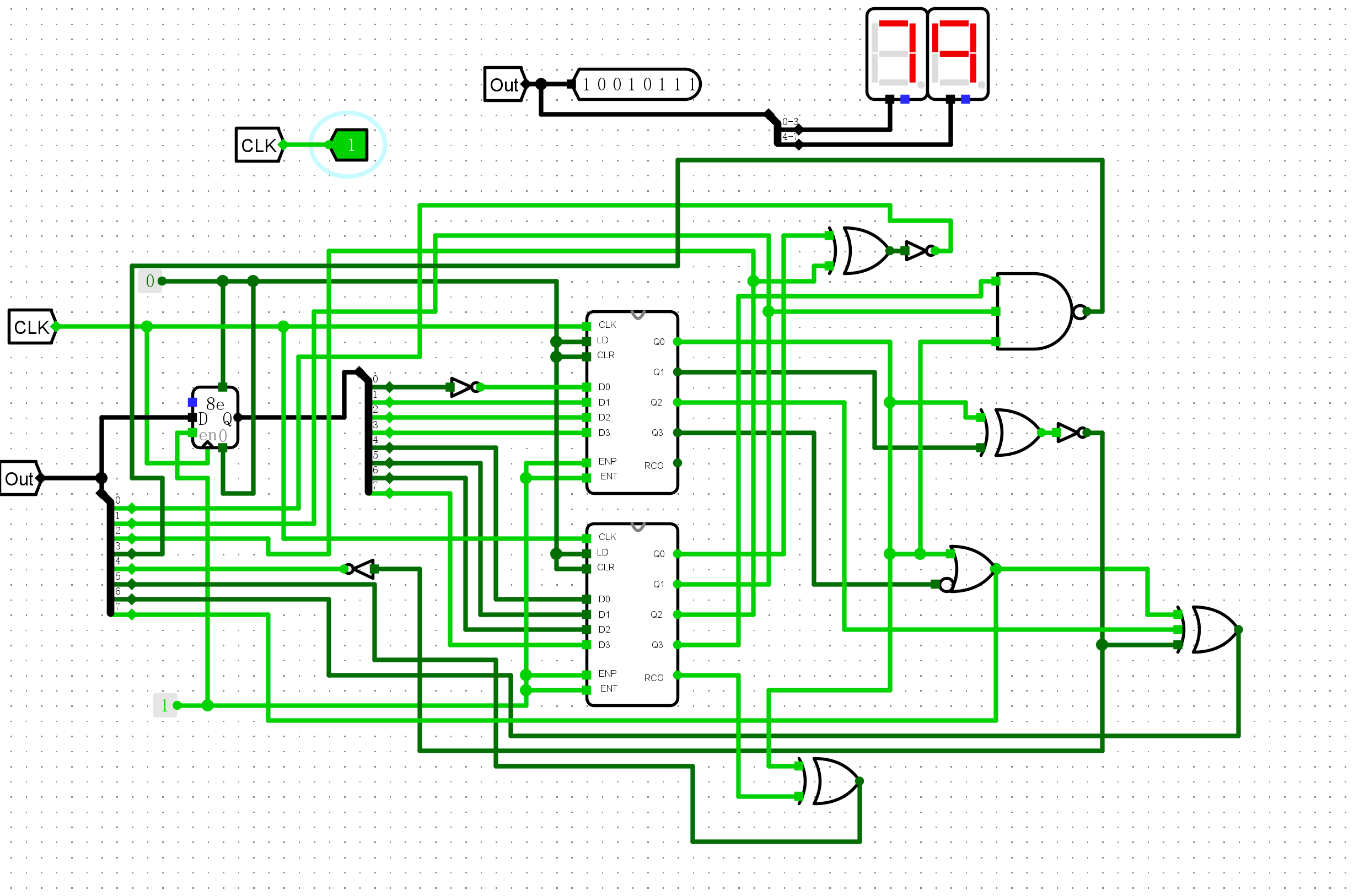




**3.6 思考题**

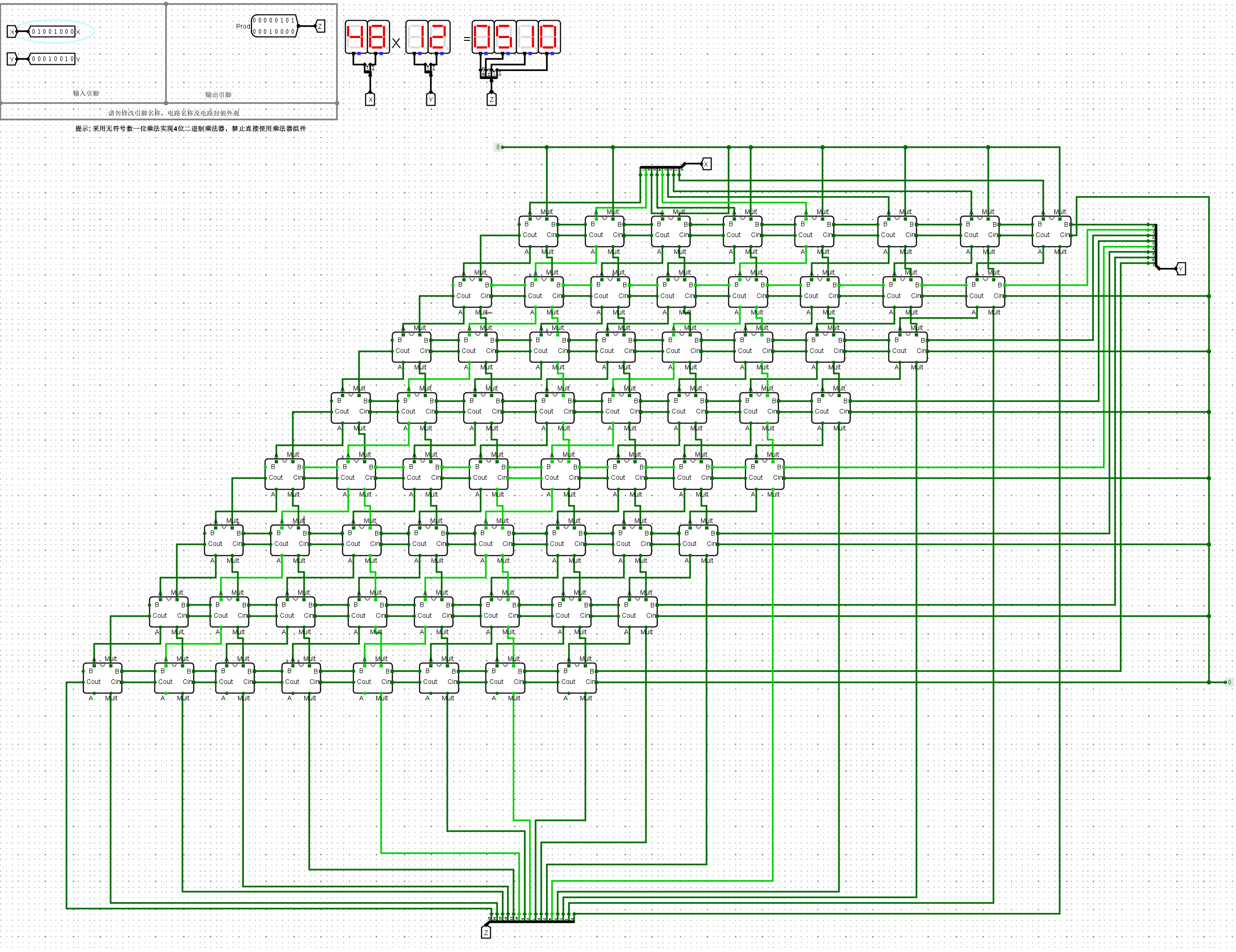
1）级联 2 个 4 位移位寄存器子电路实现生成 8 位二进制伪随机数生成电路。

用一个寄存器（理论上可以再复杂一些，使用寄存器堆，写入地址等也用随机数的输出，这样内部更多可以变化，状态更随机）留存上一个状态，输出下一个状态到两个计数器，计数器开启计数状态，随机选取不同位（和RCO输出）进行随机的逻辑运算，输到某一位，只要没有错乱都可以（部分中间可以加一些非门增加随机性和复杂度），下面是一种样例（见lab3.1.circ的rand-8电路）。

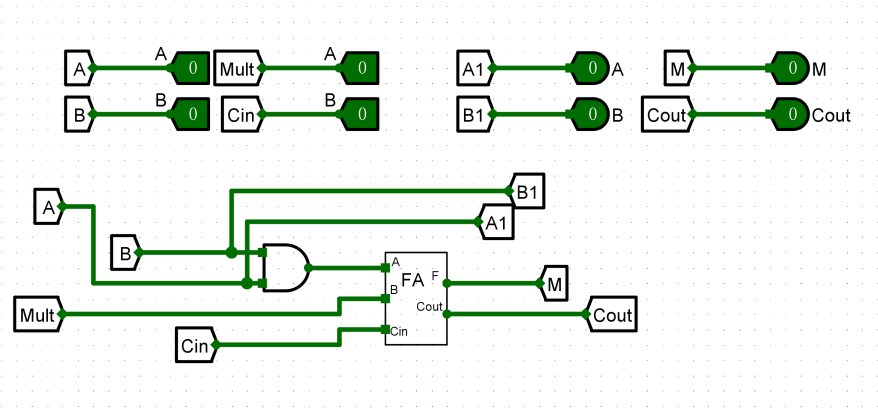


1. 查找资料学习如何利用加法器实现 8 位无符号数的快速乘法器。

ppt中给出，快速乘法器的实现（由特定功能的组合逻辑单元构成）可以有：流水线方式、硬件叠加方式（如：阵列乘法器），按照ppt的原理图给出阵列乘法器。阵列乘法器采用类似人工计算的方法进行乘法运算。人工计算方法是用乘数每一位去乘被乘数，然后将每一位权值对应相加得出每一位的最终结果。用乘数的每一位直接去乘被乘数得到部分积并按位列为一行，每一行部分积末位与对应的乘数数位对齐，体现对应数位的权值。将各次部分积求和，即将各次分积的对应数位求和即得到最终乘积的对应数位的权值。电路如下（详见lab3.3.circ中的CRA电路）：



其中，每个单元组成如下（详见lab3.3.circ中的CRA\_cell电路）：



1. 修改寄存器堆的设计电路，将输入信号分别连接寄存器的使能端和时钟端，验证寄存器堆的读写功能，分析使能信号和写入地址信号的先后时序关系变化是否影响到写入结果。

**理论分析：**

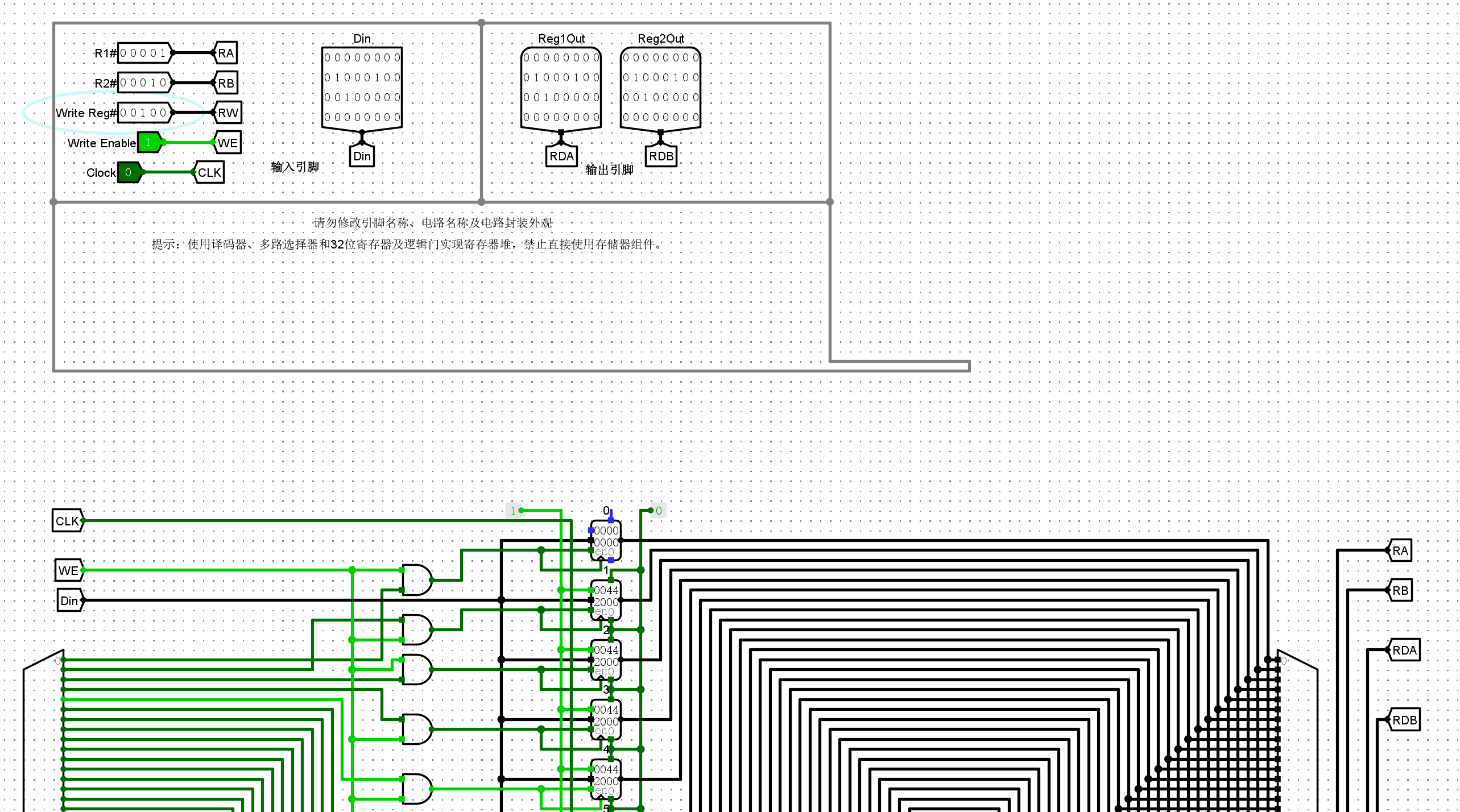
· 如果使能信号在时钟信号上升沿之前有效，那么寄存器不会写入数据，因为使能信号未先激活。

· 如果使能信号在时钟信号上升沿之后变为有效，那么在下一个时钟上升沿时，数据将被写入寄存器。

**实验验证（只连接编号0-4的寄存器，对这个范围内的处理）：**

WE从0到1时，对应编号寄存器写入，这时候RW=2，编号2的寄存器写入Din，不过前期3和4号已经被写入的也随之修改（而且RW修改位置时上升沿也会使读入的改变，RDA和RDB也会随着改变。）RA输出1号寄存器RB输出2号寄存器的存储值（见lab3.4.circ的think3电路）。





1. 在数字时钟设计中如何添加闹钟的功能

比较当前时间位（设定的常数根据需要改变），全部相同即可报时（用蜂鸣器）

