

## 实验 1：基本逻辑部件设计

### 1.1 3 输入多数表决器

#### 1) 分析与设计

实际含义与投票多数服从少数，或者三局两胜类似，因此真值表如下：

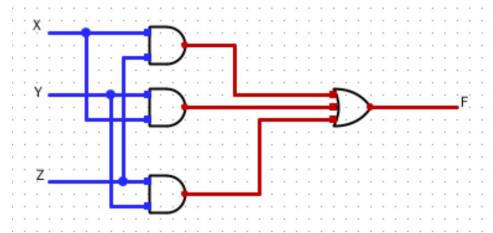
X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

逻辑表达式如下：

$$\begin{aligned} F &= X \cdot Y \cdot \bar{Z} + X \cdot \bar{Y} \cdot Z + \bar{X} \cdot Y \cdot Z + X \cdot Y \cdot Z \\ &= X \cdot Y + Y \cdot Z + Z \cdot X \end{aligned}$$

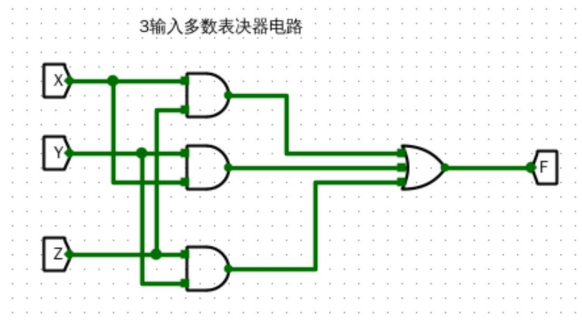
#### 2) 原理图

因此，根据上面逻辑表达式，可以得到电路设计图



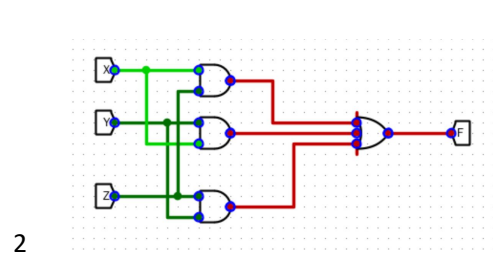
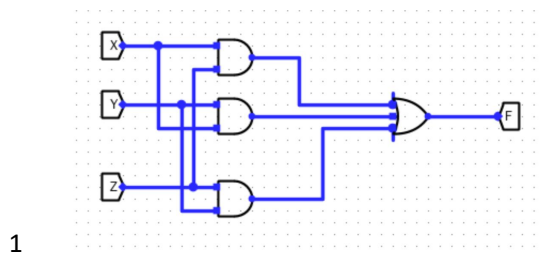
#### 3) Logisim 电路图

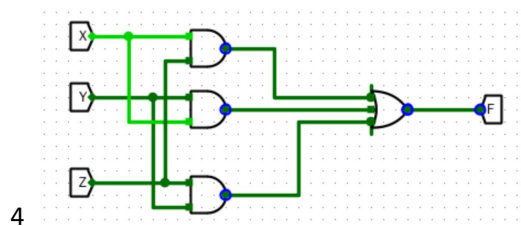
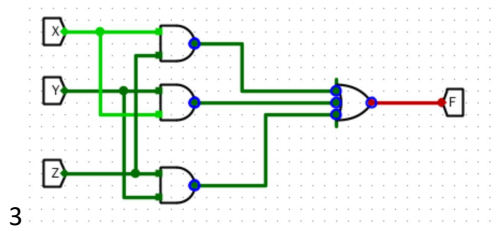
需要 3 个输入引脚，1 个输出引脚，3 个 2 输入与门和 1 个三输入或门。根据设计图连接如下：



#### 4) 单步测试

初始值设为 000，两次时钟单步如下：



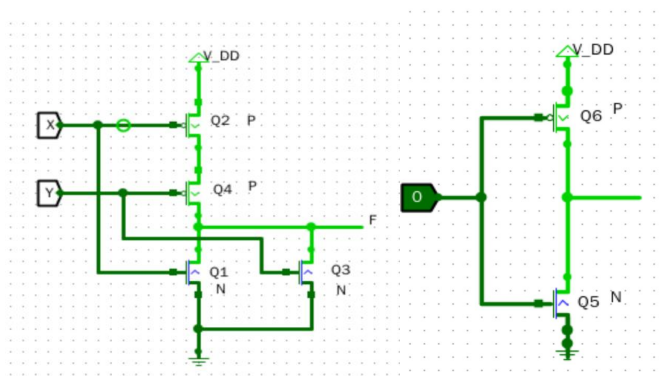


通过网上评测，第一关结束。

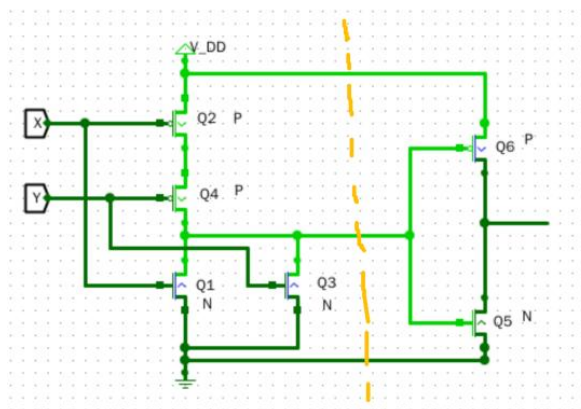
## 1.2 或门实现电路

### 1) 设计原理

已知或非门设计图如下左图，非门设计如下右图：

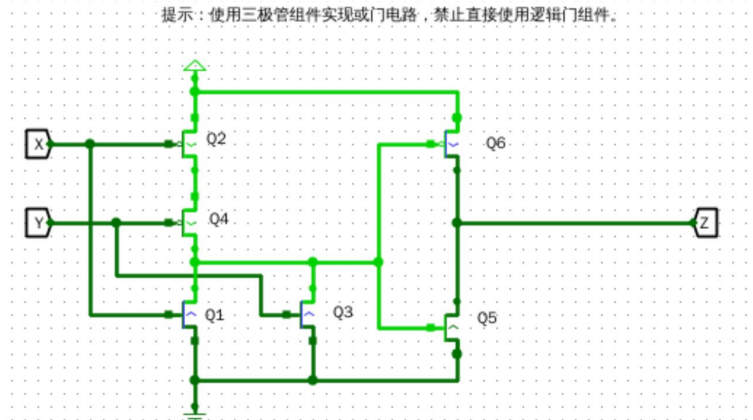


因此，或门设计只需将二者串联即可，设计图如下：



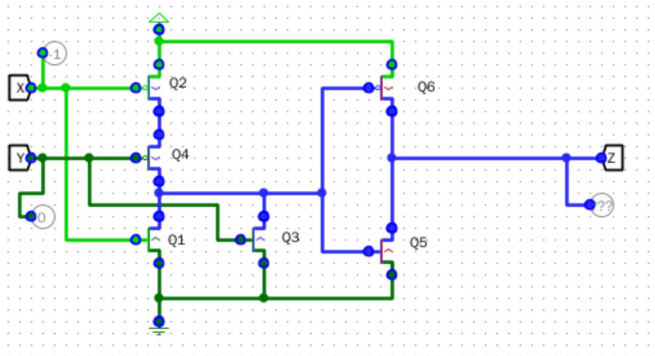
### 2) Logisim 电路图

因此，需要 3 个 PMOS 和 3 个 NMOS 晶体管，2 个输入引脚，1 个输出引脚，1 个电源和 1 接地，如下，注意三极管属性改成 P 或者 N：

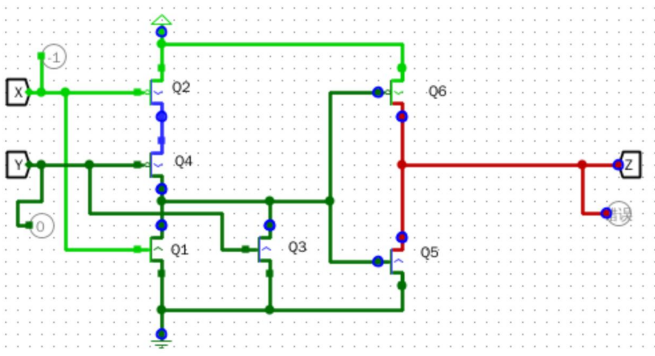


数据仿真测试如下：

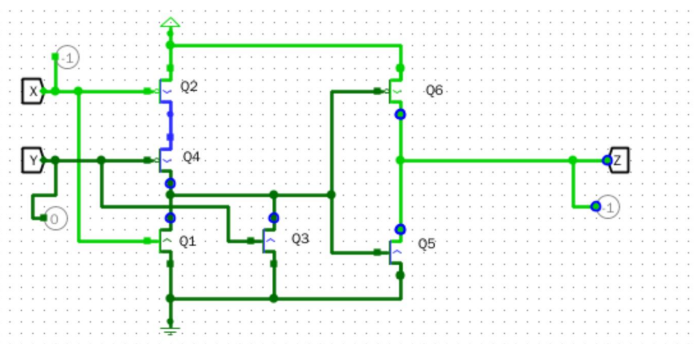
- X 高电平，Y 低电平，因此 Q2Q3 关闭，Q1Q4 导通，如图：



- Q1Q4 导通，则二者之间低电平，如图深绿色



- Q5Q6 栅极低电平，Q6 通 Q5 断，输出高电平，浅绿色



已通过网上测试，至此第二关结束

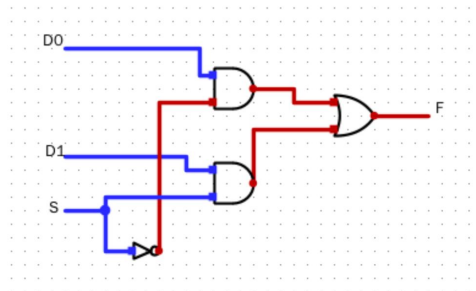
### 1.3 2选1多路选择器（1）

#### 1) 设计原理

由  $S$  决定选择  $D0$  还是  $D1$ ，因此逻辑表达式为  $F = D0 \cdot \bar{S} + D1 \cdot S$ ，依次逻辑设计。

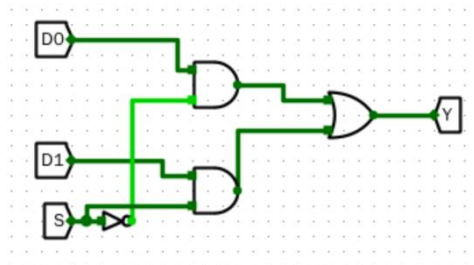
#### 2) 原理图

因此，原理图如下：

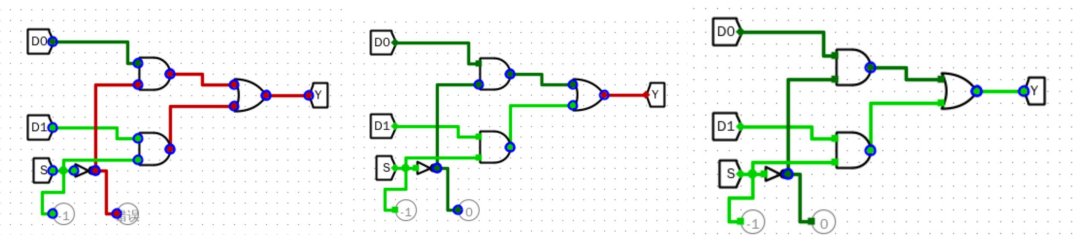


#### 3) Logisim 电路图

需要 1 个非门，2 个 2 输入与门，1 个 2 输入或门，3 个输入端和 1 个输出端，按照原理图连接，如下：



#### 4) 单步测试



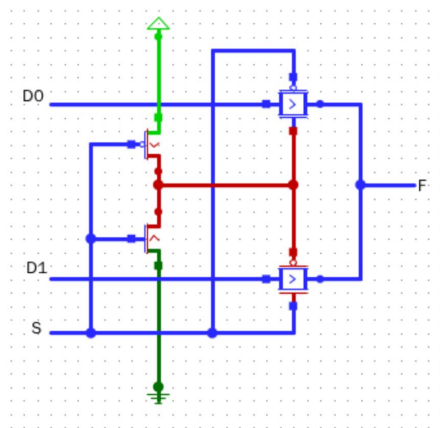
通过网上评测，至此第三关结束。

### 1.4 2选1多路选择器（2）

#### 1) 原理及设计图

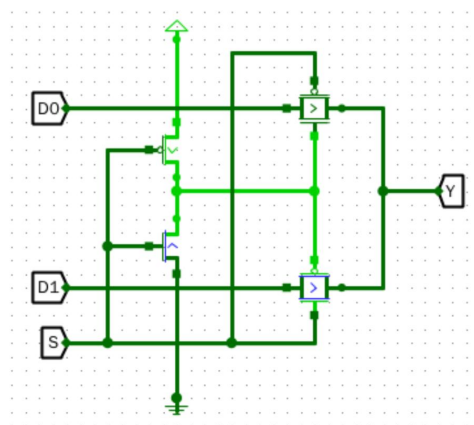
由  $F = D0 \cdot \bar{S} + D1 \cdot S$ ， $S$  为高电平  $D1$  通路， $\bar{S}$  为高电平则  $D0$  通路，而

传输门下端高电平则通路，因此 S 连结一个非门后，设计图如下：



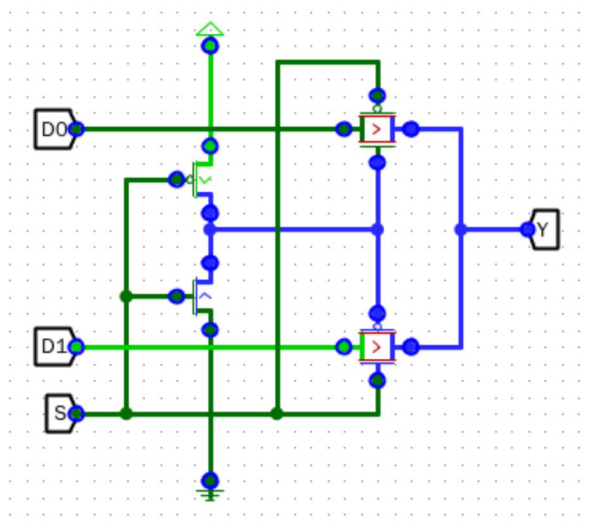
## 2) Logisim 电路图

需要一个电源，一个接地，2 个传输门，一个 PMOS 和一个 NMOS，三个输入引脚个一个输出引脚。如下：

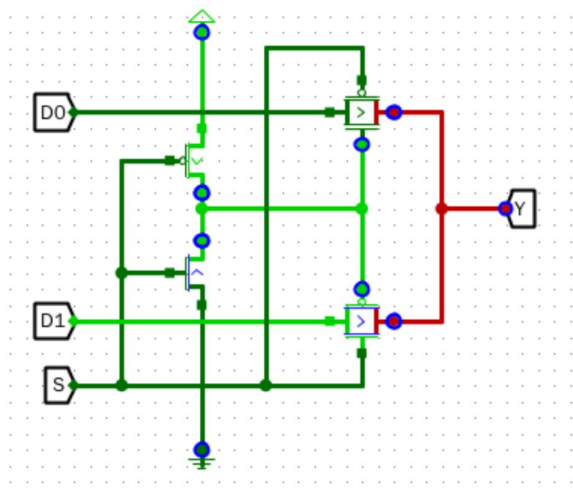


## 3) 单步测试

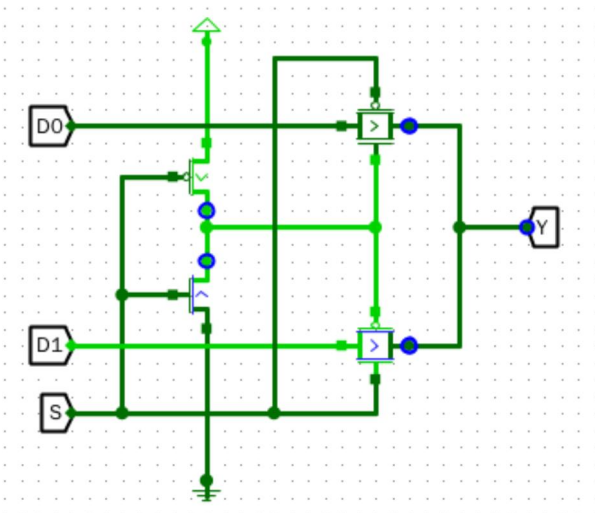
- S 低电平，因此 P 通 N 断



- 由于上面 P 通 N 断，中间高电平



- 最后 D0 所对的传输门下端高电平，打通，选择 D0



通过网上评测，第四关结束。

## 1.5 4 选 1 多路选择器

### 1) 设计原理

真值表如下：

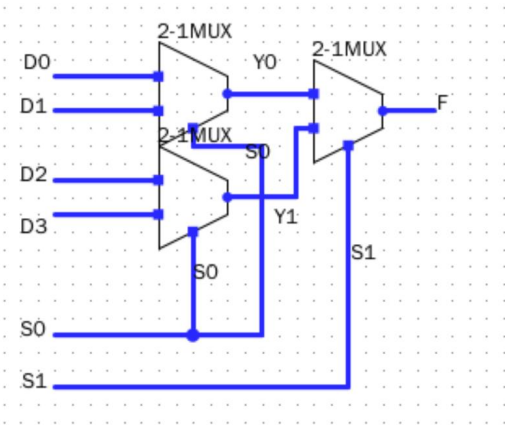
S1	S0	F
0	0	D0
0	1	D1
1	0	D2
1	1	D3

输出端逻辑函数为：

$$\begin{aligned}
 F &= \overline{S1} \cdot \overline{S0} \cdot D0 + \overline{S1} \cdot S0 \cdot D1 + S1 \cdot \overline{S0} \cdot D2 + S1 \cdot S0 \cdot D3 \\
 &= \overline{S1} \cdot (\overline{S0} \cdot D0 + S0 \cdot D1) + S1 \cdot (\overline{S0} \cdot D2 + S0 \cdot D3) \\
 &= \overline{S1} \cdot Y0 + S1 \cdot Y1
 \end{aligned}$$

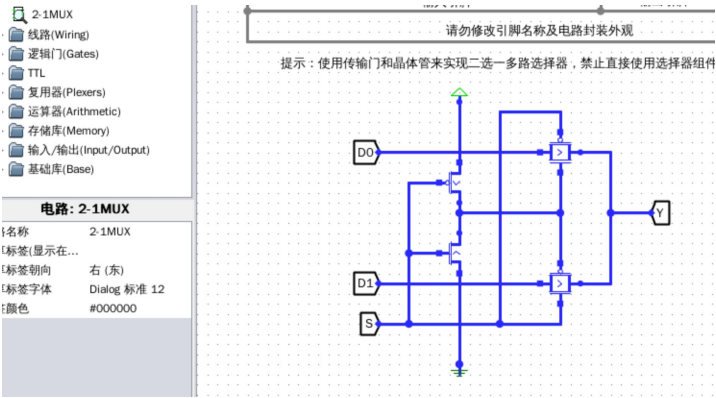
因此，D0、D1、S0 在一个二选一选择器上，D2、D3、S0 在另一个二选一选择器上，二者输出值和 S1 在第三个二选一选择器上，

则原理图如下：

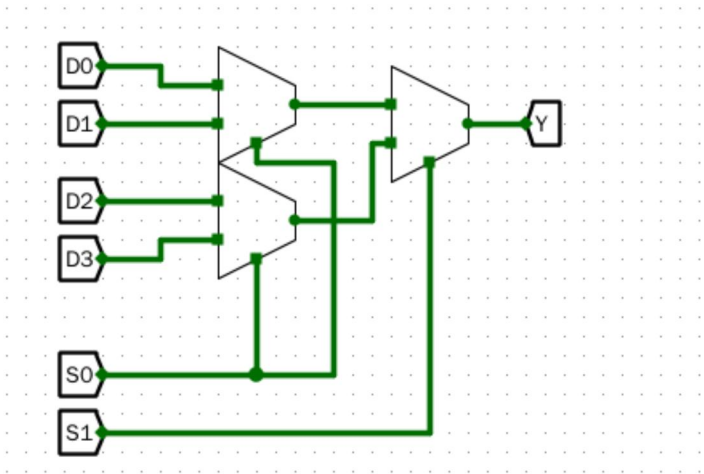


2) Logisim 电路图

在 2-1MUX 文件下封装上一关的电路图



再根据原理图，用 3 个二选一多路选择器，6 个输入端和 1 个输出端连接 4 选 1 多路选择器如下：



通过网上评测，实验一结束

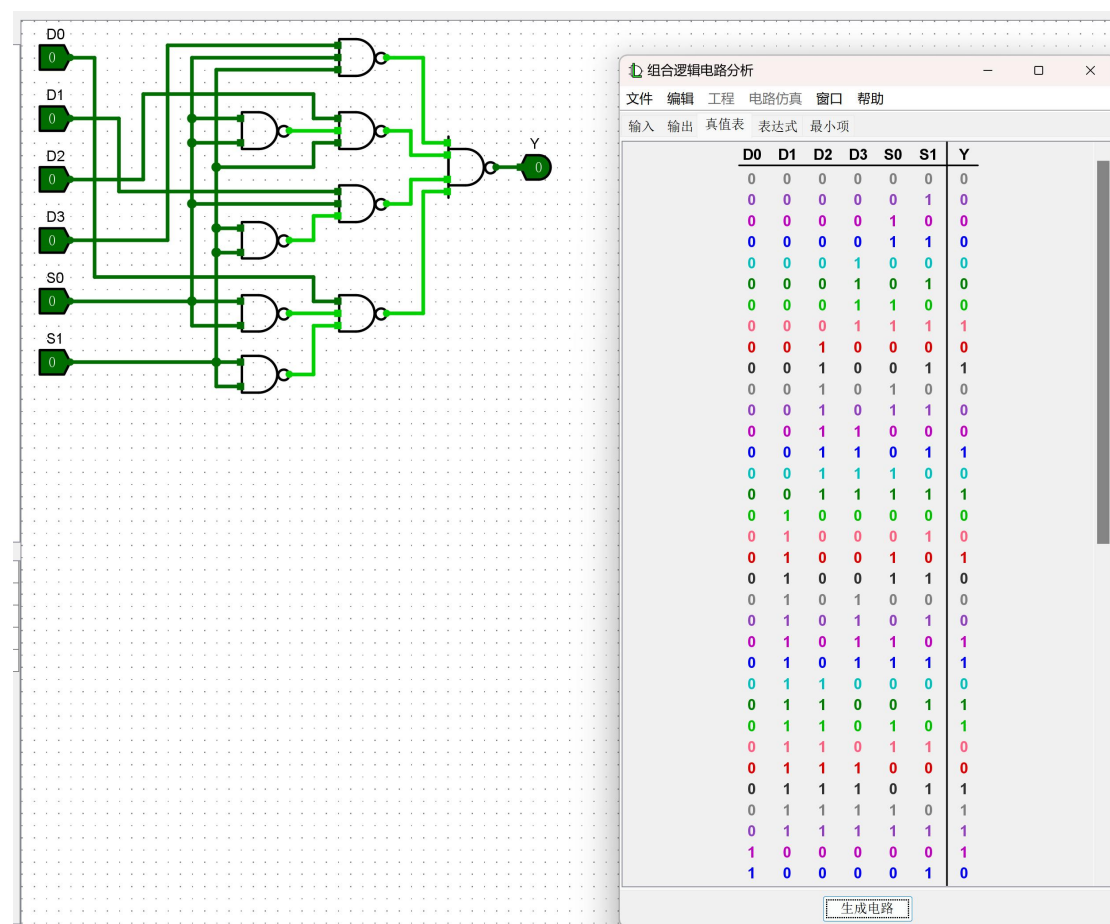
1.6 思考题

1) 根据 Logisim 组合电路分析的功能,使用逻辑表达式设计方法选择与非门生成 4 选 1 多路选择器。

原理见 1.5 第一部分

功能见: 窗口→组合逻辑电路分析

输入真值表, 选择仅使用与非门生成, 如下:



2) 实现 4 位二进制数转换成格雷码的转换电路。

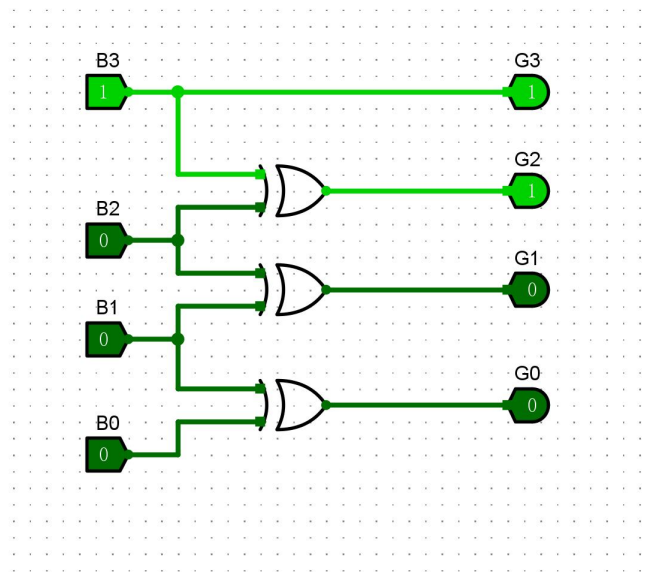
原理: 对二进制  $B_{n-1}B_{n-2}...B_0$ , 格雷码  $G_{n-1}G_{n-2}...G_0$ , 转换规则如下:

$$G_{n-1} = B_{n-1}$$

$$0 \leq i \leq n-2 \quad G_i = B_{i+1} \oplus B_i$$

因此, 对  $n=4$ , 设计转换电路  $G3=B3$ , 后面依次异或, 如下:





### 3) 实现 4 位二进制数的奇偶校验位生成电路。

原理：

奇校验：如果数据单元中 1 的数量已经是奇数，则校验位设置为 0；否则，校验位设置为 1。

偶校验：如果数据单元中 1 的数量已经是偶数，则校验位设置为 0；否则，校验位设置为 1。

这样，我们可以对四位数进行异或操作，偶校验直接  $A \oplus B \oplus C \oplus D$ ，奇校验对异或结果取反即可。电路图如下：

