



南京大学计算机科学与技术系
Department of Computer Science and Technology



数字逻辑与计算机组成课内实验 及Logisim使用简介

吴海军

南京大学计算机科学与技术系



主要内容

- 实验环境介绍
- Logisim简介
- 实验1
 - 多数表决器
 - 构建或门
 - 多路选择器实验
- 实验报告格式要求
- 课内实验在线答疑
- Logisim常见问题

在线实验环境

- 登录教学课程，点击课堂实验：<http://cslab-cms.nju.edu.cn>
- 选择实验项目，点击“开始学习”，进入实训环境。



数字逻辑与计算机组成2024年春4班 私有

当前身份: 学生 | 退出课堂

课堂访问量 663

吴海军老师 (南京大学)

学生 27 | 教师 2

通知公告 1

课堂实验 1

数字逻辑基础

组合逻辑部件设计

全部 提交中 补交中 已截止

默认排序 ①

请输入实验名称

提交中 未开启补交 数字逻辑基础

吴海军老师 0/5 2024-03-21 21:40 至 2024-03-31 23:59

开始学习



学生测试 300

数字逻辑基础

实验总用时: 00:00:21

实验环境倒计时: 00:29:40

数据集

第1关: 3 输入多数表决器 100

任务要求 评论 关卡排行榜

任务描述

- 任务描述
- 实验要求
- 测试说明

任务描述

本关任务: 利用基本逻辑门设计一个 3 输入多数表决器。

实验要求

首先, 双击打开桌面的图标 Logisim :

Logisim

GTKWave

本关最大执行时间: 20秒 显示/隐藏测试结果

下一关 评测



南京大学计算机科学与技术系
Department of Computer Science and Technology, Nanjing University

在线实验环境

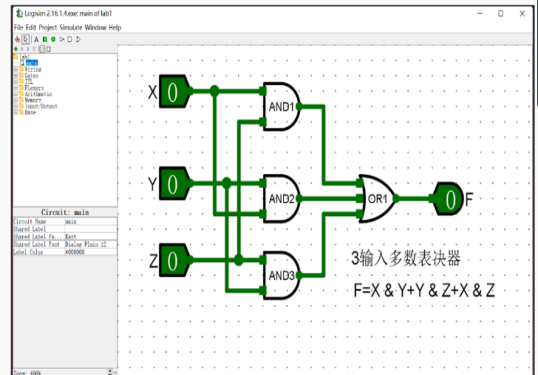
- 执行Logisim，根据实验讲义的要求，打开指定路径中给出的实验项目模板文件，
- 根据实验讲义提供的原理图，完成实验设计、并进行验证。

学生测试 300

第1关: 3 输入多数表决器

任务要求 评论 关卡排行榜

单击 向上一层, 然后依次进入
data/workspace/myshixun/lab1.1.circ, 单击 打开, 进入实验操作环节。
根据文件 实验1:数字逻辑基础.pdf 中的第一个小实验: 利用基本逻辑门设计一个 3 输入多数表决器, 图中已给出输入门与输出门。



在完成实验后 点击 下一关 选择 Save

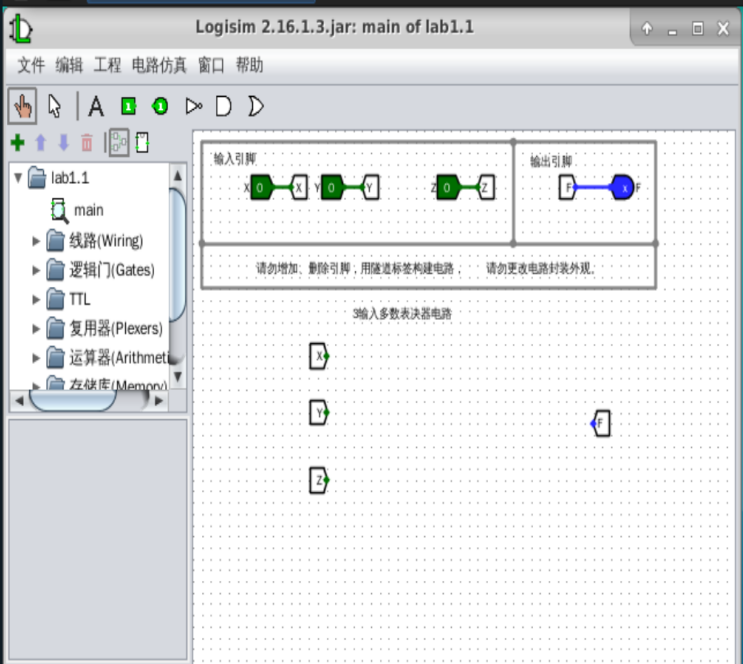
说点什么

数字逻辑基础
实验总用时: 00:03:14

图形化

Logisim 2.16.1.3.jar: ma...

21:48 root



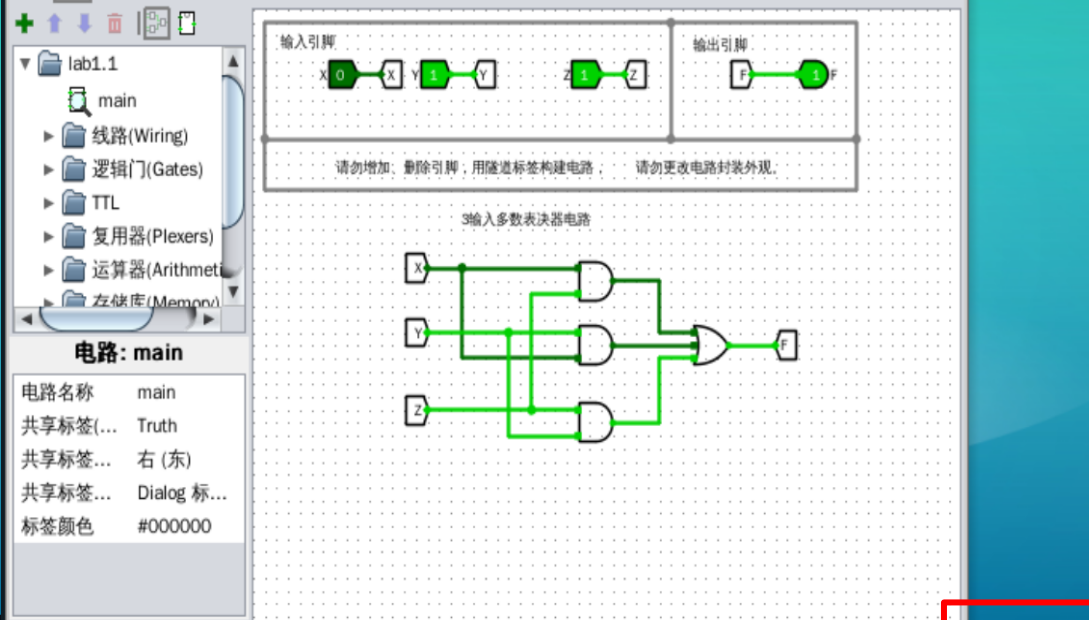
本关最大执行时间: 20秒 显示/隐藏测试结果

下一关 评测

图形化

Logisim 2.16.1.3.jar: ma...

21:51 root



本关最大执行时间: 20秒 显示/隐藏测试结果

下一关 评测



在线实验环境

- 保存电路设计文件，点击右下角“评测”按钮，检查评测结果。
- 评测通过，显示通过本关的勋章。

测试结果

✓ 1/1 全部通过

▼ 测试集1 消耗内存279.89MB 代码执行时长: 0.65秒 ✓

—— 预期输出 ——

Cnt	XYZ	F
0	0	0
1	1	0
2	2	0
3	3	1
4	4	0
5	5	1
6	6	1
7	7	1

—— 实际输出 ——

Cnt	XYZ	F
0	0	0
1	1	0
2	2	0
3	3	1
4	4	0
5	5	1
6	6	1
7	7	1

展示原始输出

数字逻辑基础

实验总用时: 00:07:06

Logisim 2.16.1.3.jar: main of lab1.1

恭喜您通过本关

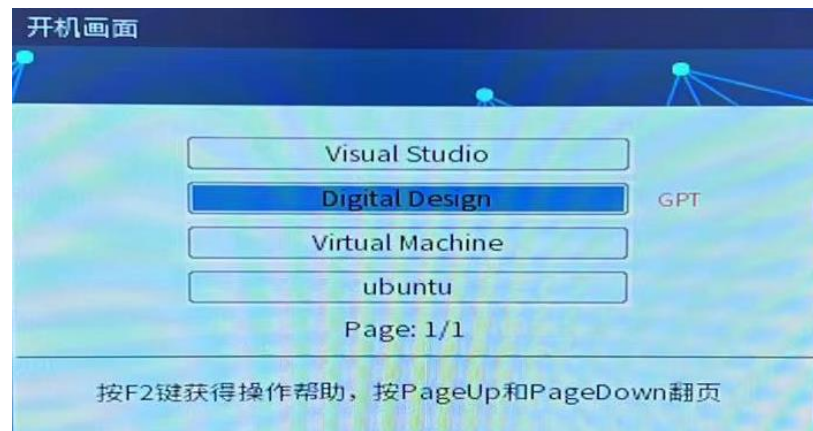
+100 +100

您的评价决定老师的江湖地位~

下一关

本地实验环境

- 公用机房本地实验环境
 - 开启实验室计算机，选择Digital Design平台
 - 在桌面双击“Logisim”图标



- 通过课程网站，下载Logisim工具到个人计算机。





Logisim简介

Logisim的发展

- Logisim是一个开源的**图形化设计和仿真**数字电路的教学工具。
- 便于掌握数字电路设计的基本概念，能够从简单的电路**分层模块化构建**复杂的数字电路。
- 基于Java开发，跨平台运行，按照GNU开源协议授权使用。
- Windows平台使用EXE文件，MAC或Linux平台使用JAR文件
- 在SourceForge上有多个Logisim项目，其中**意大利语版本**2017年开始修改，修改bug，添加新组件。最新版本：**V2.16.1.4**
- **Logisim-evolution**版本：集成电路板支持硬件、VHDL组件、庞大组件库。**不兼容logisim文件。**
- 电路文件类型为**circ**，格式为xml，所有子电路都是以这样的标记出现，<circuit name= "****" ></circuit>，包含电路外观。



Logisim界面

The screenshot shows the Logisim 2.16.1.0 interface with the following components labeled:

- 标题栏, 显示电路名称**: Points to the title bar showing "Logisim 2.16.1.0.exe: main of Untitled".
- 快捷工具栏**: Points to the top toolbar with icons for selection, text, bus, and simulation.
- 子电路工具栏**: Points to the sub-circuit toolbar with icons for adding, deleting, and managing sub-circuits.
- 导航窗口**: Points to the left-hand project tree showing the hierarchy of the circuit.
- 属性窗口**: Points to the bottom-left "Tool: AND Gate" properties panel.
- 工作区、画布**: Points to the main workspace area with a grid background.
- 工作区缩放比例**: Points to the zoom control at the bottom left, showing "Zoom: 90%".
- 工作区背景选择: 网格/光滑**: Points to the background selection icons at the bottom right.

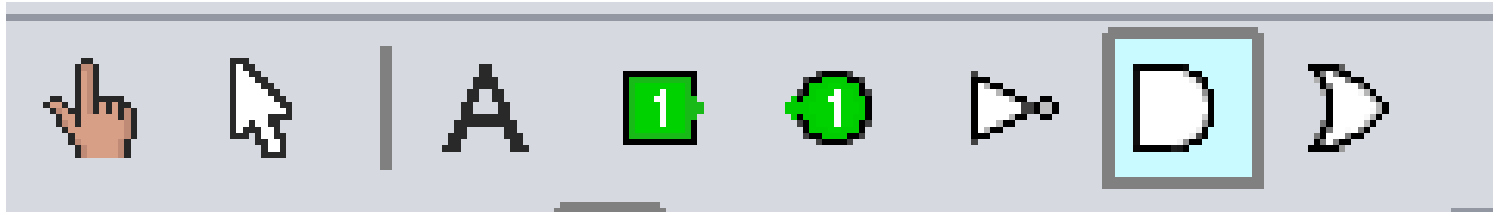
Tool: AND Gate


Facing	East
Data Bits	1
Gate Size	Narrow
Number Of Inputs	2
Output Value	0/1
Label	
Label Font	Dialog Plain 12
Label Color	#000000
Negate 1 (Top)	No
Negate 2 (Bottom)	No


Zoom: 90%



快捷工具栏




1. Poke tool () 点戳工具：选中点戳工具，进入**仿真**状态，用**鼠标**点击**部件某个输入端**，可动态改变该输入端的值，在0和1之间切换。


2. Edit tool () 编辑工具：选中编辑工具后，进入**编辑**状态，可对工作区选中的部件进行**拖曳、删除、修改属性**等操作。当光标停在某个部件端口时，一个**绿色的小圆圈**将围绕该端口，此时按住鼠标左键，就可以进行器件间的**连线**。

3. Text tool () 文本工具：在电路中添加**标识符或注释文字**。如：在器件的输入输出端或器件边沿添加文字描述。


快捷工具栏




1.Input Pin () 输入引脚：选中**输入引脚**后，在画布中单击鼠标左键后，放置输入引脚。然后在属性窗口中，**修改属性**。在鼠标移到输入引脚端口时，一个绿色的小圆圈将围绕端口，按住鼠标左键移动将进行器件间的连线。

2.Output Pin () 输出引脚：选中**输出引脚**后，在画布中单击鼠标左键后，放置一个输出引脚，修改属性。

3.NOT gate () 非门：选中**非门**后，在画布中放置非门，修改属性。

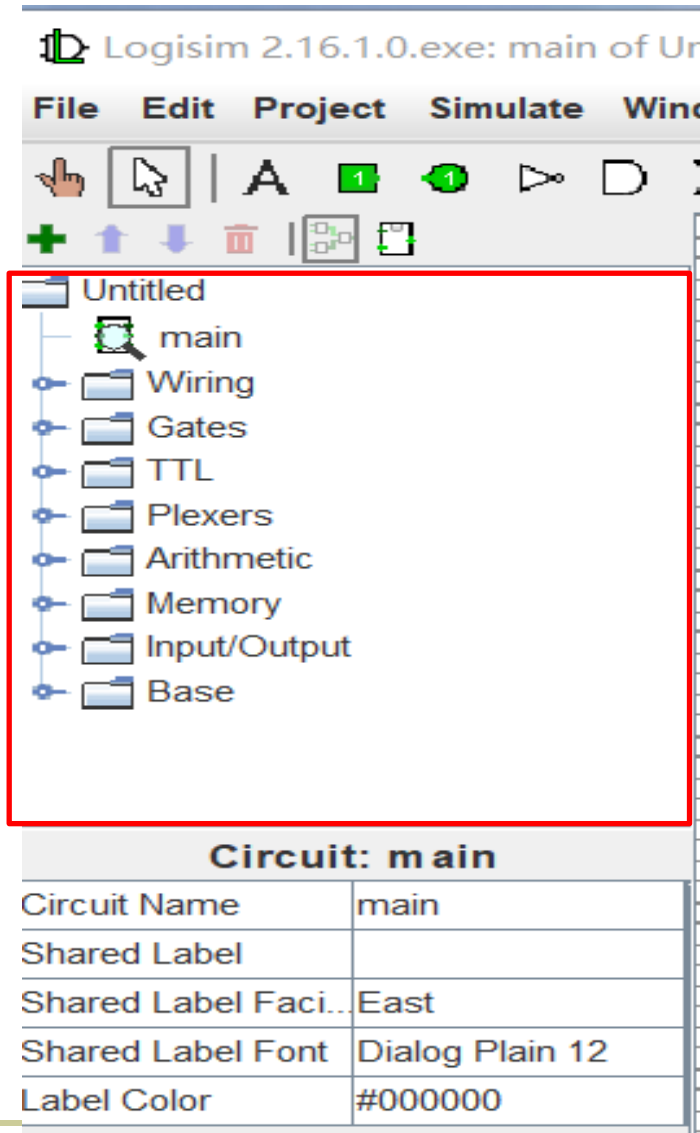
4.AND gate () 与门：选中**与门**后，在画布中放置与门，可修改属性，如输出端方向、输入端数目、尺寸、位宽、标识符、输入端负逻辑等。

5.OR gate () 或门：选中**或门**后，在画布中放置或门，可修改属性，如输出端方向、输入端数目、位宽、标识符、输入端负逻辑等。 。



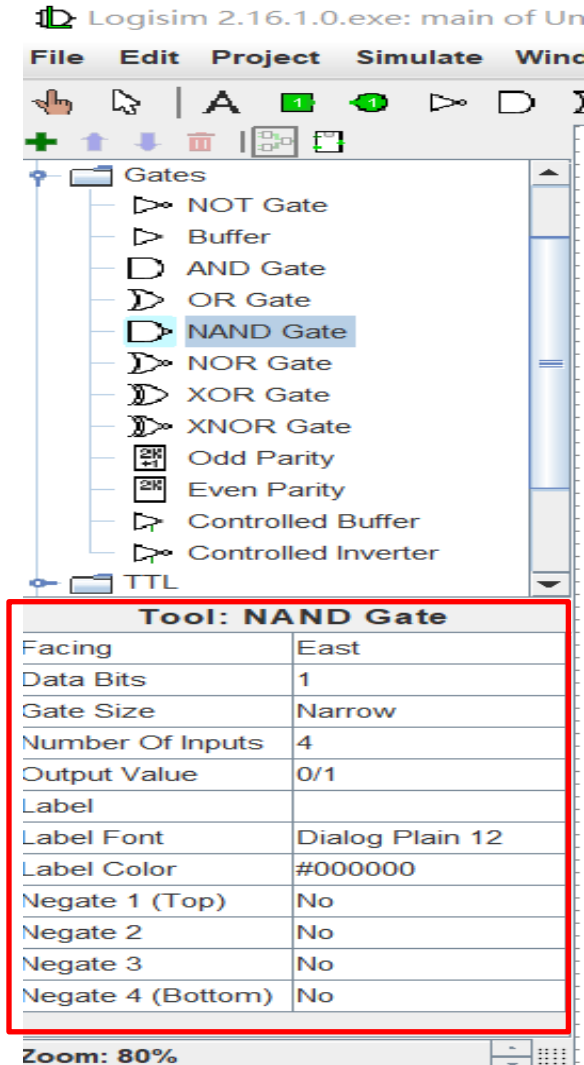
Logisim导航窗口

- 导航窗口提供Logisim所有的**基本组件**，将选中的组件，在画布中单击鼠标左键放置该组件，属性窗口中显示其属性。
 - Wiring线路库：与**线路**直接相关的组件。
 - Gates逻辑门库：独立**逻辑门**组件。
 - TTL库：74系列**中小规模集成电路**。
 - Plexers器件：复杂的**组合器件**，如多路复用器和解码器。
 - Arithmetic算术：具有**算术运算部件**。
 - Memory存储器：具有**存储功能的器件**，如触发器、寄存器和RAM等。
 - I/O输入输出：用于**人机交互**的组件。
 - Base基础工具库：系统中不可或缺的工具。





Logisim属性窗口

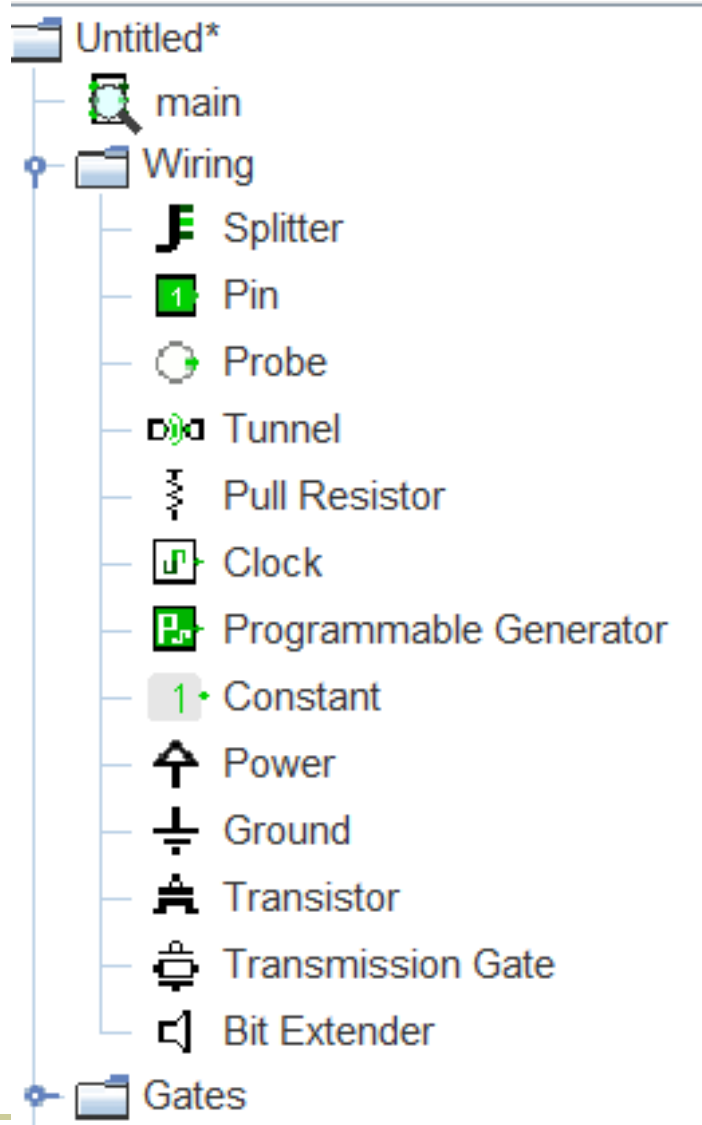


- 属性窗口配置组件的**功能**和**外观**。属性表左侧用来显示属性名称，右侧显示属性值，可用**鼠标点击修改**。
- 不同的组件的属性表不相同。
- 很多组件有公共的属性：
 - **朝向**
 - **数据位宽**
 - **尺寸**
 - **输入端口数**
 - **输出值范围**
 - **标识符**
 - 标识符字体、颜色
 - 输入端负逻辑选择等



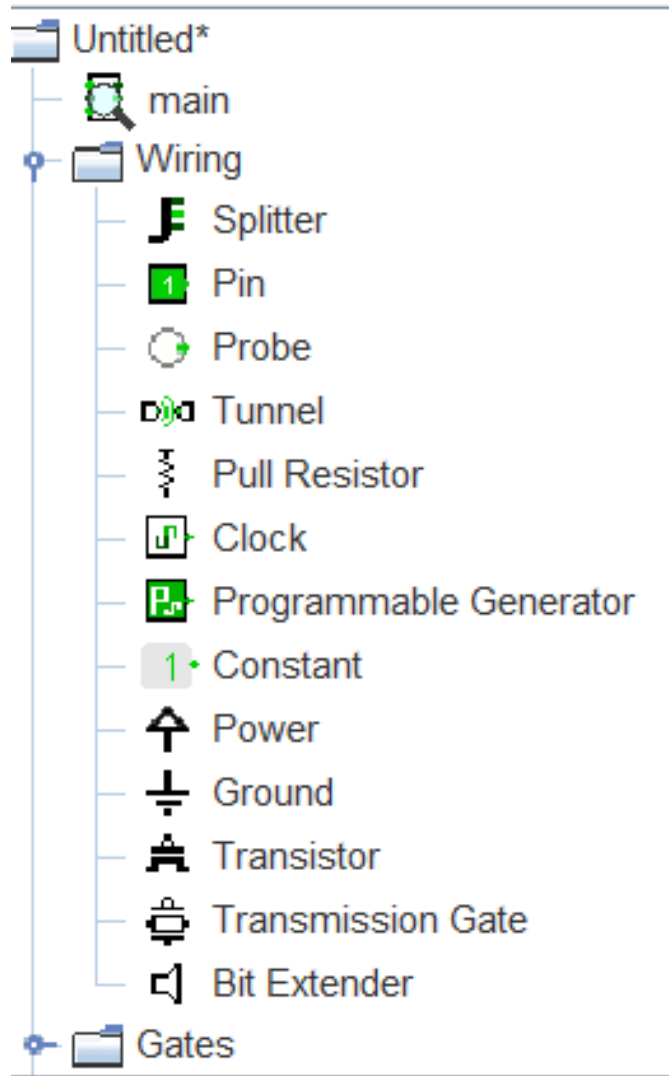
Logisim线路库

- Wiring线路库包含与线路相关的基本组件，由属性表定义功能。
 - Splitter分线器：将多位线路进行拆分或合并。
 - Pin引脚：电路的输入或输出引脚。
 - Probe探针：监控电路中指定位置的具体值，类似输出引脚，连接线颜色为灰色，用于线路调试。
 - Tunnel隧道：类似于多层印刷电路板的过孔，通过相同的标识符将没有线路相连的两个或多个点逻辑连通，有助于电路设计整洁美观。
 - Pull Resistor上/下拉电阻：用于处理连接点的不确定值（浮动值）。





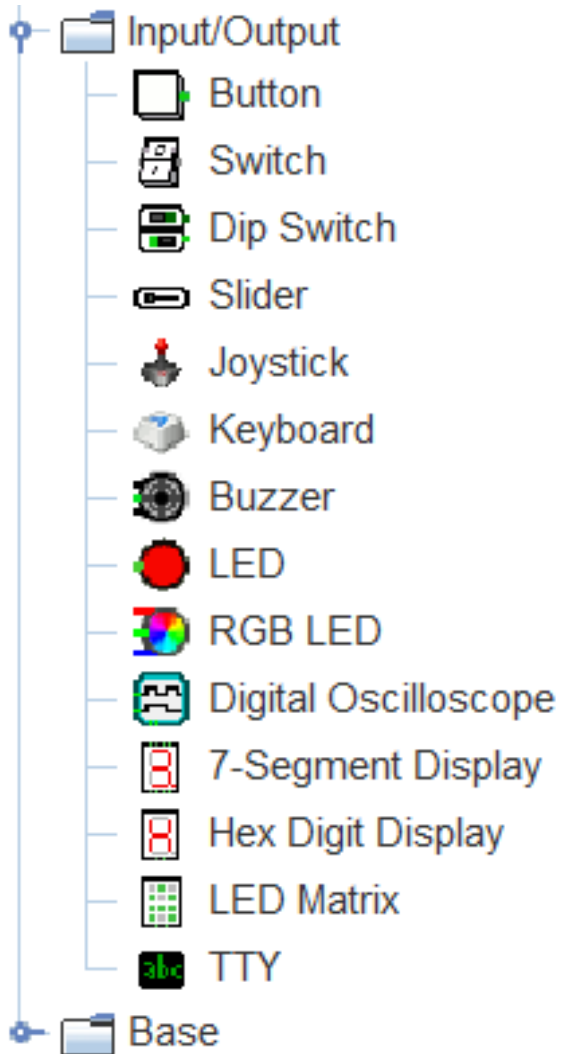
Logisim线路库



- Wiring线路库包含与线路相关的基本组件，由属性表定义功能。
 - Clock时钟：时钟信号源，可以在simulate菜单下设置为固定频率连续输出，也可设置为单步输出，多用于时序电路。
 - Programmable Generator：可编程信号发生器，4个输出状态。
 - Constant常量：数值属性固定的值。
 - Power电源：特殊的常量，值为1。
 - Ground接地：特殊的常量，值为0。
 - Transistor晶体管：有PMOS、NMOS晶体管两种类型。
 - Transmission Gate传输门：
 - Bit Extender位扩展器：可扩展或截断数据位宽，扩展时刻选择0、1、符号位或额外输入位扩展。



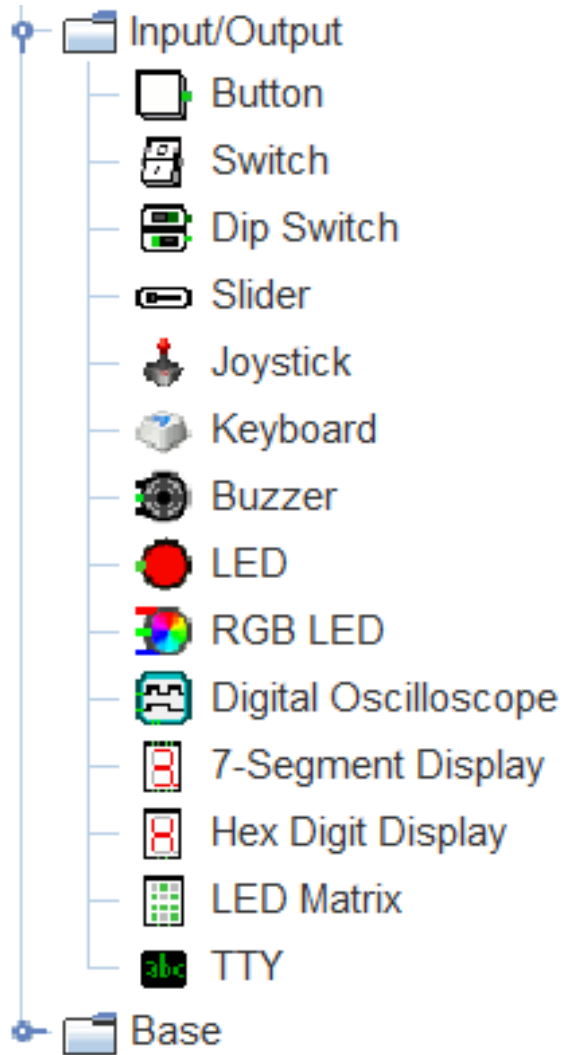
Logisim输入输出库



- 输入输出库包含与用户交互的组件
 - **Button**按钮：模拟一个按钮，未按下输出0，鼠标左键按下输出1，释放鼠标按钮后输出0
 - **Switch**开关：通过鼠标点击，开关处于不同位置来设置是否导通或截止。
 - **Dip Switch**一组拨档开关：选择不同位置持续输出0或1。
 - **Slider**连续数值输出：可通过鼠标平滑移动连续输出n位数二进制数。
 - **Joystick**操纵杆：鼠标拖动中间按钮，输出x、y两个坐标。
 - **Keyboard**键盘：允许电路读取从键盘输入的ASCII键值。
 - **Buzzer**蜂鸣器：发出有输入定义的频率声音



Logisim输入输出库

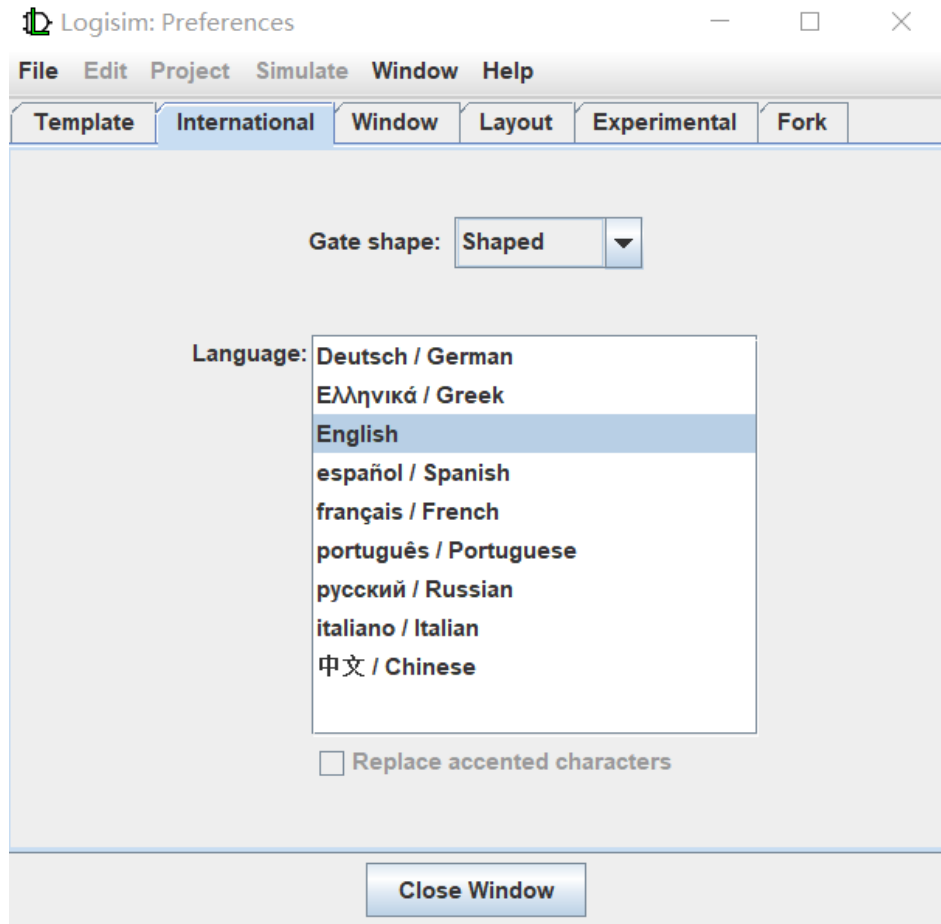


- 输入输出库包含与用户交互的组件
 - LED指示灯：根据灯的亮和灭显示其输入值是1还是0。
 - RGB LED彩色指示灯：根据三个1位R、G、B输入值来显示指示灯的色彩，全0黑色，全1白色。
 - Digital Oscilloscope数字示波器：显示输入信号的波形。
 - 7-Segment Display七段数码管：8个1位输入值分别对应7个线段和1个小数点。
 - Hex Digit Display十六进制数码管：一个4位输入对应数值，一个1位输入对应小数点。
 - LED Matrix LED矩阵：通过一个像素点阵来显示符号。有行模式、列模式、行列模式三种不同引脚模式。
 - TTY字符终端：一个简单的字符显示终端，接收可显示的ASCII码。



Logisim偏好设置

- 在File菜单下点击Preference，弹出偏好设置窗口

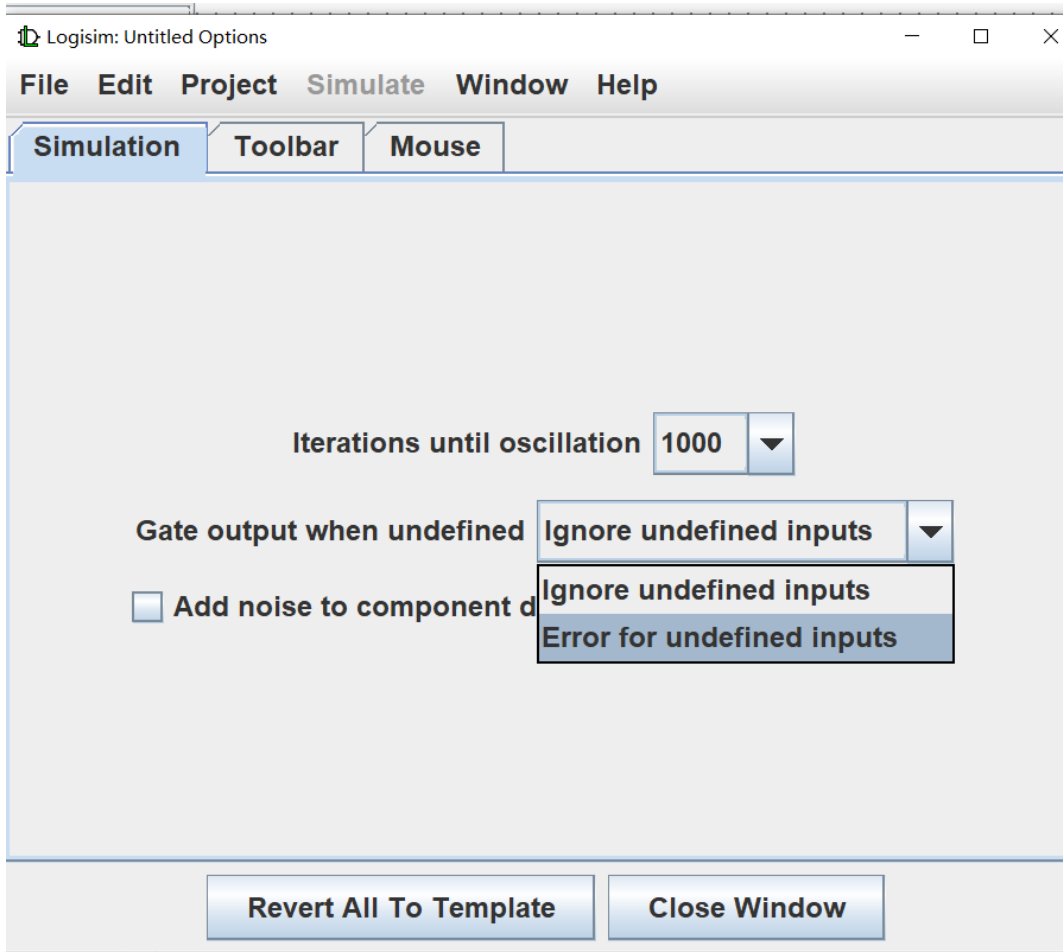


- 在international国际化选项卡中
 - Gate shapes可选择逻辑门的**三种形式**：标准形状Shape、矩形Rectangular和DIN 40700规范。
 - Language中选择**中文/Chinese**，可切换界面语言为汉字。
- 在windows选项卡中
 - 设置工具栏在窗口中的位置（North）
 - 设置“滴答”运行频率（60HZ）
- 在Layout选项卡中
 - show component tips**组件提示开关**
 - keep connections while moving**移动组件时保持连接**



Logisim 工程选项

- 在Project菜单下点击Option，弹出工程选项窗口



- 在simulation选项卡中
 - Iterations until oscillation在**震荡前的循环次数**。表示“滴答”的次数。
 - Gate output when undefined**未连接的逻辑门输出**：默认为忽略该输入，在实际电路中这种逻辑门可能导致行为不可预测，**建议设置成错误**。
 - Add noise to component delays组**件延迟噪声**：**建议关闭该选项**。



Logisim 帮助

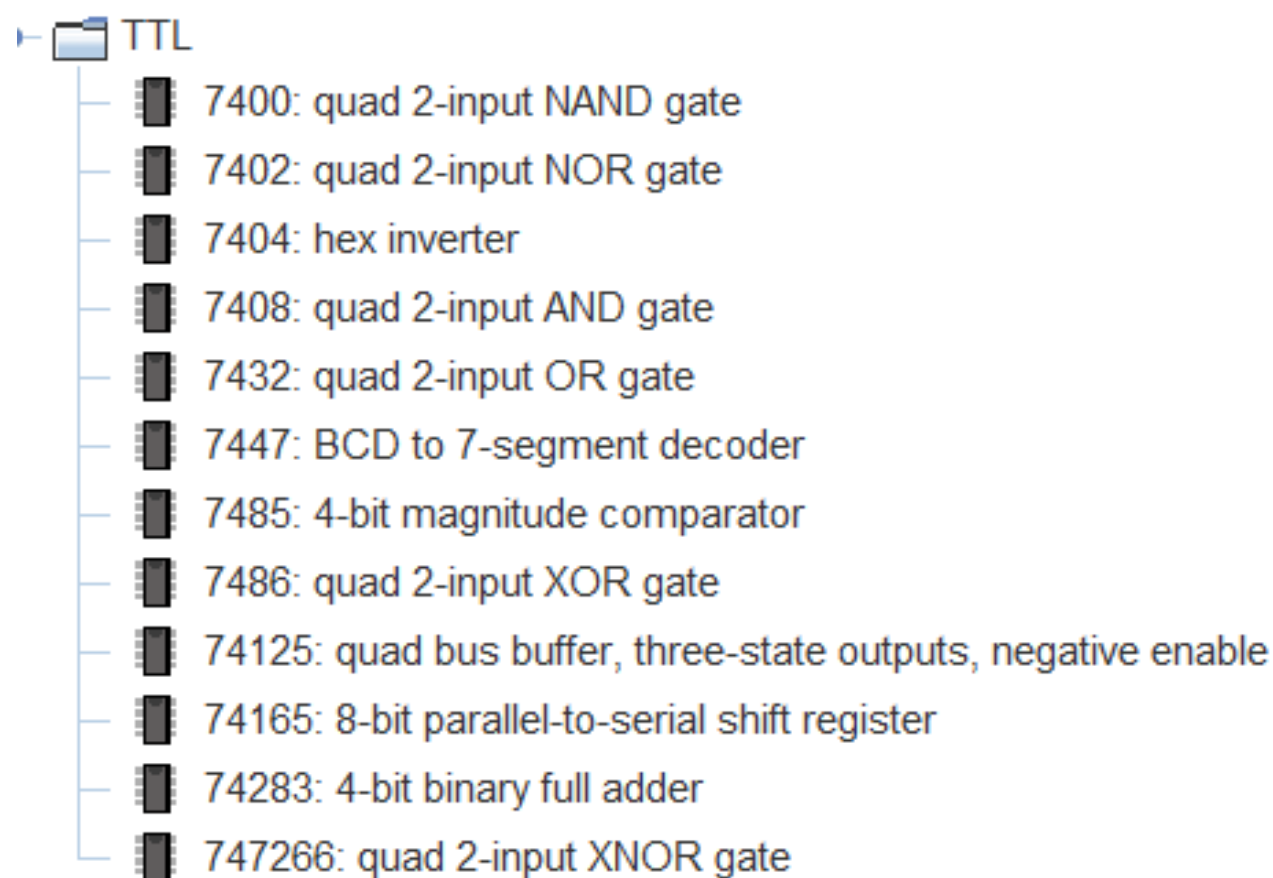
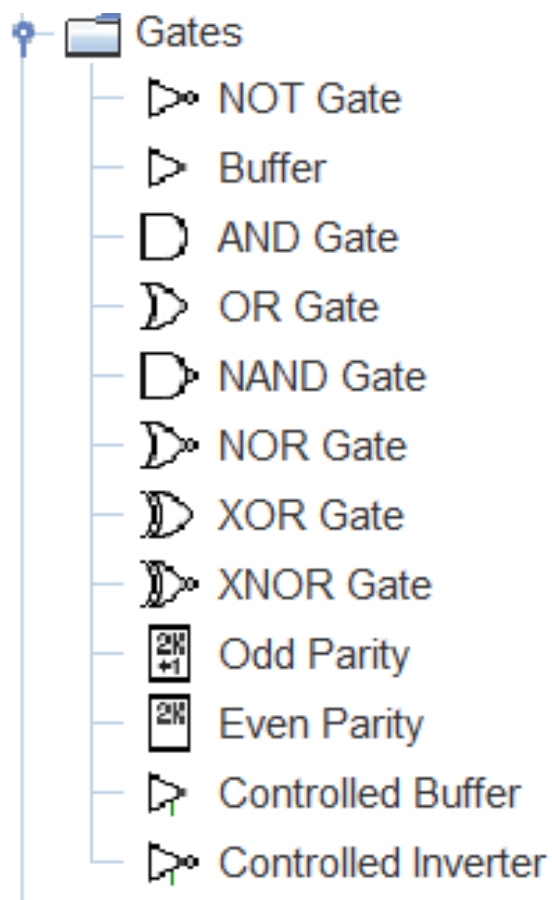
- 在Help菜单下，点击User's Guide

The screenshot shows the Logisim Documentation window. On the left is a tree view of Logisim References, including 'Guide to Being a Logisim User', 'Beginner's tutorial', 'Libraries and attributes', 'Subcircuits', 'Wire bundles', 'Combinational analysis', 'Menu reference', 'Memory components', 'Logging', 'Command-line verification', 'Application preferences', 'Project options', 'Value propagation', 'JAR libraries', 'About the program', and 'Library Reference'. The main pane displays the title 'The Guide to Being a Logisim User' above a detailed diagram of a 16-bit CPU. The diagram includes components like the Instruction Register, MUX, ALU, Bus Control, Registers, Program Counter, and Clock. A table on the right shows memory addresses and values: 04: 1221 92fe, 06: 8000 0006, 08: 0000 0000, 0a: 0000 0000. Below the diagram is a 'Clock' section with settings for Facing (North), High Dur (1 Tick), Low Dur (1 Tick), Label (Clock), Label Loc (South), and Label Font (SansSerif).

Logisim is an educational tool for designing and simulating digital logic circuits. With its simple toolbar interface and simulation of circuits as they are built, it is simple enough to facilitate learning the most basic concepts related to logic circuits. With the capacity to build larger circuits from smaller subcircuits, and to draw bundles of wires with a single mouse drag, Logisim can be used (and is used) to design and simulate entire CPUs for educational purposes.

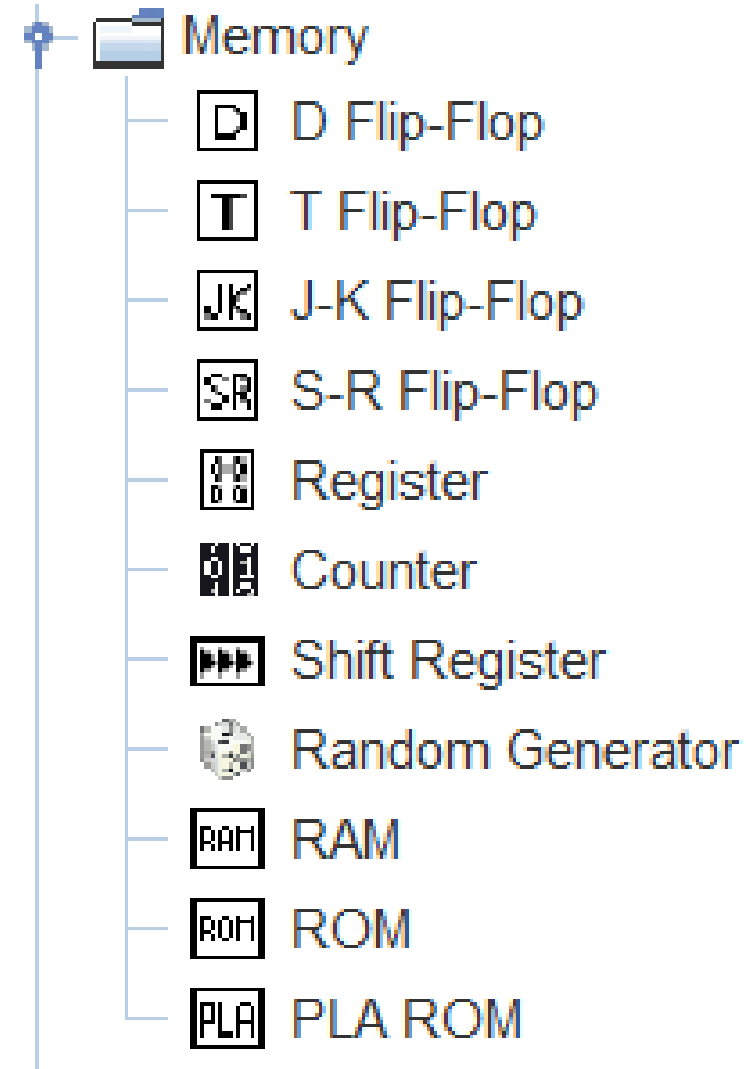
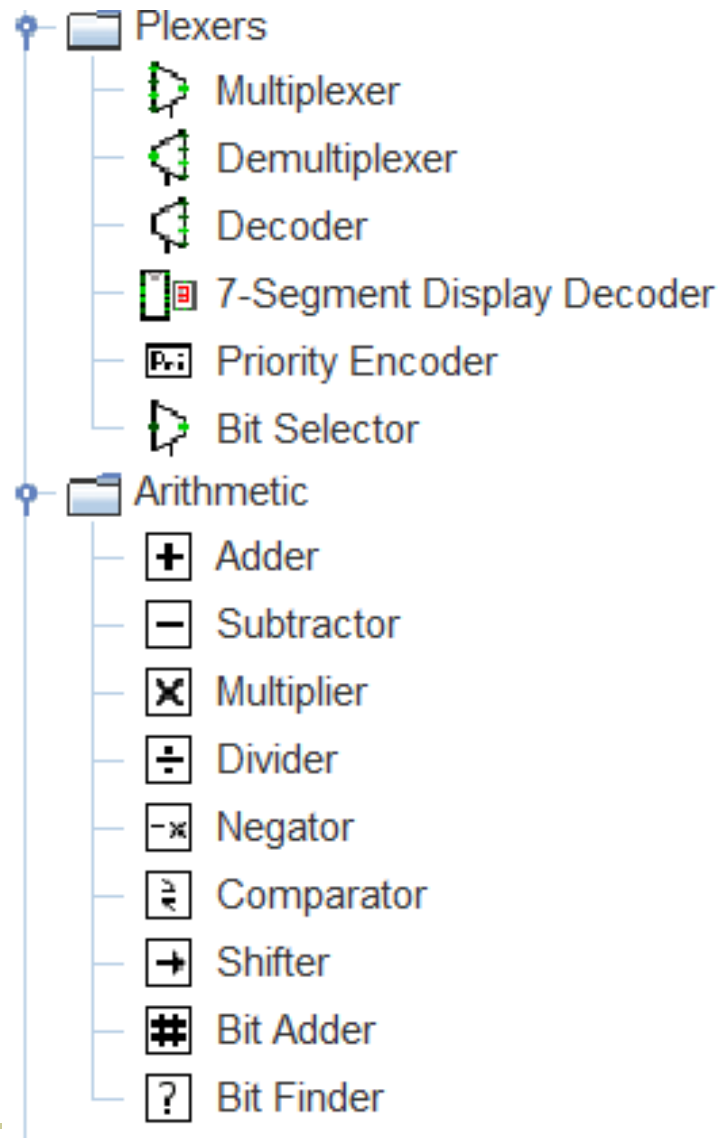
Logisim 基础库文件

■ 逻辑门库





Logisim 基础库文件





Logisim 库文件

- **系统嵌入库文件：**Logisim系统已经包含的库文件
- **生成的库文件：**使用Logisim项目文件生成并保存在本地磁盘中的Logisim电路设计源文件。
- **JAR库文件：**第三方利用java开发的库文件。可以下载到本地使用。



实验1



实验1.1：多数表决器

■ 实验1.1：利用基本逻辑门实现3输入多数表决器

■ 实验步骤：

1. 实验原理：列出真值表，生成逻辑表达式
2. 添加逻辑门：放置需要的逻辑门、输入、输出引脚等，并布局到适当位置
3. 添加线路：将输入引脚、逻辑门的输入端、输出端、输出引脚等通过连接线相连。
4. 添加标识符：添加注释文字，便于电路的理解
5. 仿真测试：进入仿真状态，验证电路功能。
6. 保存文档，导出电路图

实验1.1：多数表决器

- 实验1.1：利用基本逻辑门实现3输入多数表决器
 - 1、实验原理：输入、输出真值表

XYZ	F
000	0
001	0
010	0
011	1
100	0
101	1
110	1
111	1

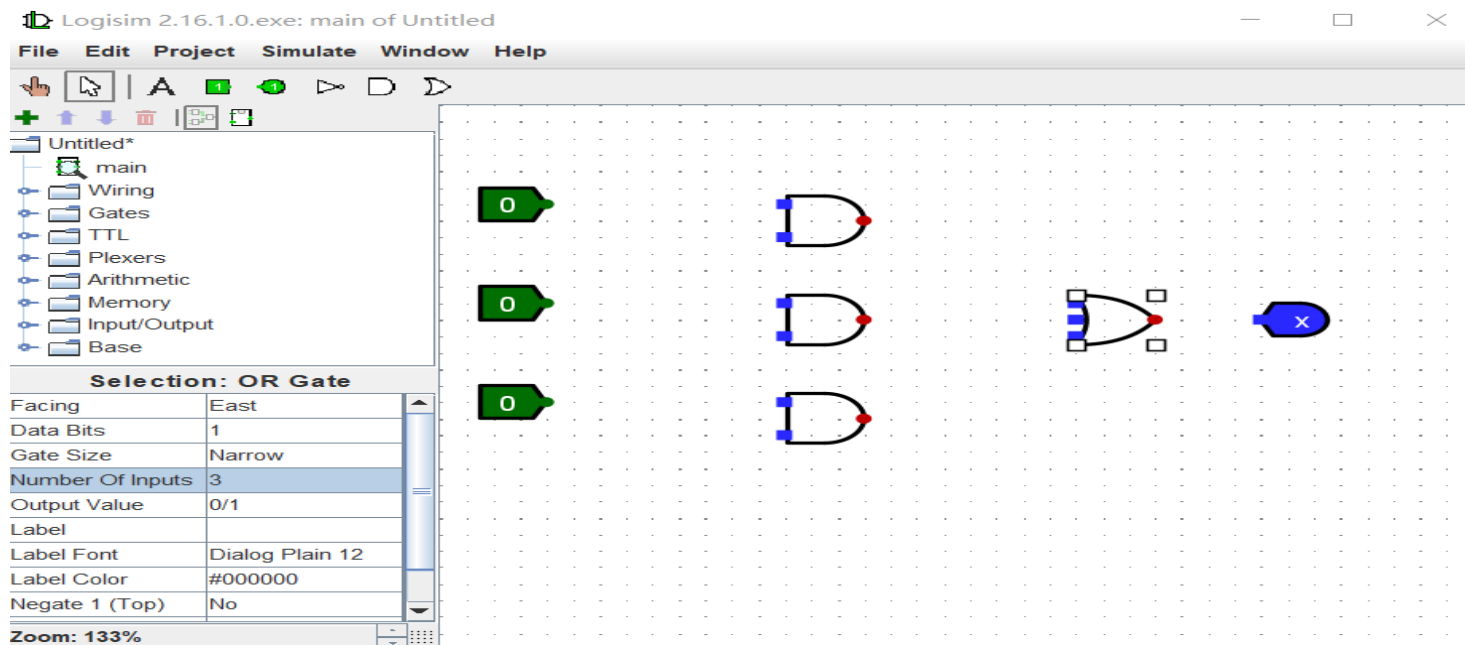
输出函数 $F = Y \cdot Z + X \cdot Z + X \cdot Y$

数字电路分析：需要3个2输入与门和1个三输入或门；3个输入引脚和1个输出引脚。



实验1.1：多数表决器

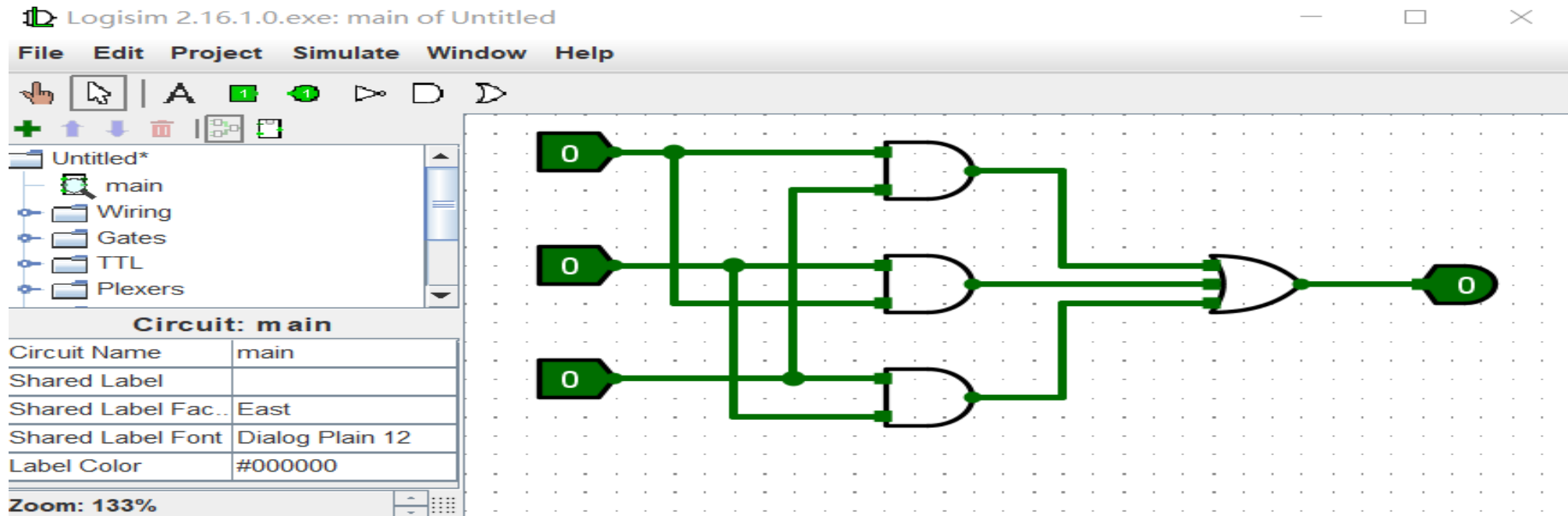
- 实验1：利用基本逻辑门实现3输入多数表决器
 - 2、添加逻辑门：放置需要的逻辑门、输入、输出引脚等，并**布局到适当位置**。
 - ◆ 打开Logisim软件，通过快捷工具栏放置与门、或门、输入引脚、输出引脚。
 - ◆ **布局要求**：部件间有空隙，导线排列整齐，减少交叉。
 - ◆ 或门缺省输入端口数是2，需修改属性表，将输入端口数改为3





实验1.1：多数表决器

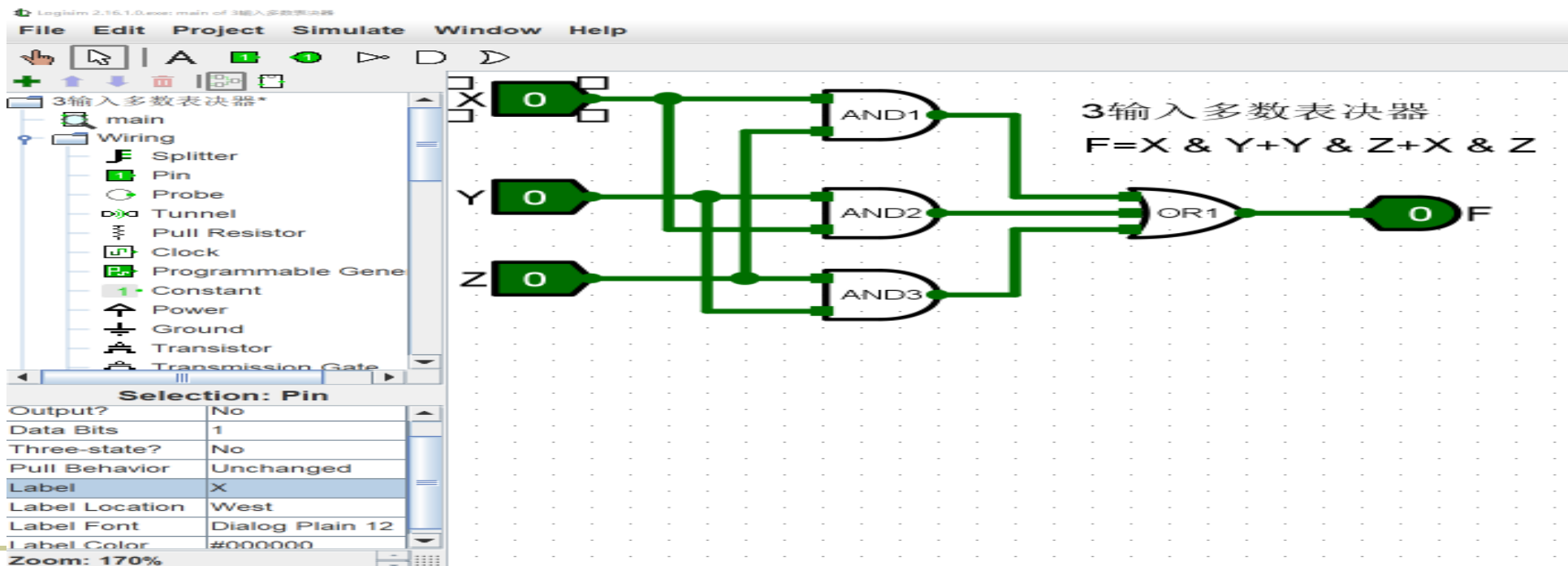
- 实验1：利用基本逻辑门实现3输入多数表决器
 - 3、添加线路：将输入引脚、逻辑门的输入端、输出端、输出引脚等通过连接线相连。
 - ◆ 在编辑状态下，当鼠标移动移动到某个连接点时，出现绿色圆圈，拖动该圆圈到目的位置即可生成线路。
 - ◆ 所有的输入和输出引脚都需要线路相连，不能悬空。





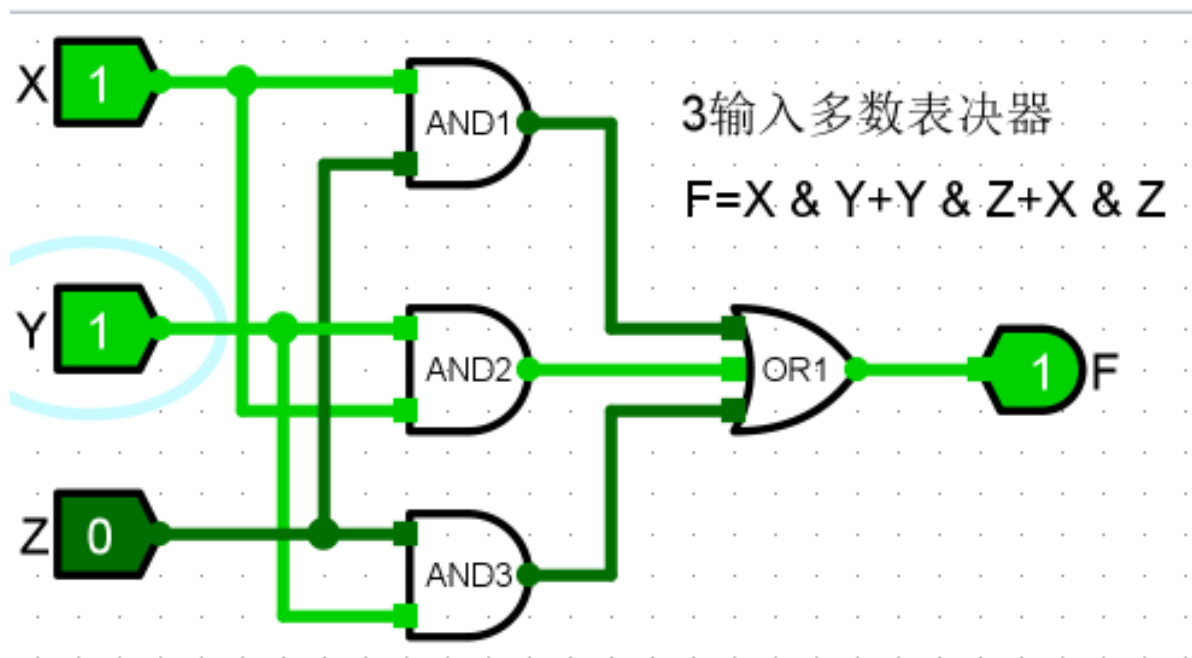
实验1：多数表决器

- 实验1：利用基本逻辑门实现3输入多数表决器
 - 4、添加标识符：添加注释文字，便于电路的理解
 - ◆ 选中输入、输出引脚，在属性表中添加引脚标识符
 - ◆ 选中逻辑门，在属性表中添加门标识符
 - ◆ 点击快捷工具栏中文本工具，在电路空白处添加描述文字。
 - ◆ 标识符、注释符字体、大小、颜色和位置等均可在属性表中修改



实验1.1：多数表决器

- 实验1：利用基本逻辑门实现3输入多数表决器
 - 5、仿真测试：进入仿真状态，验证电路功能。
 - ◆ 在快捷工具栏中，选中点戳工具，进入仿真状态。
 - ◆ 把鼠标移到某个输入引脚，点击鼠标左键，改变该输入引脚的赋值为1，检测输出引脚的数值，填写输入、输出对应表，验证电路的正确性。

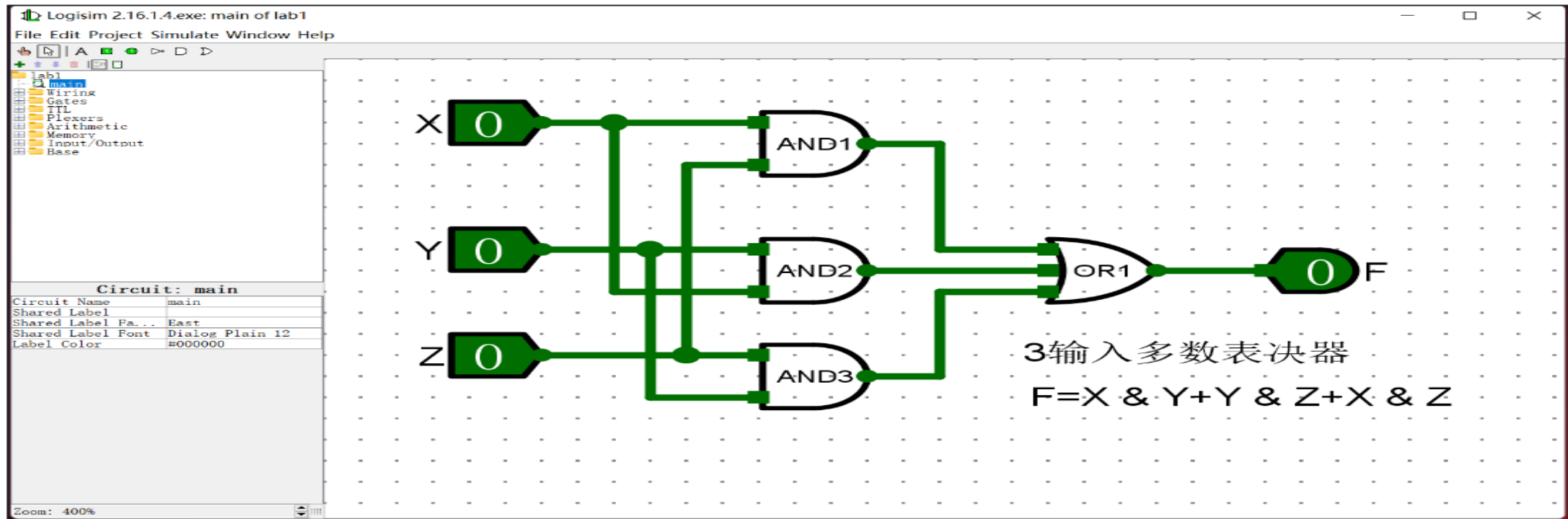


XYZ	F
000	0
001	0
010	0
011	1
100	0
101	1
110	1
111	1



实验1.1：多数表决器

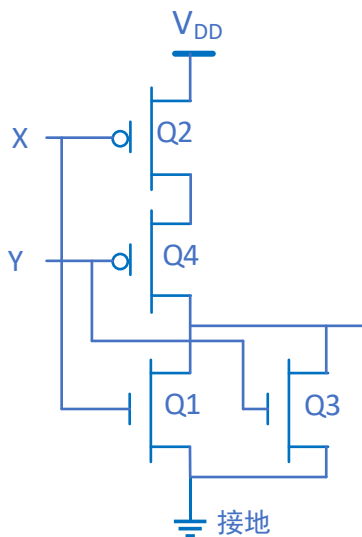
- 实验1：利用基本逻辑门实现3输入多数表决器
 - 保存：File菜单下选择save，保存为lab1.1.circ文档。
 - 导出电路图：File菜单下选择Export Image，可选择图片格式。



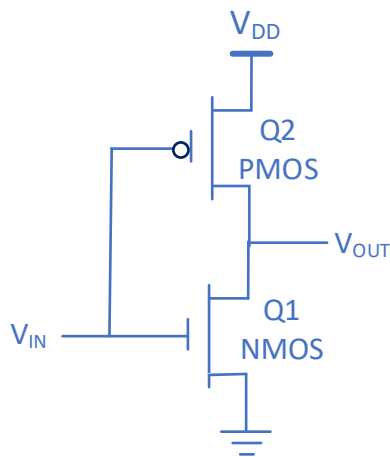


实验1.2：构建或门

- 实验2：利用CMOS晶体管构建两输入或门，并验证其功能。
- 1、实验原理：根据数字电路原理，或门是由或非门级联反相器构成。
 - 或非门、反相器的原理如下所示：



或非门原理图



反相器原理图

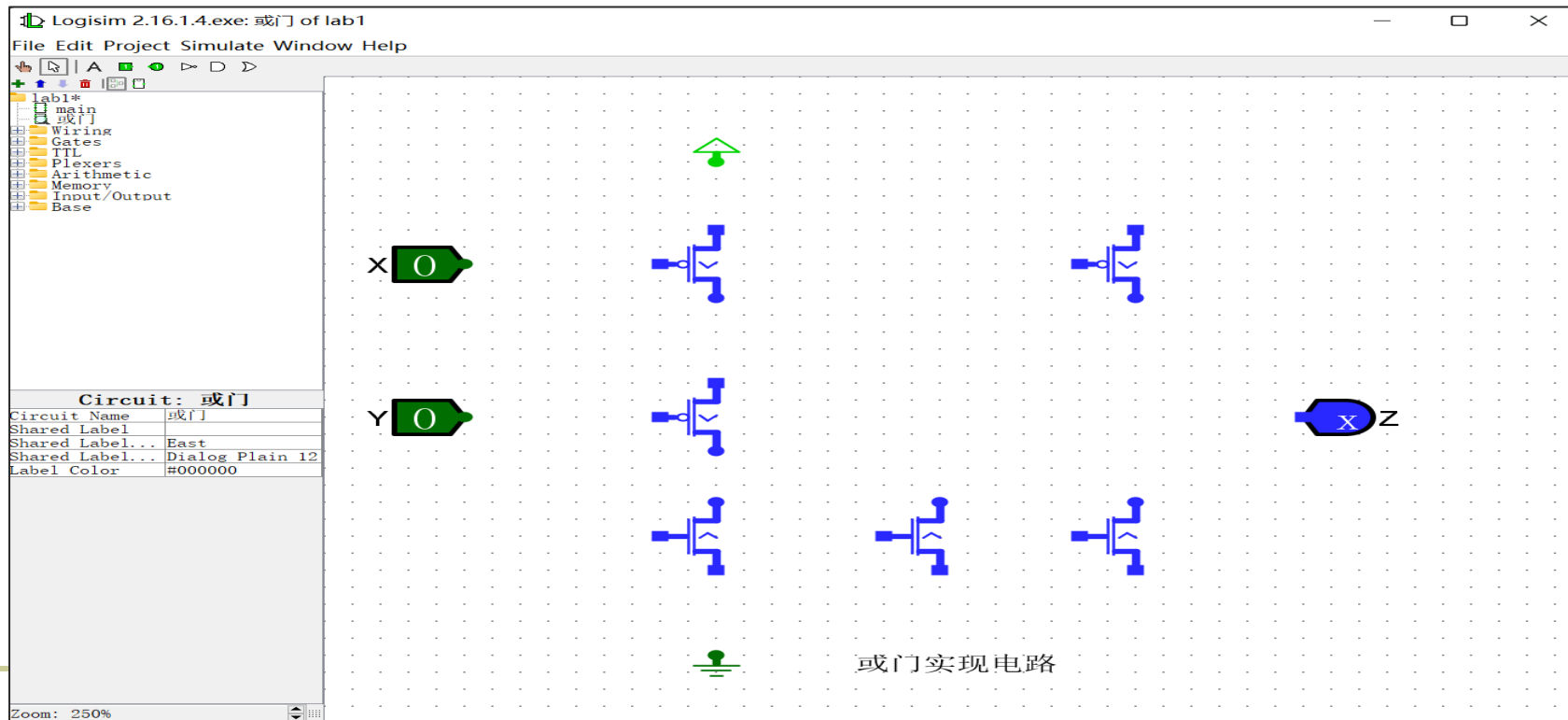
- 实现电路部件分析：
 - ◆ 3对CMOS晶体管
 - ◆ 2个输入引脚
 - ◆ 1个输出引脚
 - ◆ 1个电源
 - ◆ 1个地线

在Logisim的工作区中放置组件，并保存电路的名称为：lab1.2.circ。



实验1.2：构建或门

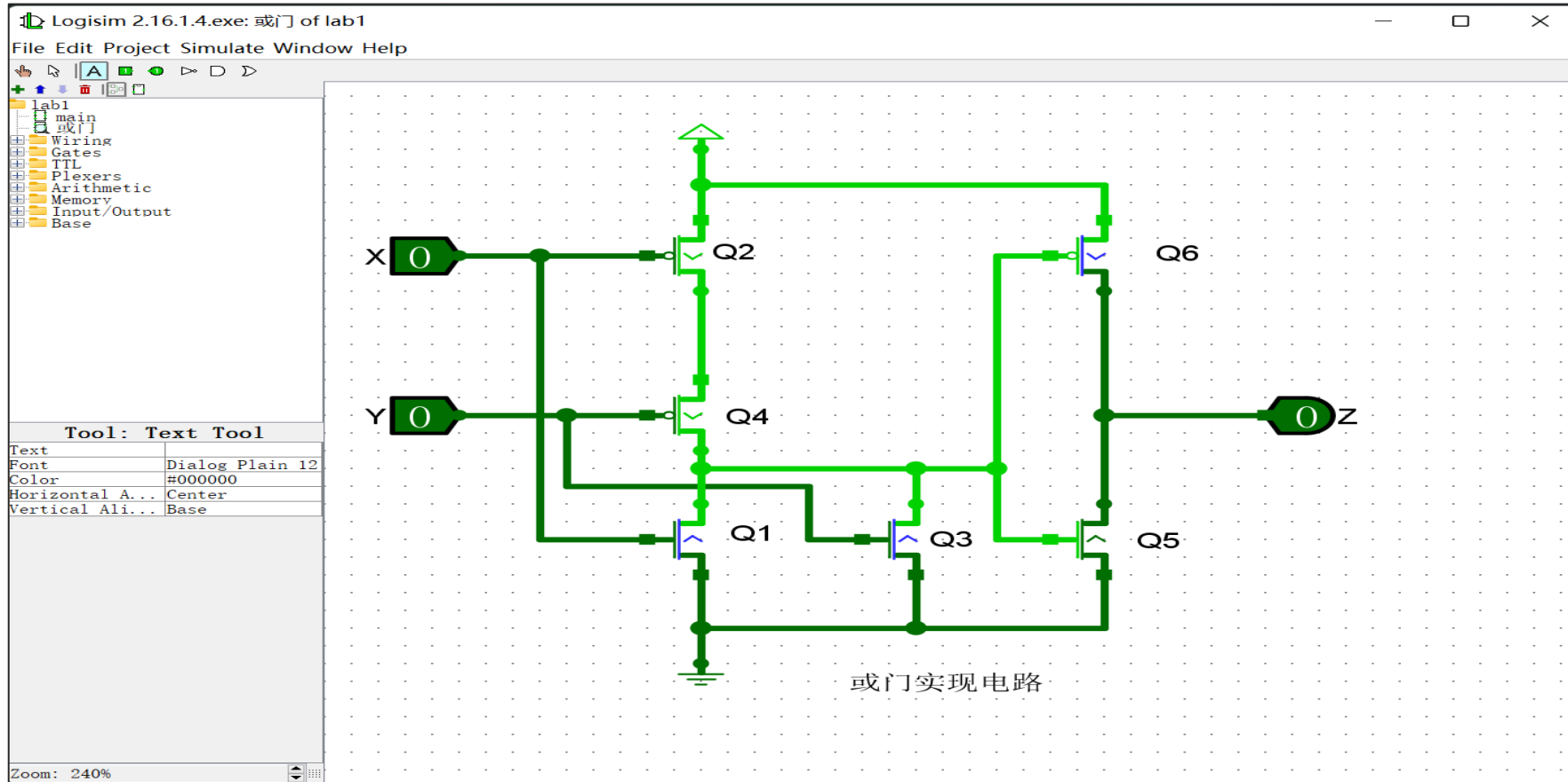
- 2、添加晶体管，选择晶体管类型为：P-Type，朝向选择：South，箭头向下，源极流向漏极；复制该晶体管3只。
 - 添加NMOS晶体管3只，朝向选择：North。
 - 注意PMOS和NMOS的区别：栅极是否有反相圈。
 - 添加输入、输出引脚和电源、地线，定义元件标识符。





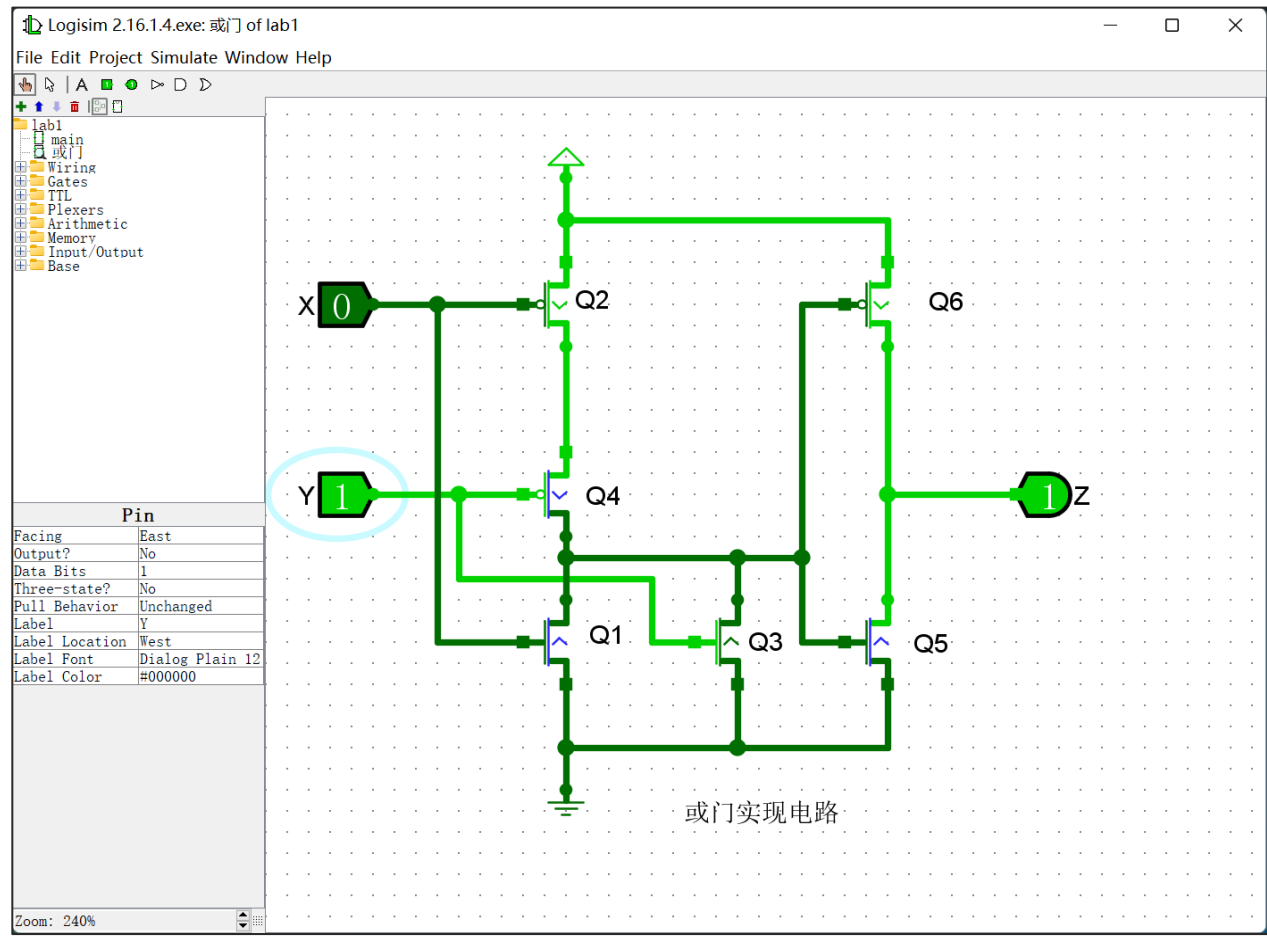
实验1.2：构建或门

- 3、添加线路，Q2、Q6的源极连接电源，Q4的源极连接到Q2的漏极，Q1、Q3、Q5的源极连接地线。根据或非门和反相器原理图，把或非门的输出连接到反相器的输入端。
- 4、添加标识符，标注输入、输出引脚及晶体管标识符，添加电路功能描述



Logisim实验1.2: 构建或门

- 5、仿真验证电路，进入仿真状态，改变输入引脚赋值，记录输出引脚的数值，填写输入输出数据表，验证电路功能。

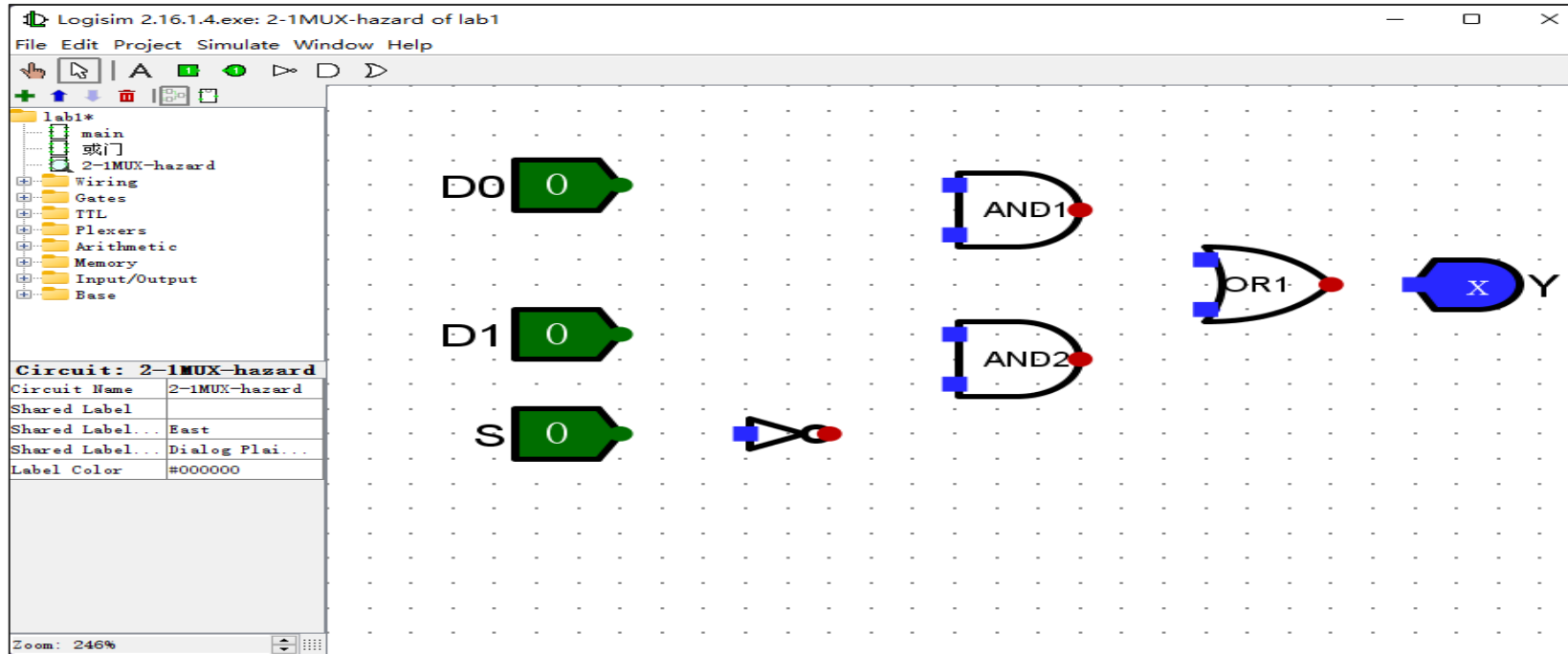


XY	Z
00	0
01	1
10	1
11	1



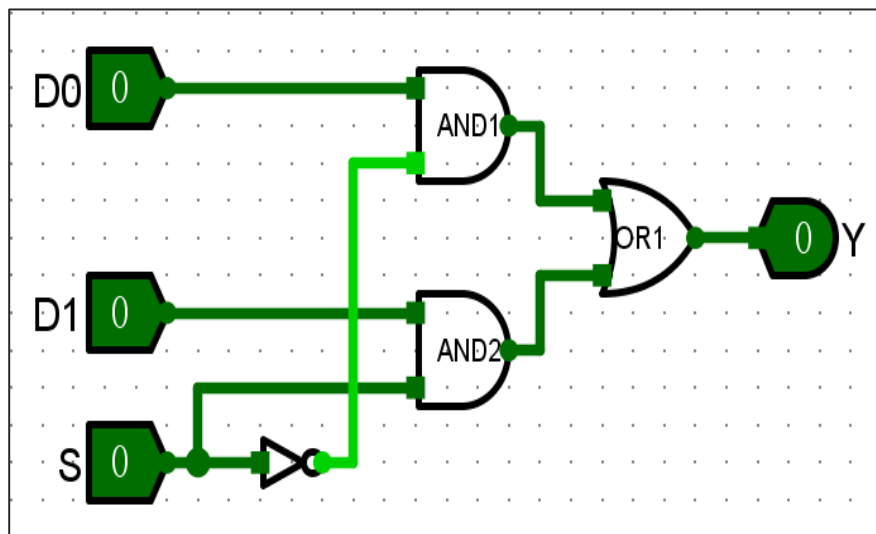
实验1.3：多路选择器实验

- 实验3.1：利用基本逻辑门实现2路选择器，并进行静态冒险检测。
- 根据2选1多路选择器的逻辑表达式： $Y = D0 \cdot \bar{S} + D1 \cdot S$ 。在工作区中的放置部件。
- 在Logisim的工作区中放置组件，并保存电路的名称为：lab1.3.circ。



实验1.3：多路选择器实验

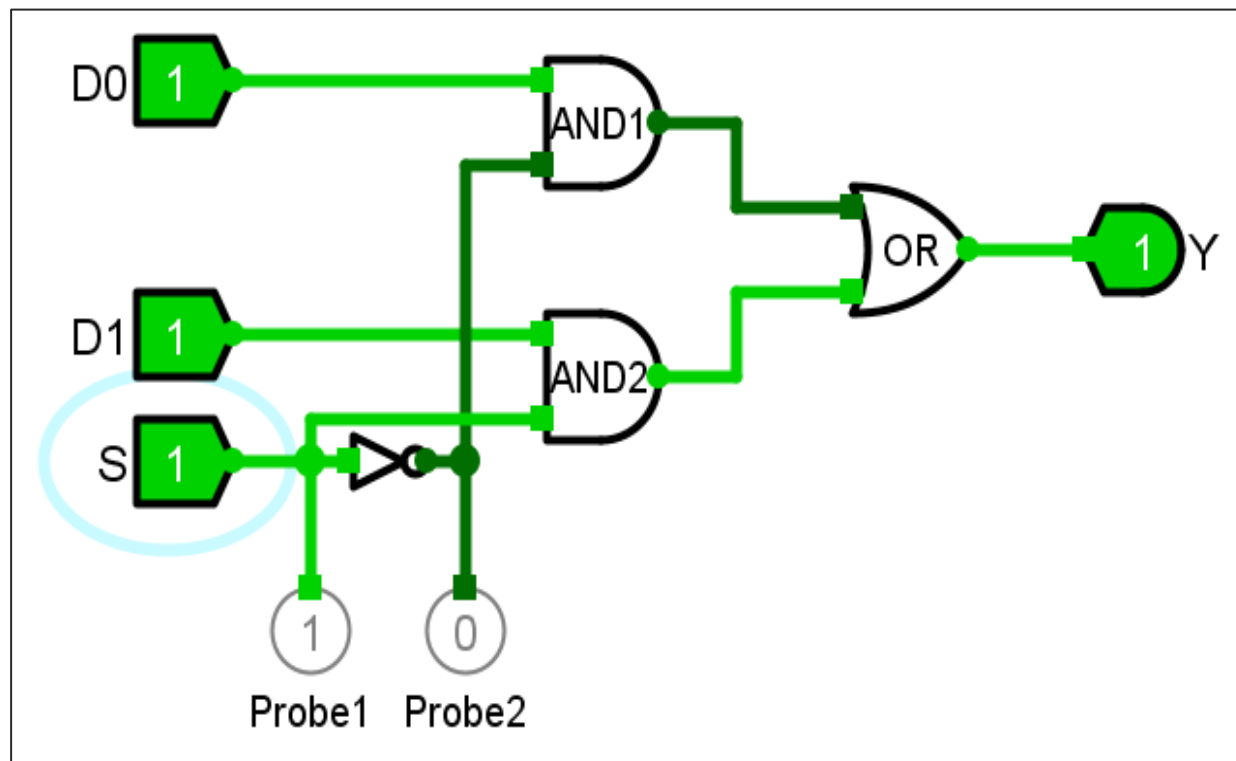
- 部件连线
- 验证实验，填写的真值表



S	D0	D1	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

实验1.3：多路选择器实验

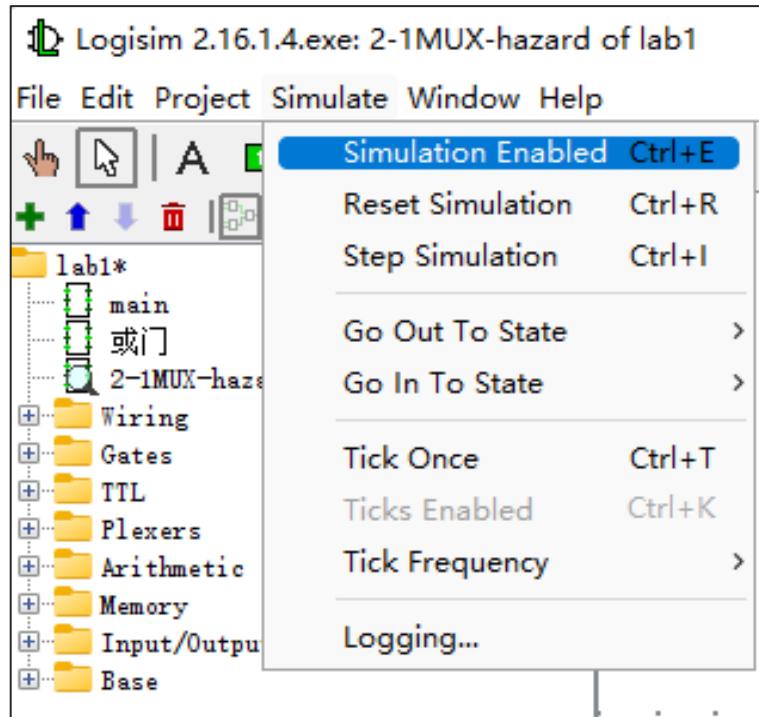
- 冒险检测：在非门两端分别连接探针，并设置D0=1、D1=1、S=1，观察输出值。





实验1.3：多路选择器实验

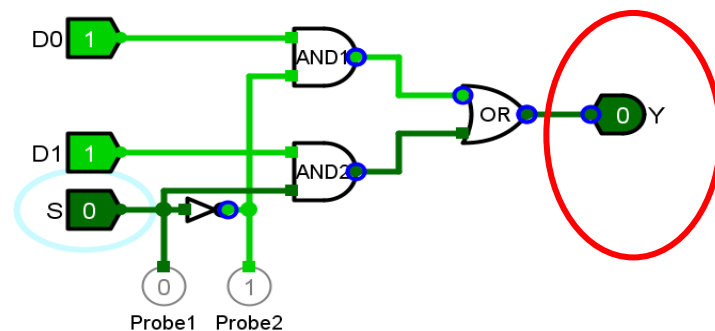
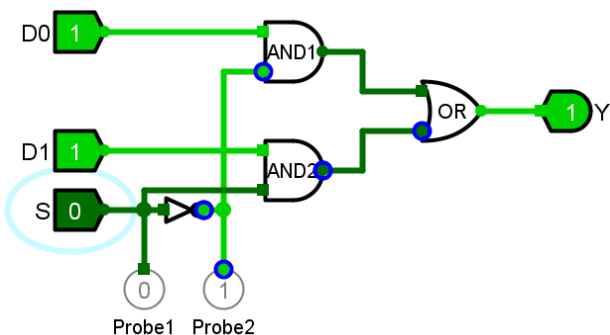
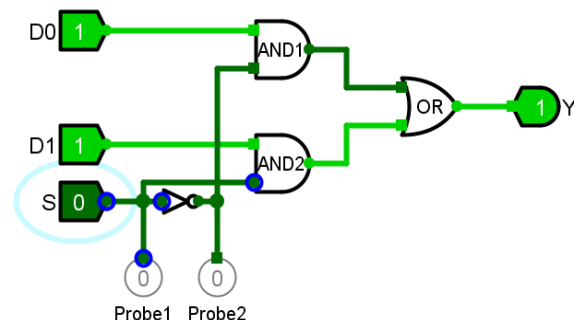
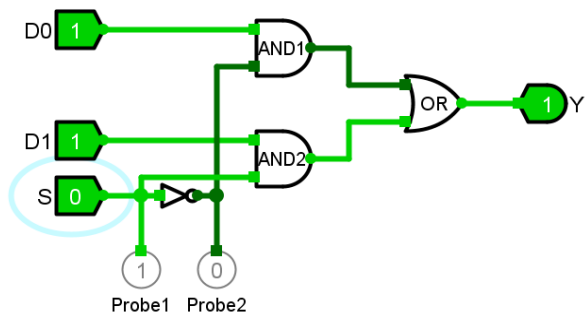
- 在Logisim的Simulate菜单下，取消仿真使能（Simulation Enabled）前的选中开关，使得电路从连续仿真状态变为单步仿真状态Step Simulation。





实验1.3：多路选择器实验

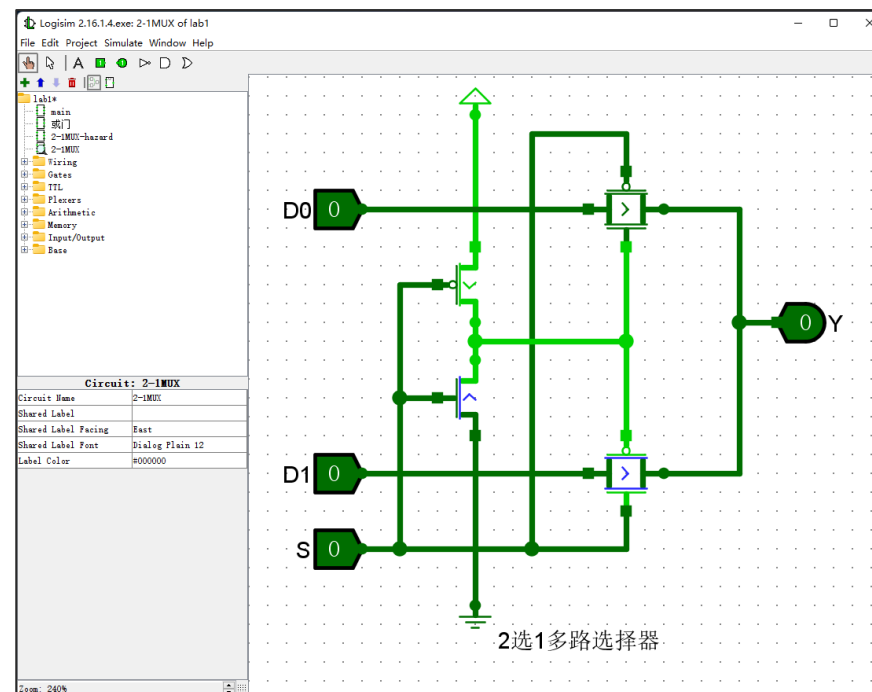
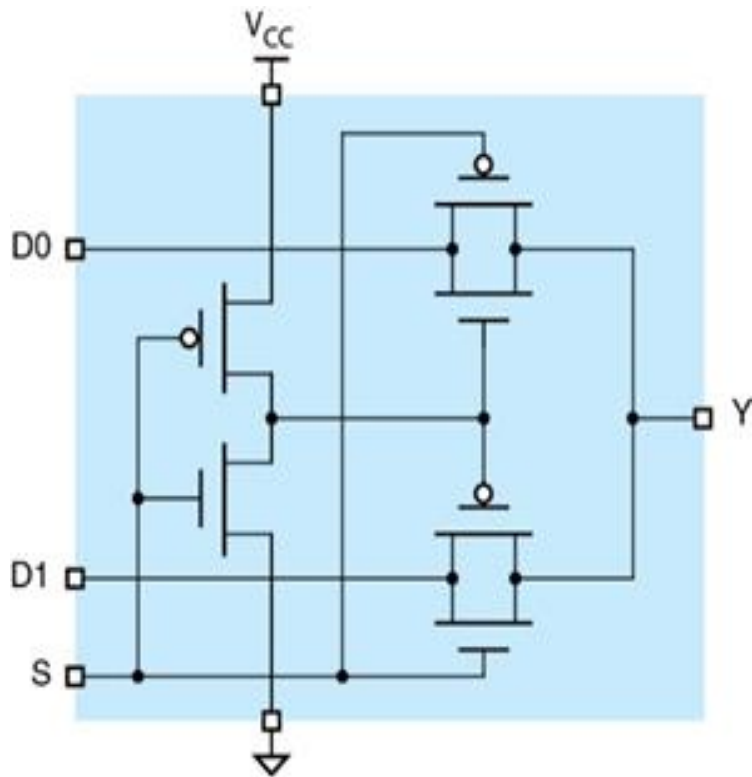
- 通过在非门输入端和输出端设置探针对电路进行单步仿真。
- 首先将S输入端的赋值改为0，Simulate菜单下点击单步仿真（Step Simulation）或按组合键Ctrl+I进行单步仿真。





实验1.3：多路选择器实验

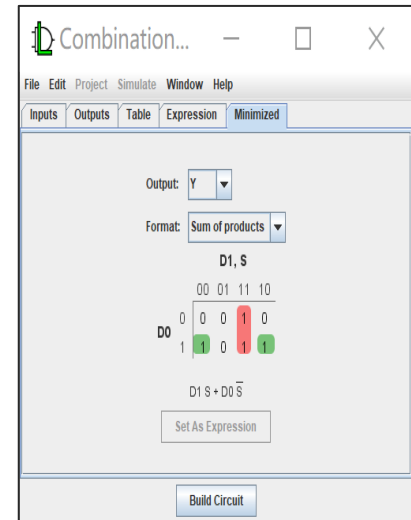
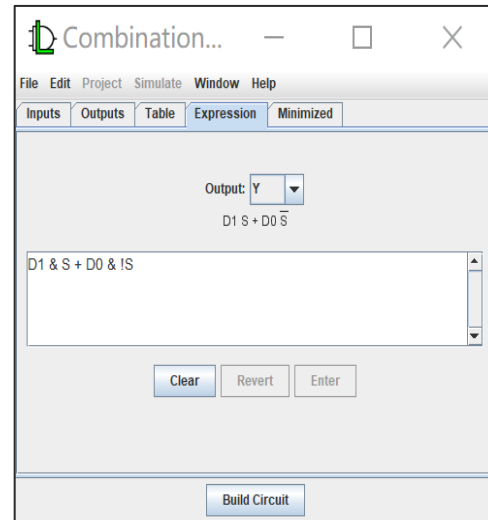
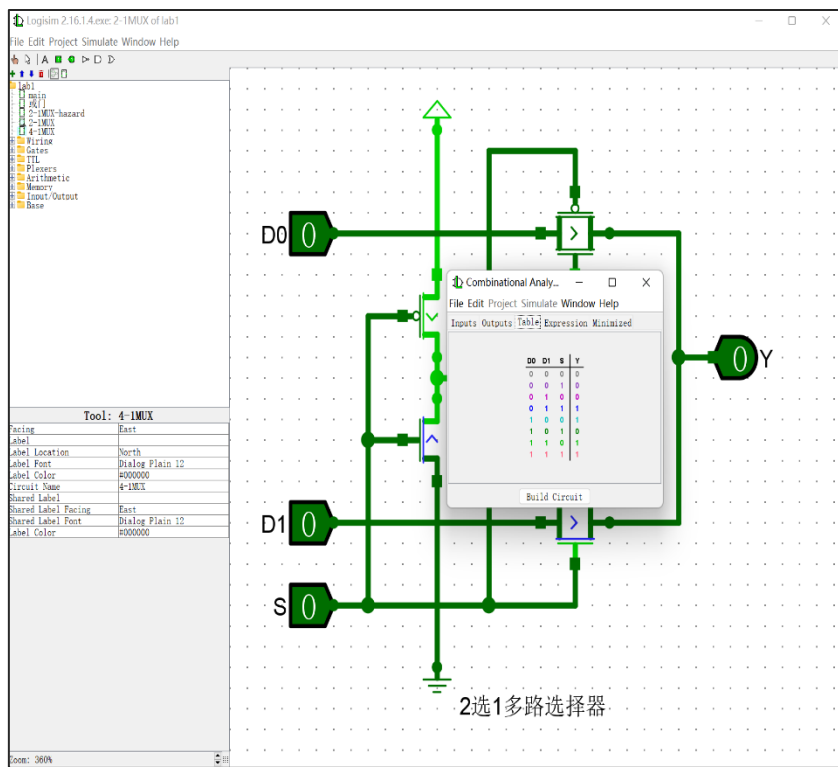
- 利用传输门实现2路选择器
- 在Logisim的工作区中放置组件，并保存电路的名称为：lab1.4.circ。





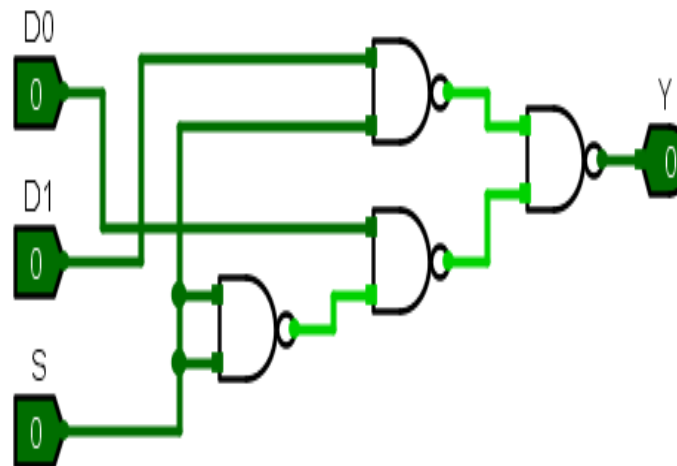
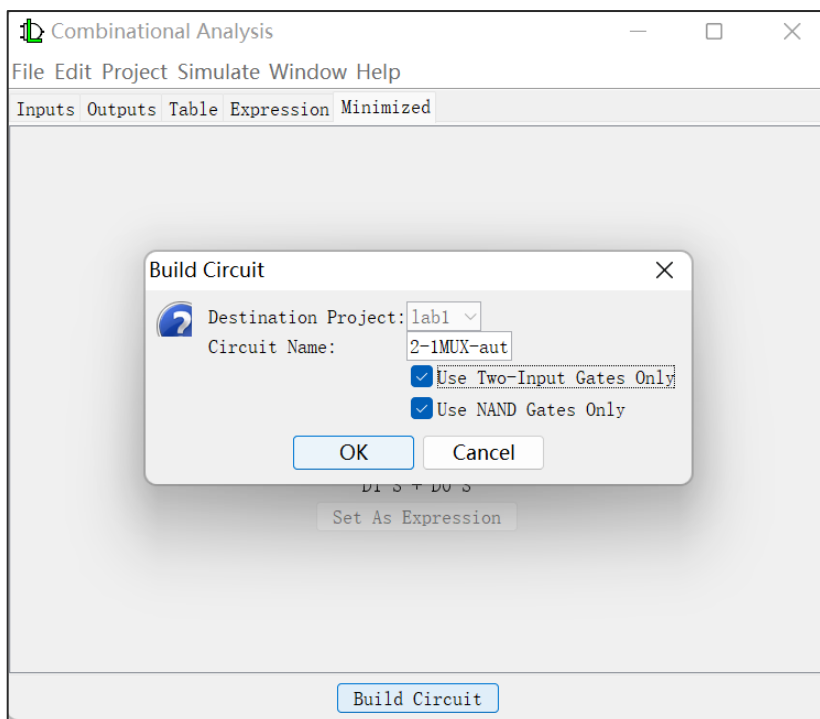
实验1.3：多路选择器实验

- 使用组合电路分析功能设计2选1多路选择器。可以通过输入真值表、逻辑表达式或最小项列表三种方式设计实现电路。
- 选择Project菜单下的Analyze Circuit子菜单，弹出组合电路分析对话框，可以显示输入信号、输出信号、真值表、表达式和最小项列表。



实验1.3：多路选择器实验

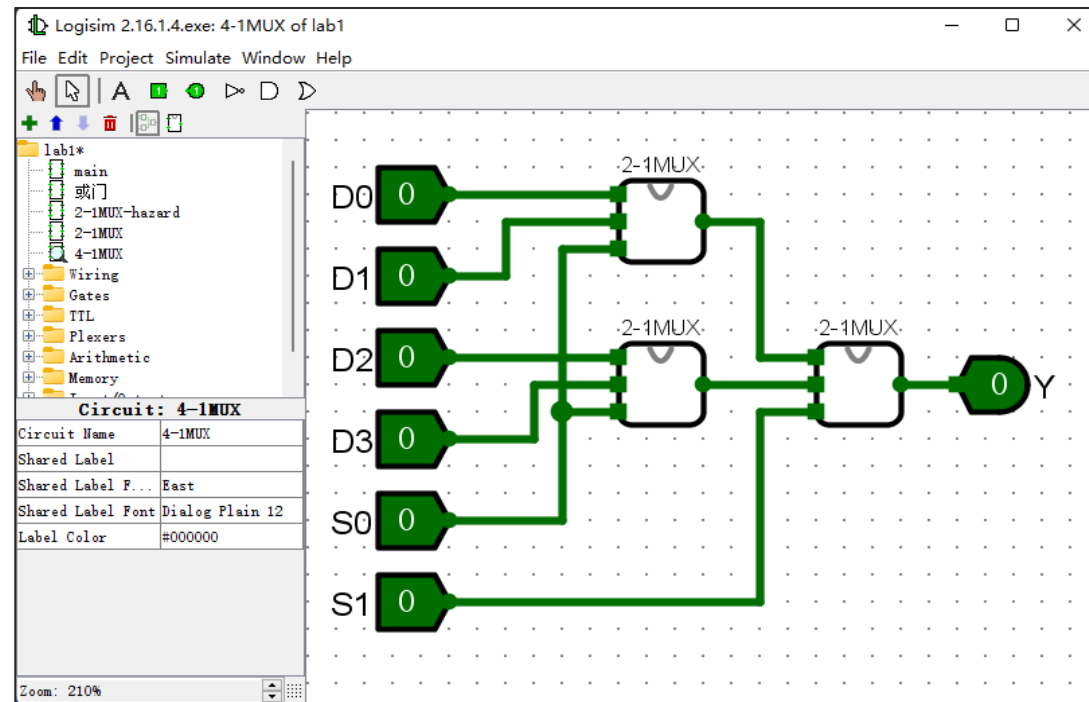
- 在真值表、输出逻辑表达式和最小项列表的页面中，都有Build Circuit按钮，单击该按钮，弹出对话框。在该对话框中定义电路名称，如2-1MUX-auto，选择电路构建方式，单击OK按钮，即可自动生成逻辑电路。





实验1.3：多路选择器实验

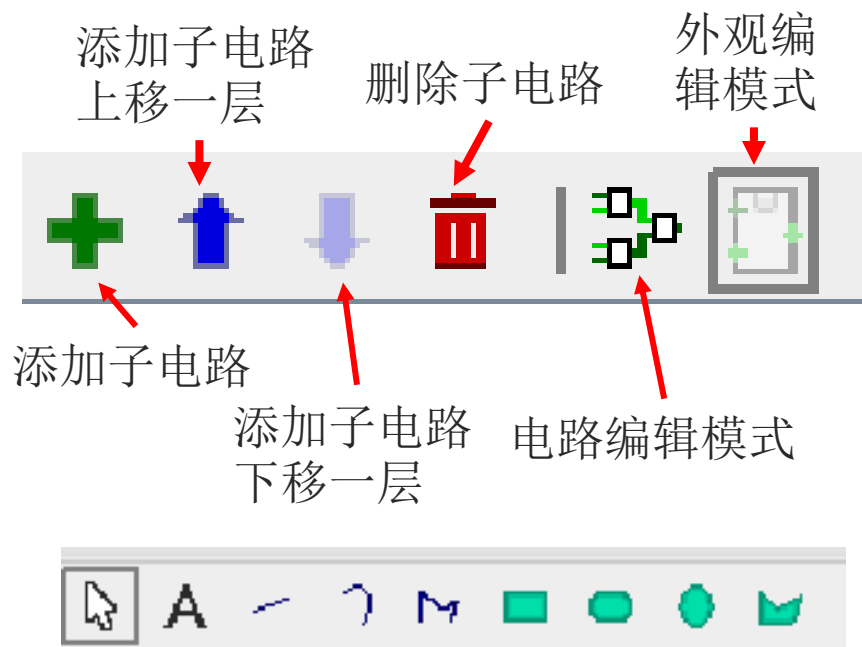
- 实验3：利用2选1多路选择器级联，实现4选1多路选择器。
- 在Logisim工作区中放置组件，并保存电路的名称为：lab1.5.circ。
- 在导航窗口中选中2-1MUX子电路，拖曳到4-1MUX工作区中，3个2路选择器通过级联构建4选1多路选择器。



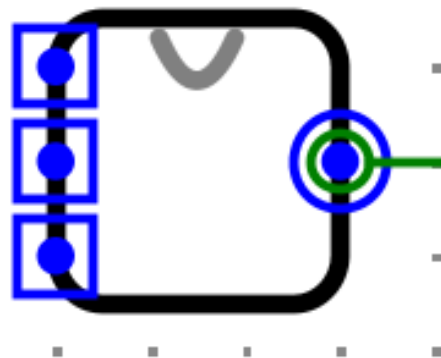


实验1.3：多路选择器实验

- 4、编辑子电路图形外观：选中子电路快捷操作栏中的外观编辑模式
- 双击导航窗口中2-1MUX子电路，选中子电路快捷操作栏中的外观编辑模式，则在工作区中显示子电路的图形外观
- 缺省外观：带缺口的矩形，输入引脚在矩形左侧，端口用方形表示，输出引脚在矩形右侧，端口用圆形表示。



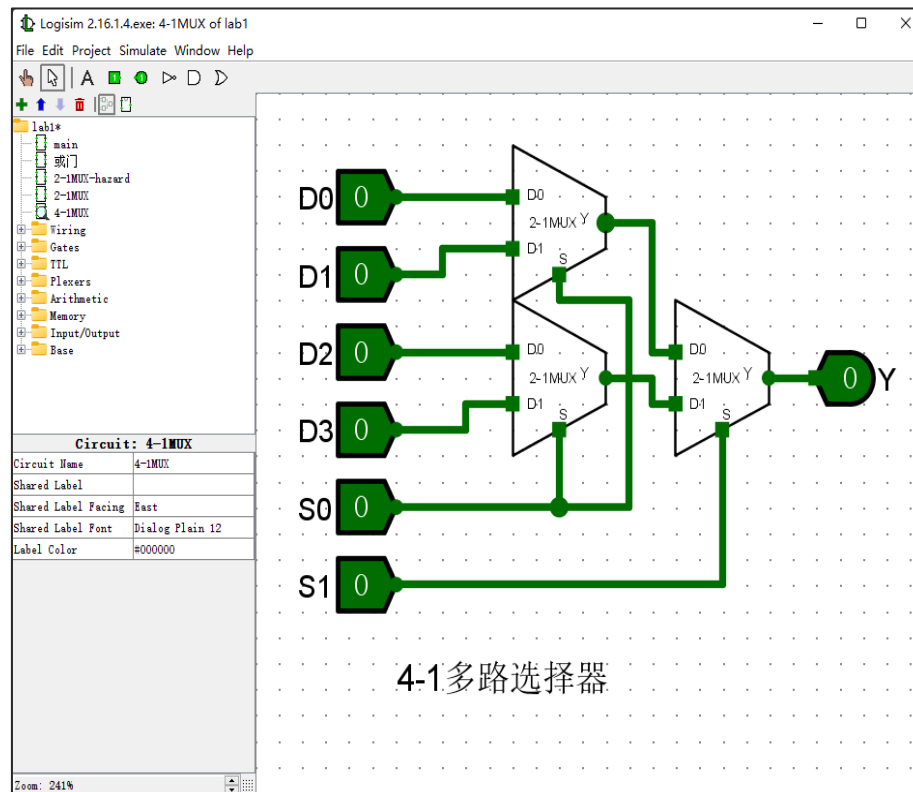
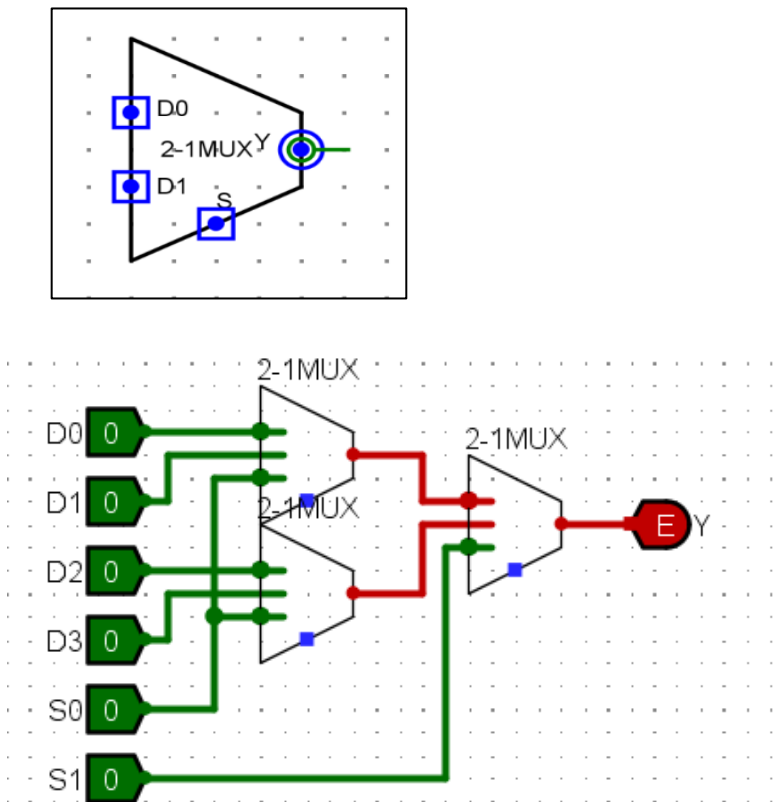
外观编辑工具栏





实验1.3：多路选择器实验

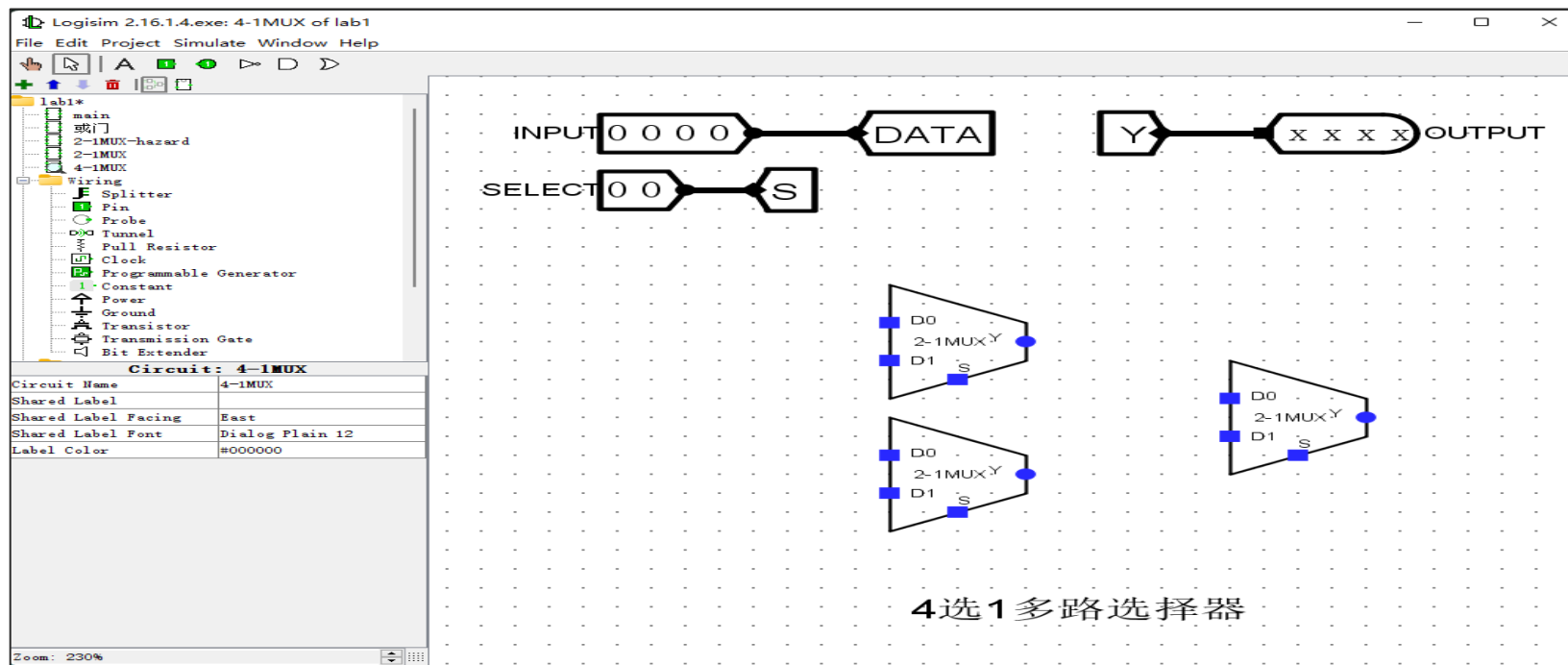
- 5、编辑子电路图形外观为梯形，并重新布局输入引脚位置，需要修改主程序中的线路。**注意引脚的名称和位置。**
- 实践中，应**先修改子电路外观**，再部署到电路中。





实验1.3：多路选择器实验

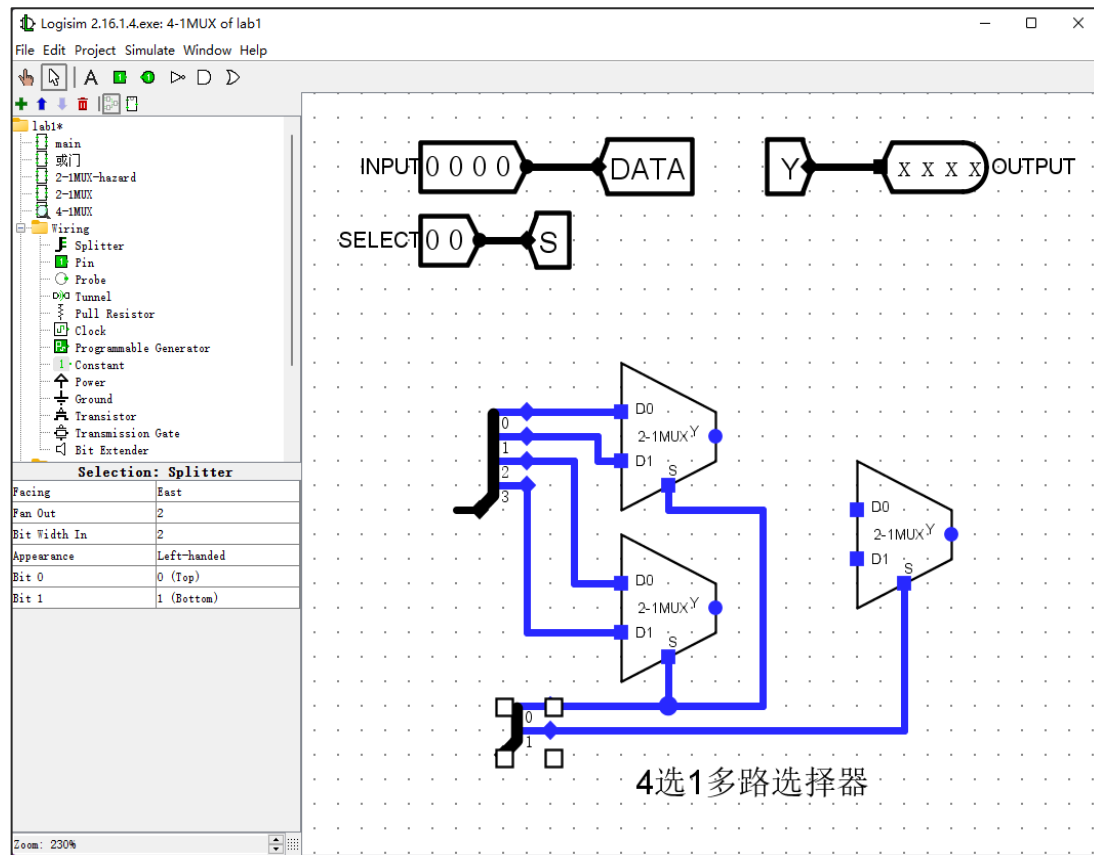
- 隧道Tunnel和集线器Splitter部件实验。
- 在4-1MUX工作区放置4位输入引脚INPUT，2位的输入引脚SELECT和1位输出引脚OUTPUT，并放置3个隧道，数据位宽分别为4、2和1，分别标识为DATA、S和Y；并把INPUT输入引脚和隧道DATA端口相连，SELECT输入引脚和隧道S相连，输出引脚OUTPUT和隧道Y相连。
- 删除原电路图中的输入引脚和输出引脚及其与多路选择器之间连线





实验1.3：多路选择器实验

- 在工作区放置4位4分支的集线器，分支连接2选1多路选择器的数据输入端；再放置2位2分支的集线器，分支连接到2选1多路选择器的选择端





实验1.3：多路选择器实验

- 复制隧道DATA，其端口和4分支集线器相连；复制隧道S，其端口和2分支集线器相连；复制隧道Y，其端口和4选1多路选择器的输出端相连。级联2选1多路选择器的数据输入和输出端。

