

## 实验 3：同步时序电路设计

### 一、实验目的

1. 学习时序逻辑电路设计的基本方法和步骤。
2. 掌握计数器和移位寄存器的设计方法。
3. 掌握数字时钟和乘法器的设计方法。
4. 掌握寄存器堆的设计方法。

### 二、实验环境

Logisim 2.16

### 三、实验内容

#### 1、计数器实验

根据表 3.1 给出的功能表和图 3.1 所示电路原理图构建 4 位二进制同步计数器电路。

实验步骤如下：

- 1) 构建 4 位二进制同步计数器电路 CNTR4U。打开 Logisim 软件，在工作区中合理布局逻辑门电路、D 触发器，输入和输出引脚，并设置输入引脚的极性，连接各线路，设置相应属性。

表 3.1 4 位同步二进制计数器功能表

Inputs				Current State				Next State			
CLR	LD	ENT	ENP	Q3	Q2	Q1	Q0	Q3*	Q2*	Q1*	Q0*
1	x	x	x	x	x	x	x	0	0	0	0
0	1	x	x	x	x	x	x	D3	D2	D1	D0
0	0	0	x	x	x	x	x	Q3	Q2	Q1	Q0
0	0	x	0	x	x	x	x	Q3	Q2	Q1	Q0
0	0	1	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	1	0	0	1	0
...											
0	0	1	1	1	1	0	1	1	1	1	0
0	0	1	1	1	1	1	0	1	1	1	1
0	0	1	1	1	1	1	1	0	0	0	0

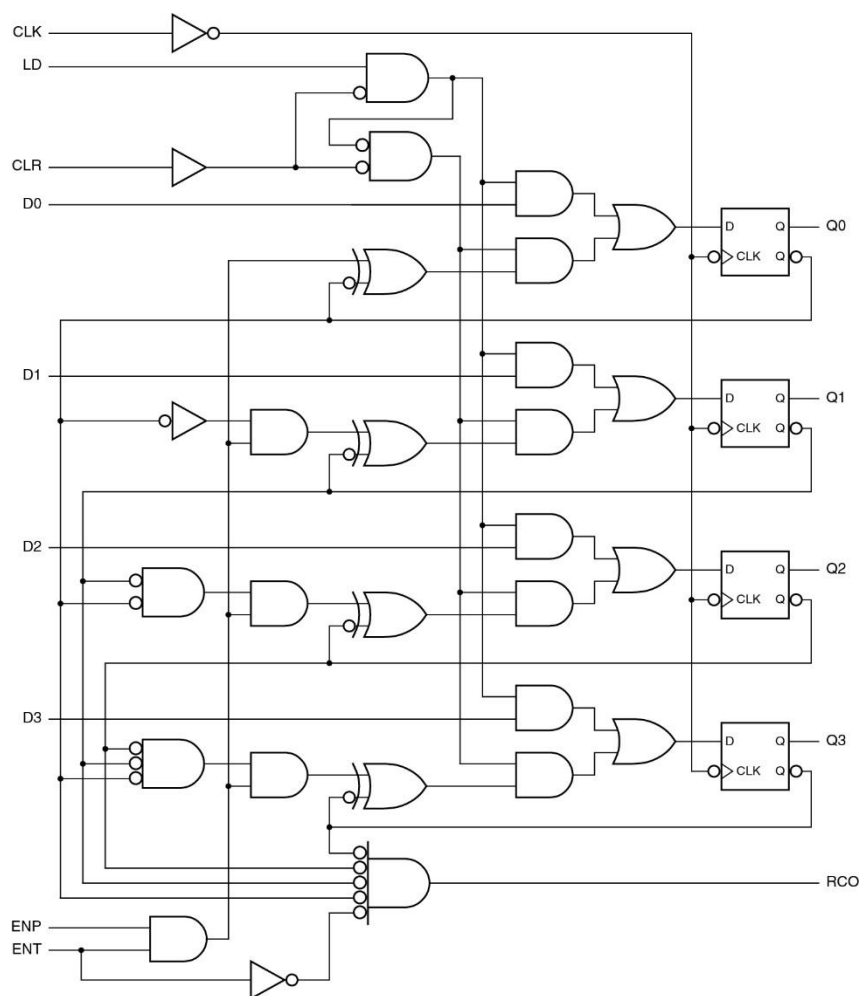
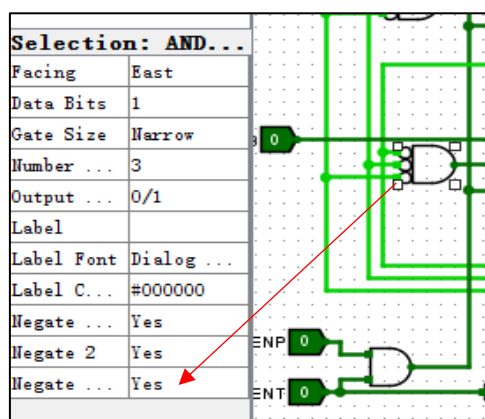
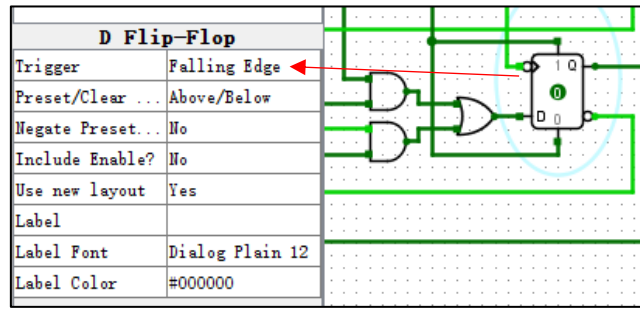


图 3.1 4 位二进制同步计数器原理图

2) 可设置组件的输入端口属性为负逻辑，则在图形符号中输入端就带有反相圈，如图 3.2(a)所示；可设计 D 触发器的输入时钟触发属性设置为下降沿触发，则在图形符号的时钟输入端口带有反相圈，如图 3.2(b)所示。最终将实现电路，测试功能，并验证实验结果。保存电路，文件名为 lab3.1.circ。



(a) 设置输入端口为反相



(b) 设置 D 触发器的时钟信号为下降沿触发

图 3.2 设置部件的相应属性

将设计电路封装成子电路，并进行输入输出信号标注。这里需要注意封装的时序电路为子电路时，没有时钟信号的输入端口，在仿真时，采用共同的时钟信号。如果需要在封装时显式地显示时钟输入端口，可在子电路设计中将时钟信号 CLK 组件改为**输入引脚**组件而不用时钟组件，如图 3.3 所示。

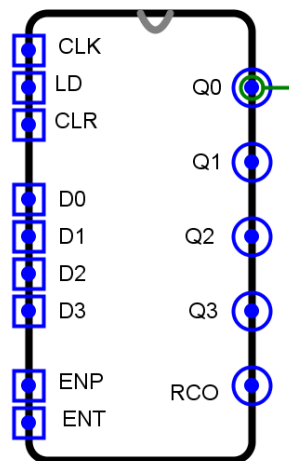


图 3.3 4 位二进制同步计数器封装图

## 2、移位寄存器实验

根据表 3.2 给出的功能描述和图 3.5 给出的电路原理图，构建 4 位通用移位寄存器电路 SHRG4U，该移位寄存器带有异步复位（清 0）信号 CLR，它是低电平有效信号，当它为低电平时，所有 D 触发器的状态输出为 0。

表 3.2 4 位移位寄存器功能表

功能	输入			下一个状态			
	CLR	S1	S0	Q3*	Q2*	Q1*	Q0*
清零	0	x	x	0	0	0	0
保持	1	0	0	Q3	Q2	Q1	Q0

右移	1	1	0	RIN	Q3	Q2	Q1
左移	1	0	1	Q2	Q1	Q0	LIN
装载	1	1	1	D3	D2	D1	D0

实验步骤如下：

- 1) 构建 4 位异步清零移位寄存器主电路 SHRG4U。打开 Logisim 的工作区中按照图 3.5 给出的原理图，合理布局逻辑门电路、D 触发器，输入和输出引脚，并设置输入引脚的极性，连接各线路，设置相应属性。
- 2) 实现电路，测试功能，并验证实验结果。保存电路，文件名为 lab3.2.circ。

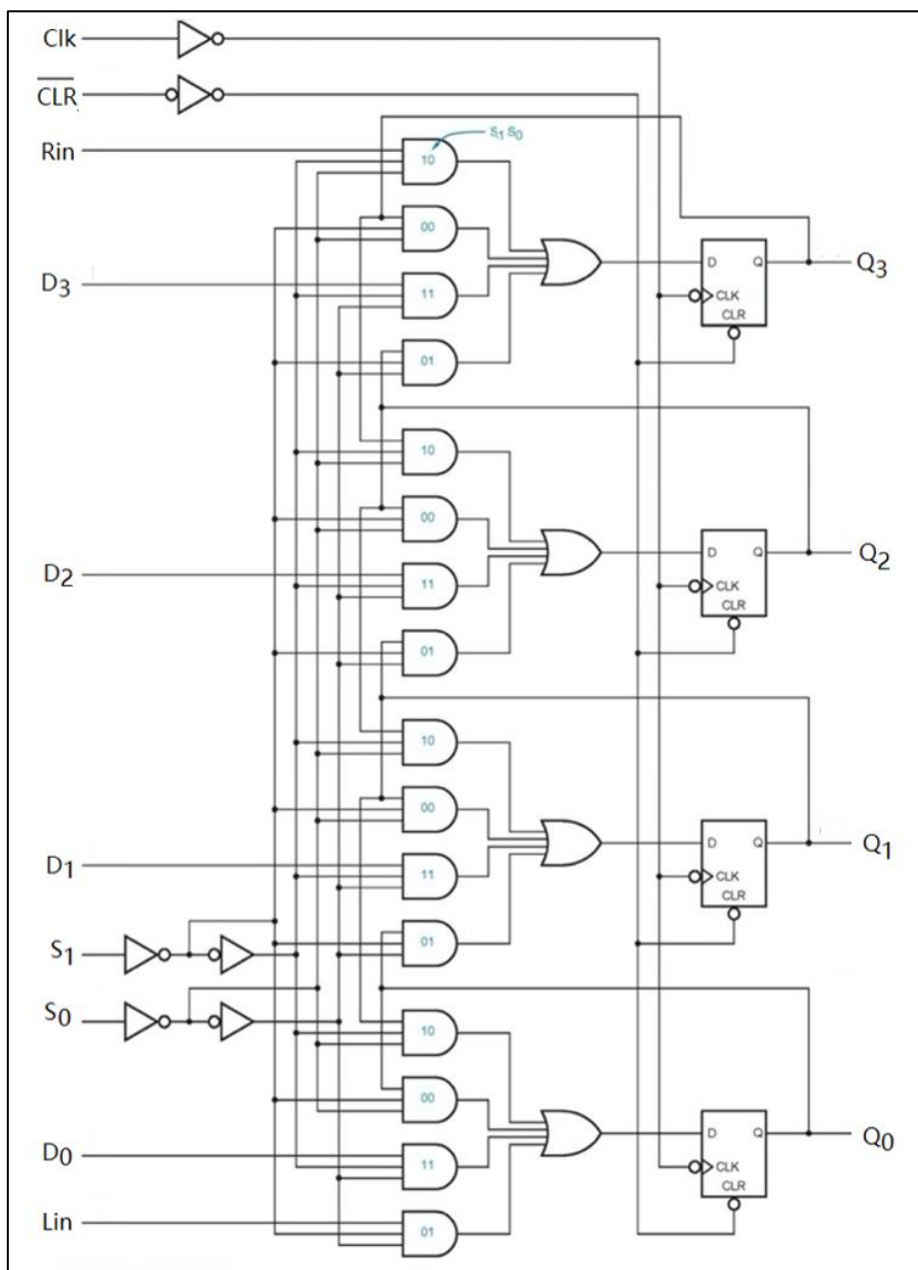


图 3.5 4 位移位寄存器原理图

3) 将设计电路封装成子电路, 并进行输入输出信号标注, 如图 3.6 所示。

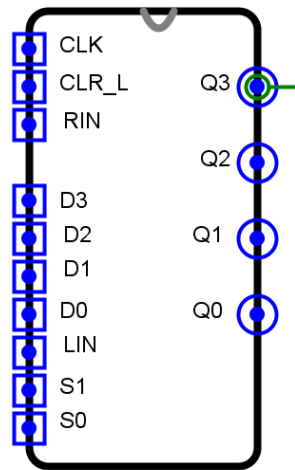


图 3.6 4 位异步清零移位寄存器封装图

### 3、4 位无符号数乘法器

实验将实现两个四位二进制无符号数相乘的功能, 并通过数码管将其转换成十六进制显示出来。

计算机中两个无符号数相乘, 类似手算乘法。主要步骤如下。

- ① 每次将乘数  $Y$  的一位乘以被乘数得  $X \times Y_i$  后, 就将该结果与前面所得的结果累加, 得到  $P_i$ , 称之为部分积。
- ② 在每次求得  $X \times Y_i$  后, 不是将它左移与前次部分积  $P_i$  相加, 而是将部分积  $P_i$  右移一位与  $X \times Y_i$  相加。
- ③ 对乘数中为 1 的位执行加法和右移运算, 对为 0 的位只执行右移运算, 而不需执行加法运算。

其逻辑结构图如图 3.7 所示。

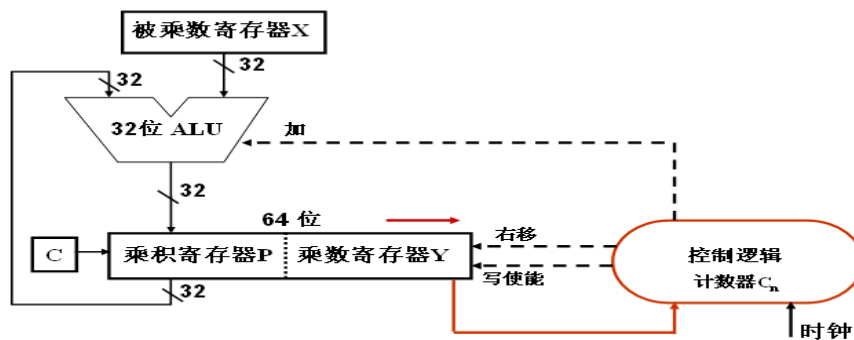


图 3.7 实现 32 位无符号数乘法运算的逻辑结构图

实验步骤如下：

- 1) 构建 4 位无符号数乘法器电路。打开 Logisim 软件, 在工作区中按照图 3.8 给出的原理图, 合理布局 4 位寄存器、计数器子电路 (lab3.1)、8 位桶形移位器子电路 (lab2.5)、

4 位加减法器子电路（lab2.3）、2 路选择器等组件，并设置相应属性。

2) 为了便于测试，利用计数器和比较器来实现选择装载乘数信号 LOAD，和结束移位信号 STOP 以及复位信号 RST，复位信号 RST 有效时，载入初始数据，中间积寄存器清零，计数器清零，LOAD 信号有效；当计数器计数输出到 5 时，停止移位，乘法计算结束。

3) 实现电路，测试功能，验证并记录实验结果。保存电路，文件名为 lab3.3.circ。

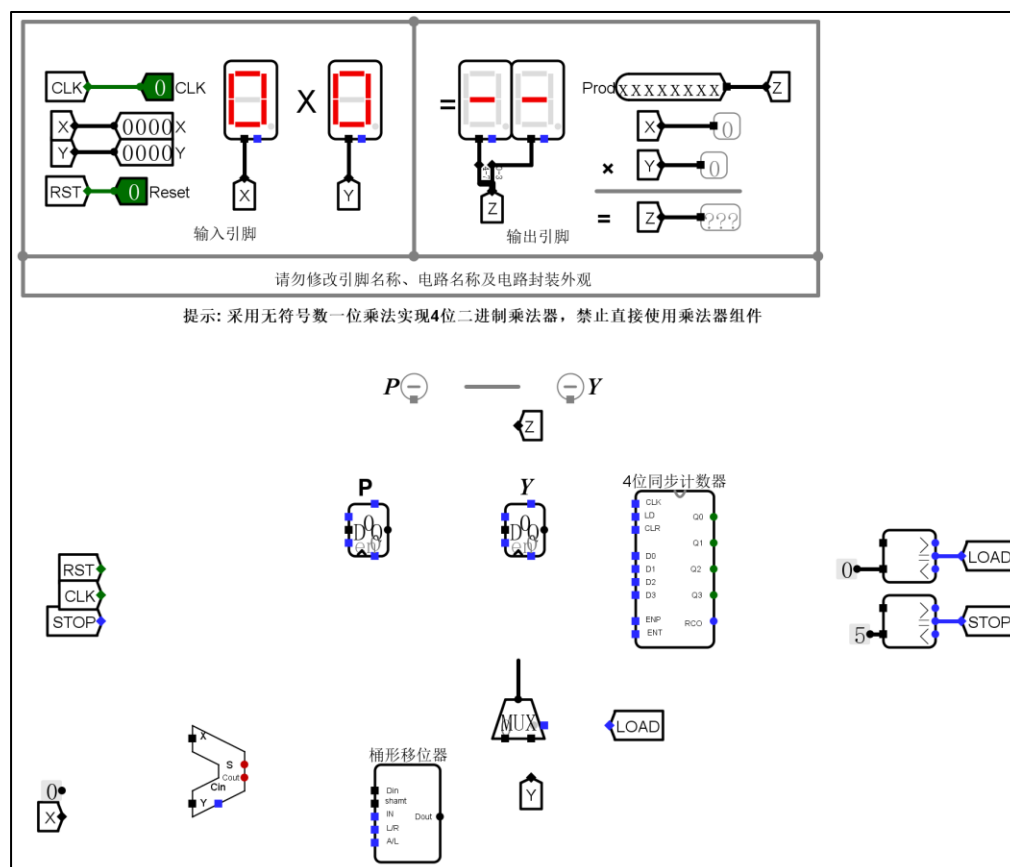


图 3.8 4 位无符号数乘法运算的组件布局图

4) 需要修改实验 2 中的 8 位桶形移位器的设计电路，增加移入位输入信号 IN，替代常量 0。

#### 4、寄存器堆实验

根据图3.9中寄存器堆原理图，构建含有32个32位寄存器的寄存器堆Regfile的读写电路，包含两个读数据端口和一个写数据端口，并封装成子电路。寄存器堆的读操作属于组合逻辑操作，无须时钟控制，即当寄存器地址信号RA或RB到达后，经过一个“读取时间”的延迟，读出的数据输出到端口busA或busB上。寄存器堆的写操作则属于时序逻辑操作，需要时钟信号的控制，即在写使能信号（WE）有效的情况下，有效时钟触发边沿到来后将写入数据端口busW上的信息写入RW所指定的寄存器中。时序上要求在时钟边沿信号达到前，写使能信号WE，写入寄存器地址RW和写入数据busW需保持稳定

（保持时间），时钟边沿信号到达后也需要保持稳定一段时间（保持时间）。

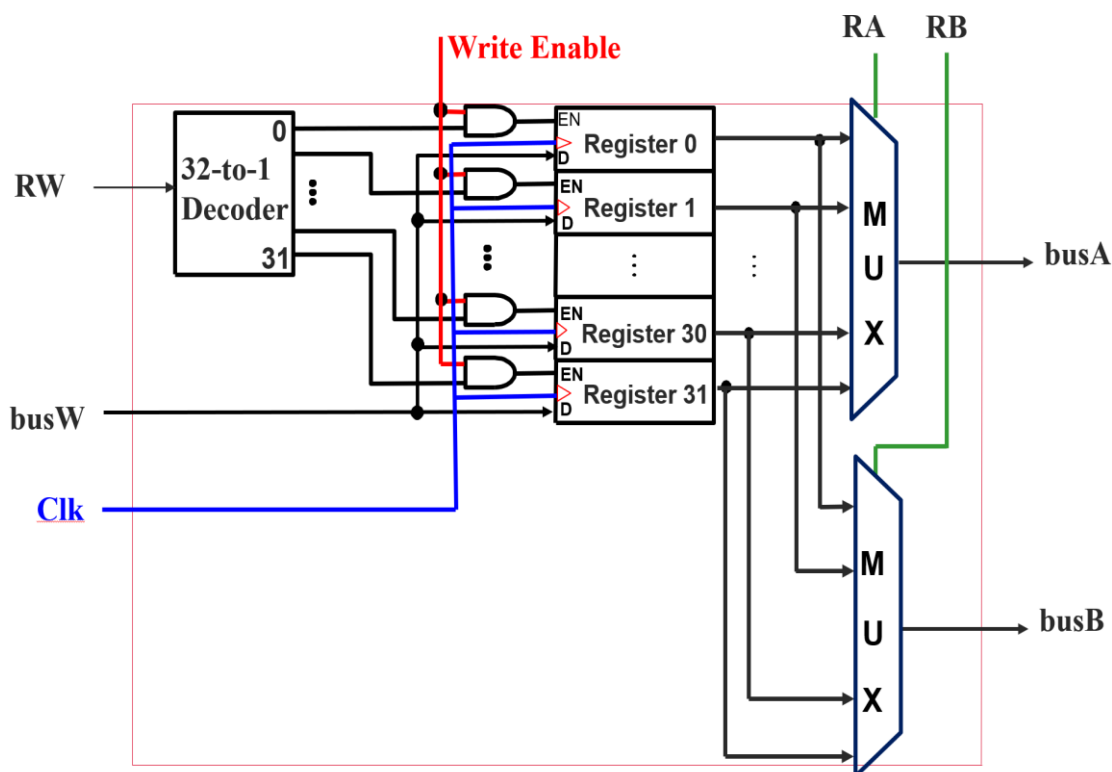


图 3.9 寄存器堆设计原理图

实验步骤如下。

1) 创建寄存器堆电路。在 Logisim 右侧工作区中构建相应电路。为了能在后续实验中直接引用该寄存器堆模块，在工作区中按照图 3.10 给出的引脚图进行设计，在实验时不要改变引脚和隧道的名称。

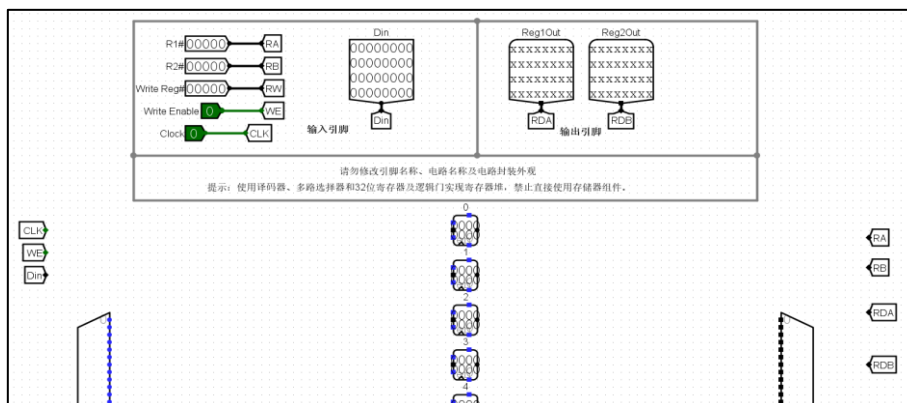


图 3.10 寄存器堆设计布局图

在工作区放置 32 个 32 位寄存器、5-32 译码器、两个 32 路多路选择器以及读写地址、数据端口、使能信号等输入输出端口隧道，连接相关部件，设置组件属性，寄存器的片选信号设置为高电平有效。

2) 仿真测试。选择时钟单步 (Ctrl+T) 方式进行仿真, 将寄存器触发边沿分别设置为上升沿和下降沿来测试寄存器堆的读写功能; 随机写入不同编号的寄存器, 再读出验证。记录实验过程, 保存电路文件名为 lab3.4.circ。

### 5、数字时钟实验

在 6 个 7 段数码管上显示数字时钟时分秒, 当计时到 23:59:59 后进入 00:00:00, 时分秒之间用小数点分隔; 到整点时轮流点亮三色 LED 灯组件; 使用 8421BCD 码设置初始时间, 在载入时如果初始时间数值超出实际范围, 则报错, 且不能被载入。

利用同步计数器电路实现 0~9 十进制计数器、0~59 六十进制计数器和 0~23 二十四进制计数器。当时分秒的低位计数到 9 时, 高位计数加 1, 低位清零。当秒数计数到 59 后秒数清零, 分钟计数加 1; 当分钟计数达到 59 且秒数也到达 59 秒时, 分钟清零, 小时计数加 1; 当小时计数到 23, 且分钟和秒数都是 59 时, 小时数清零。当载入信号 LD=1 有效时, 检查设置时间数值: 小时高低位 HH1 和 HH0、分钟高低位 MM1 和 MM0、秒数高低位 SS1 和 SS0, 如果在有效数据范围之内, 则载入时钟初值, 否则 INErr 赋值 1。当计时到 59 分 59 秒进入整点时, 三色 RGB LED 灯按照**格雷码** (蓝色为高位、红色为低位) 的顺序轮流点亮三色灯 (红色、黄色、绿色、青色、白色、品红、蓝色、黑色、红色、黄色), 并持续 10 个时钟周期。需要独立设计电路进入计数状态, 设置开始计数标志位和结束计数标志位, 并实现格雷码的转换。

根据上述要求实现数字时钟, 在 Logisim 工作区中, 放置 4 位计数器 CNTR4U 子电路、比较器、集线器及必要逻辑门组件, 其组件布局如图 3.11 和图 3.12 所示, 并测试功能。保存电路, 文件名为 lab3.5.circ。



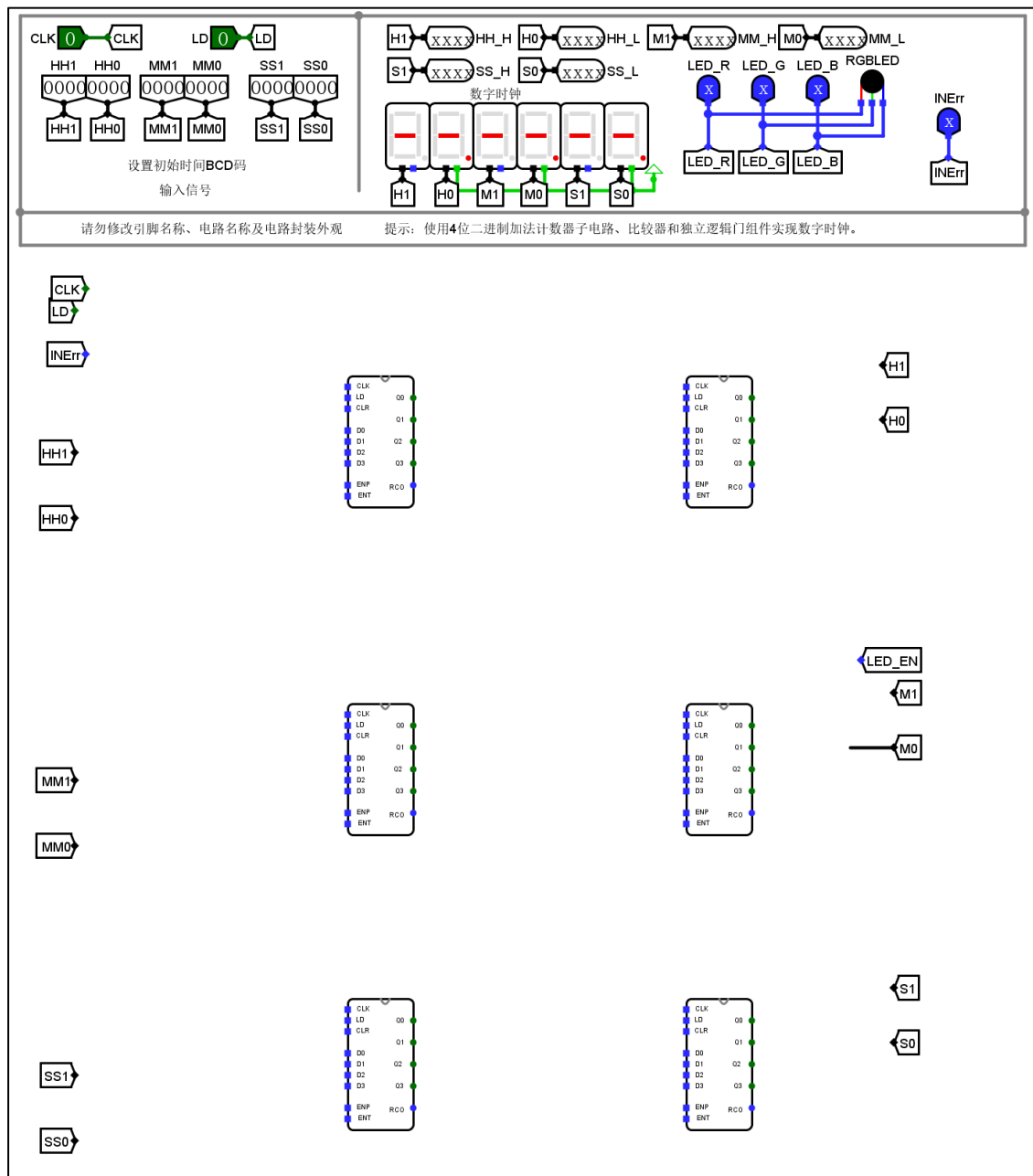


图 3.11 数字时钟布局图

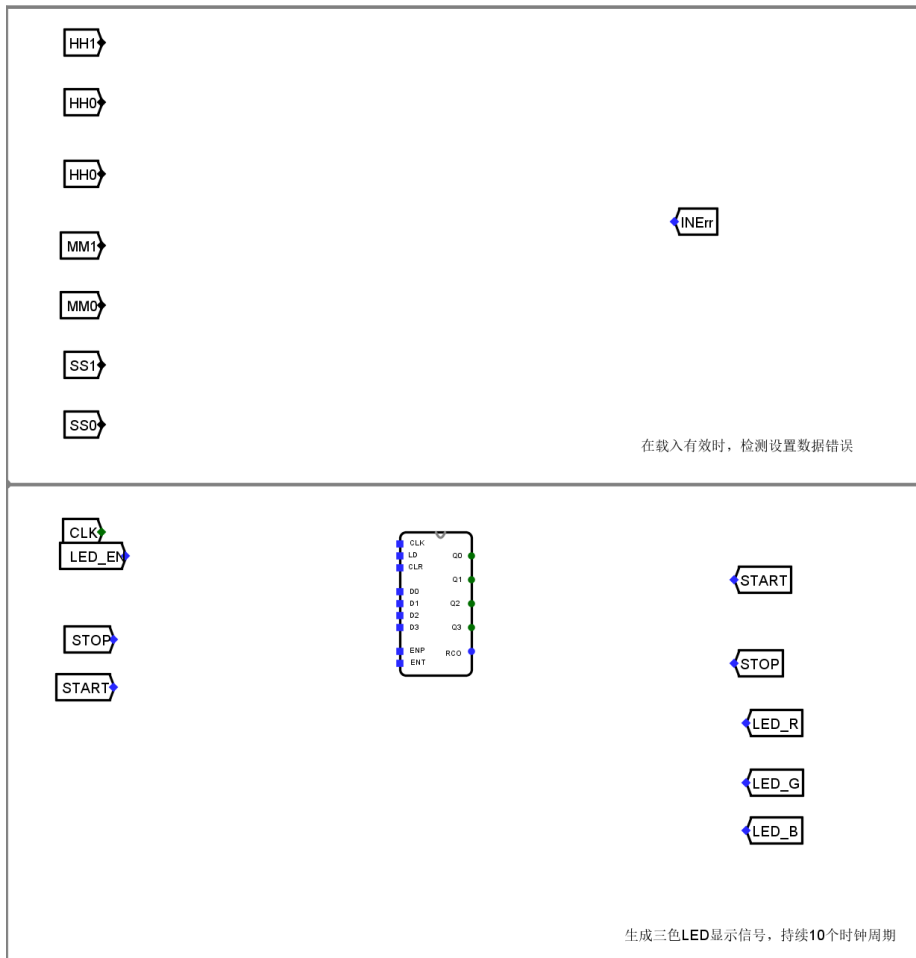


图 3.12 BCD 码错误检测和三色 LED 显示信号生成电路布局图

#### 四、思考题

1. 级联 2 个 4 位移位寄存器子电路实现生成 8 位二进制伪随机数生成电路。
2. 查找资料学习如何利用加法器实现 8 位无符号数的快速乘法器。
3. 修改寄存器堆的设计电路，将输入信号分别连接寄存器的使能端和时钟端，验证寄存器堆的读写功能，分析使能信号和写入地址信号的先后时序关系变化是否影响到写入结果。
4. 在数字时钟设计中如何添加闹钟的功能。