**实验 1：基本逻辑部件设计**

* 1. **3输入多数表决器**

1. 分析与设计

实际含义与投票多数服从少数，或者三局两胜类似，因此真值表如下：

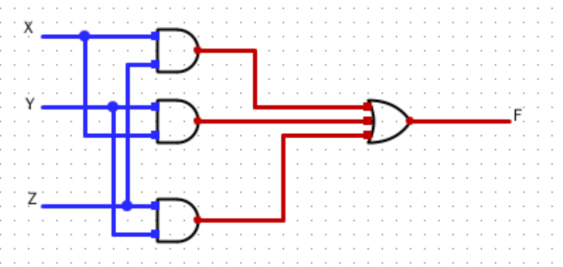
|  |  |  |  |
| --- | --- | --- | --- |
| X | Y | Z | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

逻辑表达式如下：



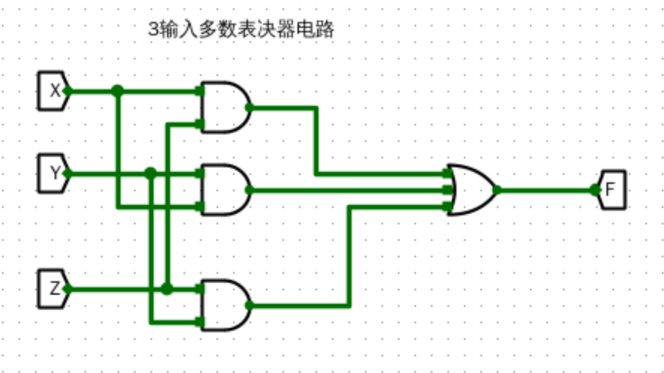
1. 原理图

因此，根据上面逻辑表达式，可以得到电路设计图



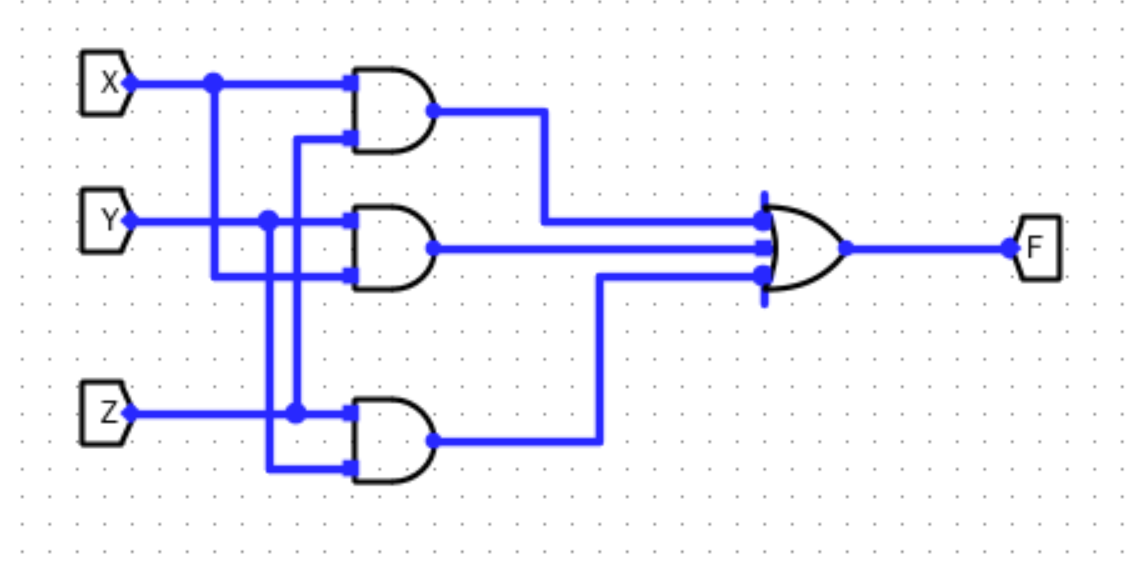
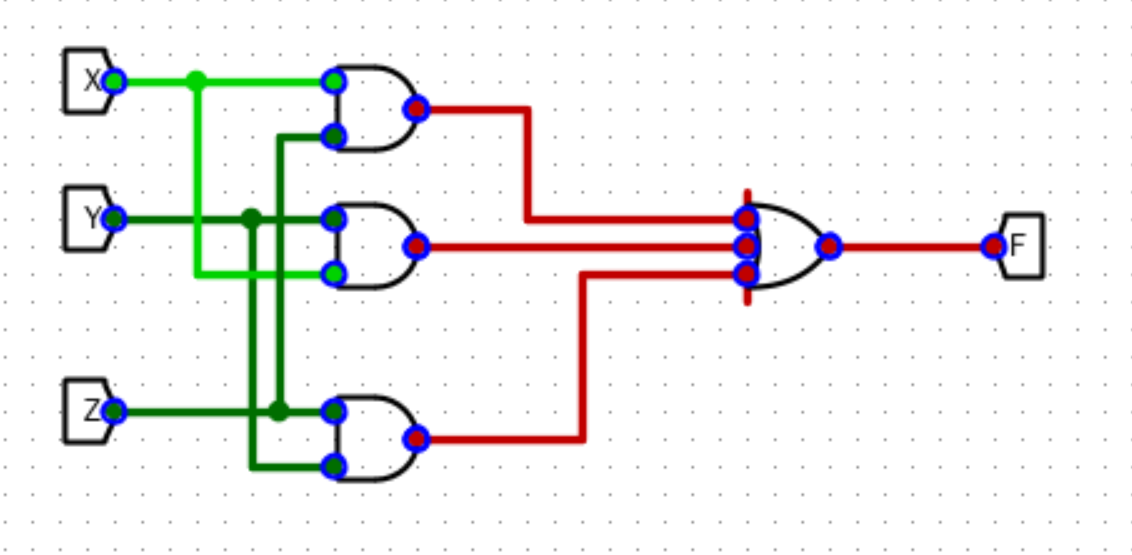
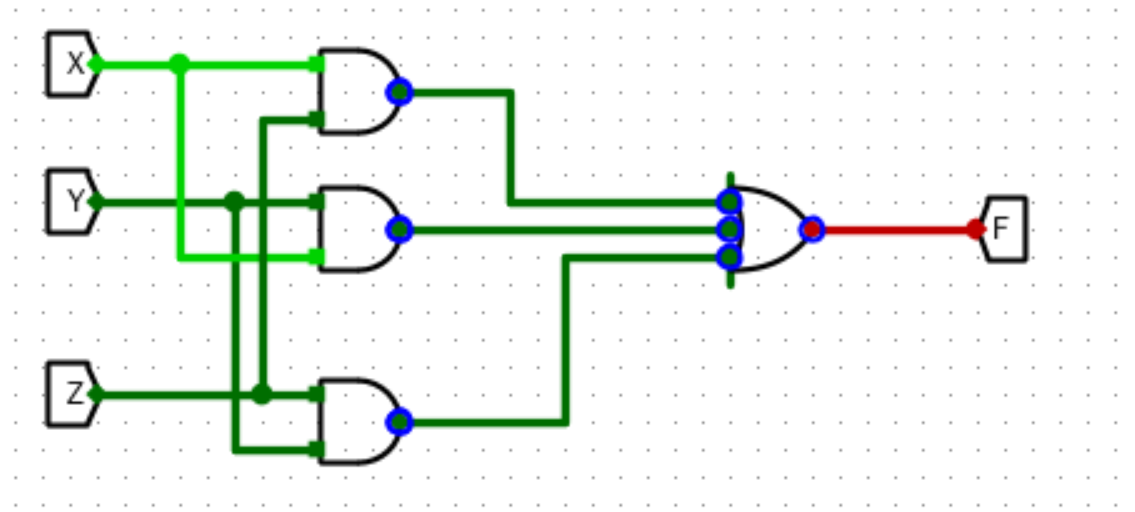
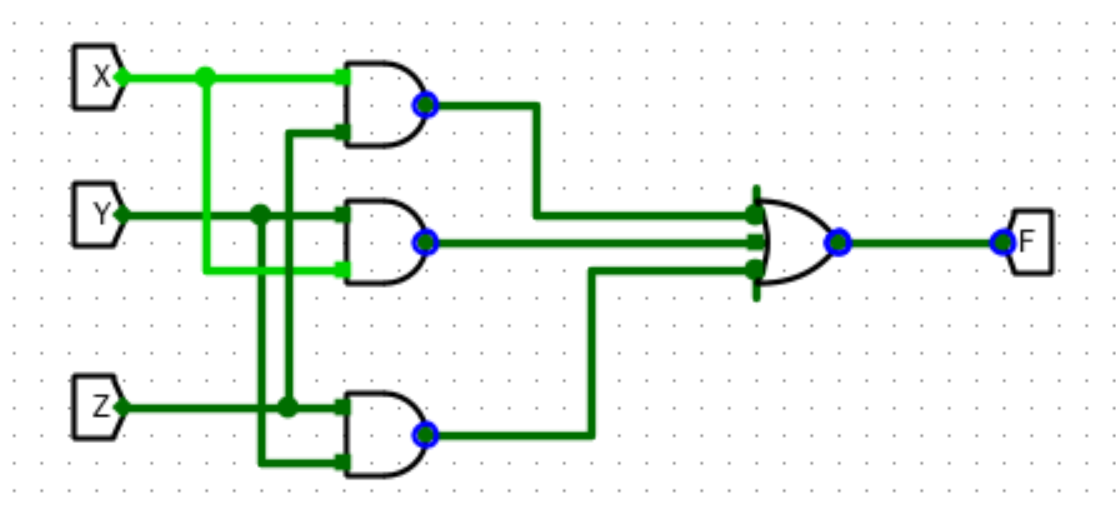
1. Logisim电路图

需要3个输入引脚，1个输出引脚，3个2输入与门和1个三输入或门。根据设计图连接如下：



1. 单步测试

初始值设为000，两次时钟单步如下：

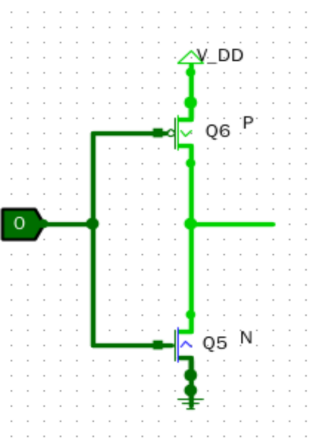
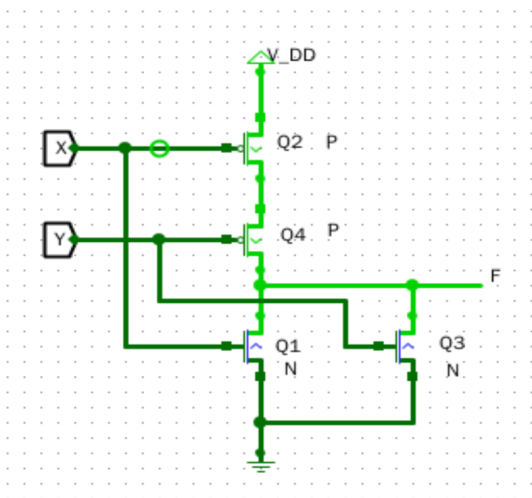
12 3 4 

通过网上评测，第一关结束。

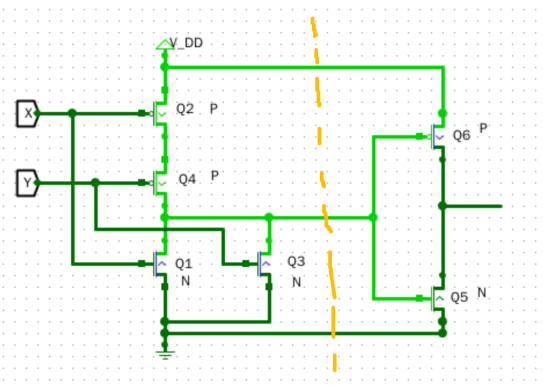
* 1. **或门实现电路**

1. 设计原理

已知或非门设计图如下左图，非门设计如下右图：

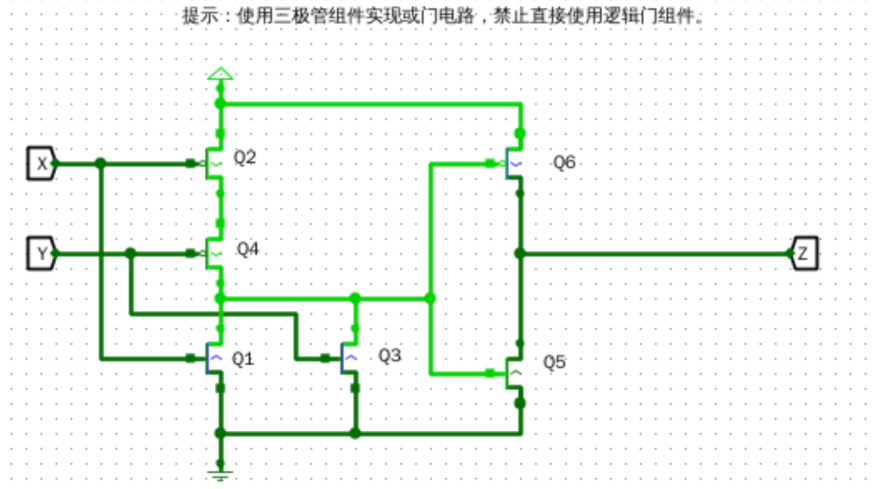


因此，或门设计只需将二者串联即可，设计图如下：



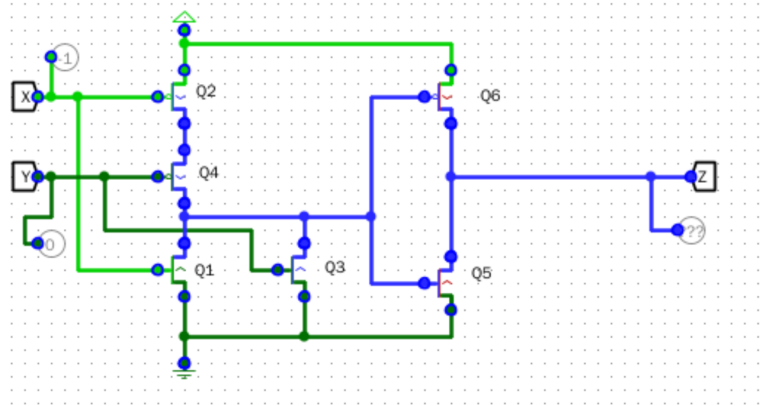
1. Logisim电路图

因此，需要3个PMOS和3个NMOS晶体管，2个输入引脚，1个输出引脚，1个电源和1接地，如下，注意三极管属性改成P或者N：

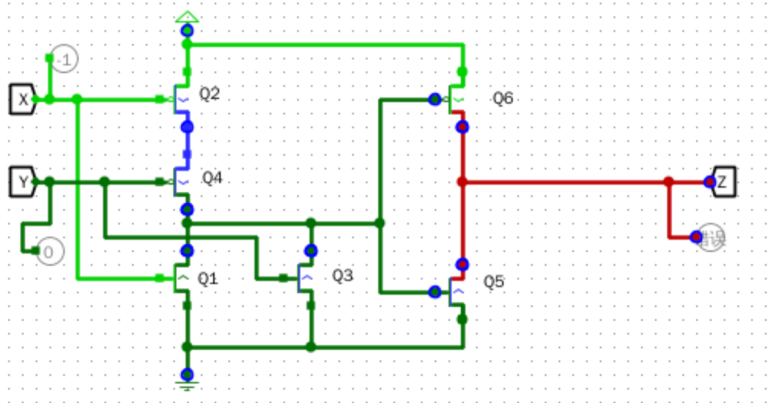


数据仿真测试如下：

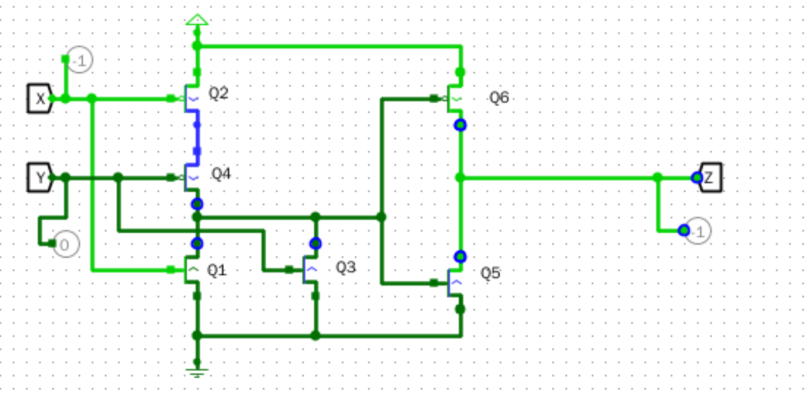
· X高电平，Y低电平，因此Q2Q3关闭，Q1Q4导通，如图：



· Q1Q4导通，则二者之间低电平，如图深绿色



· Q5Q6栅极低电平，Q6通Q5断，输出高电平，浅绿色



已通过网上测试，至此第二关结束

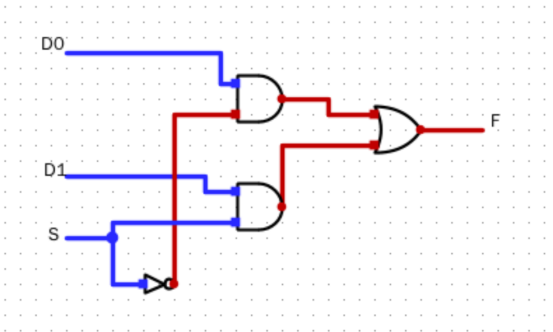
* 1. **2选1多路选择器（1）**

1. 设计原理

由S决定选择D0还是D1，因此逻辑表达式为 ，依次逻辑设计。

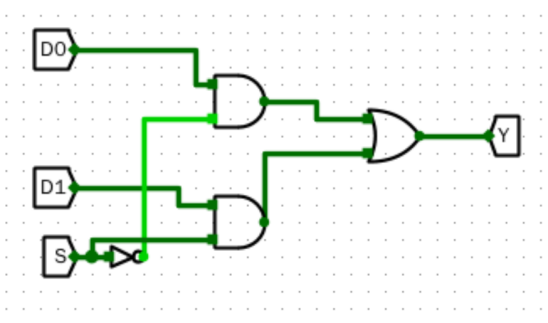
1. 原理图

因此，原理图如下：

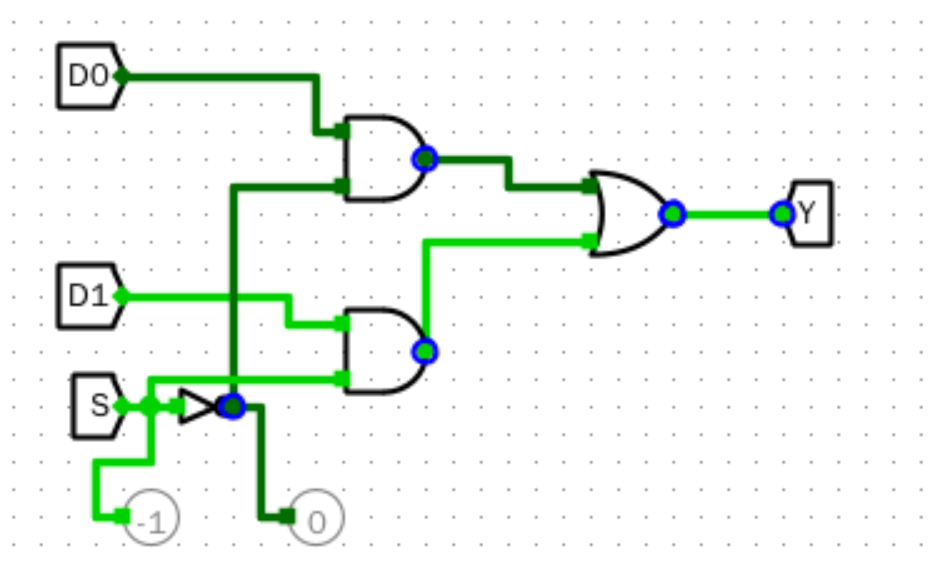
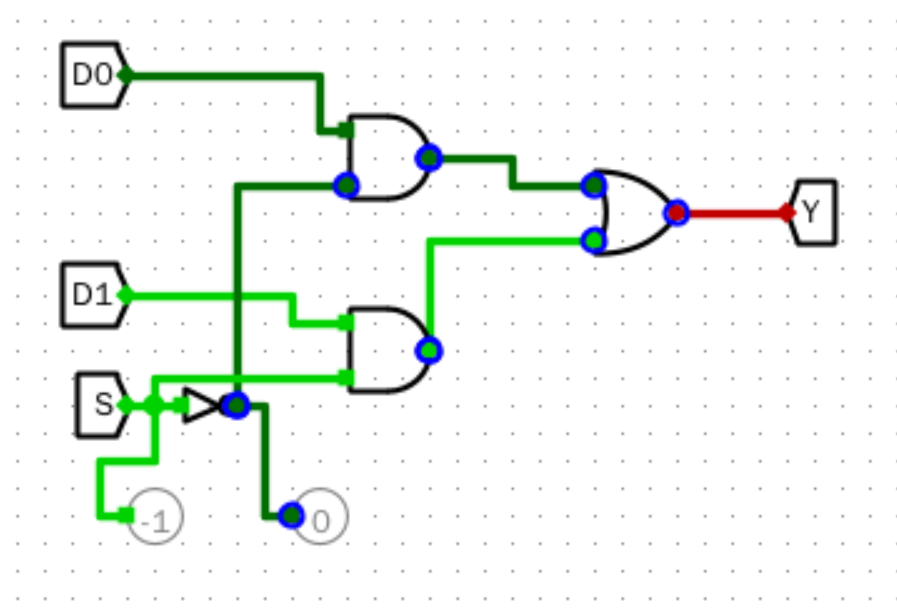
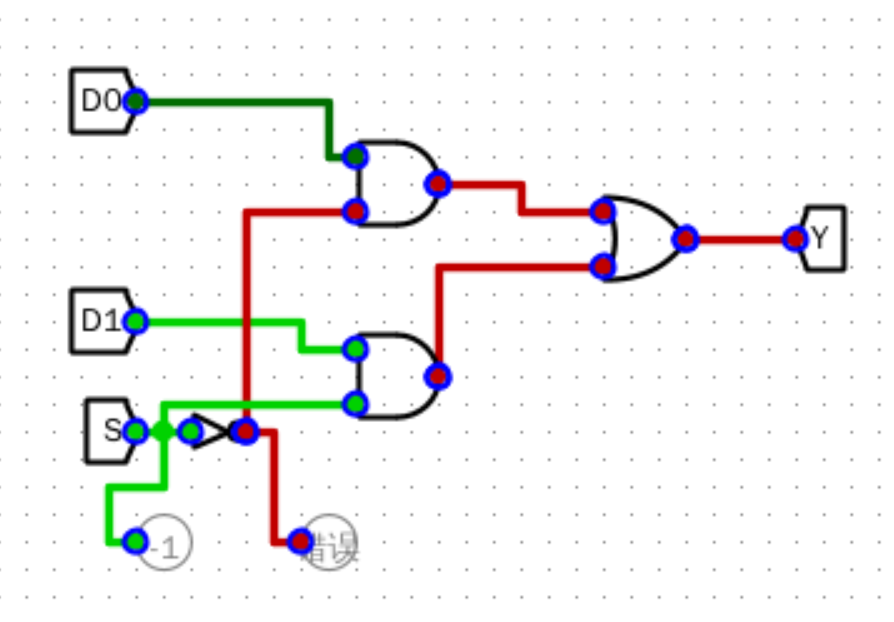


1. Logisim电路图

需要1个非门，2个2输入与门，1个2输入或门，3个输入端和1个输出端，按照原理图连接，如下：



1. 单步测试

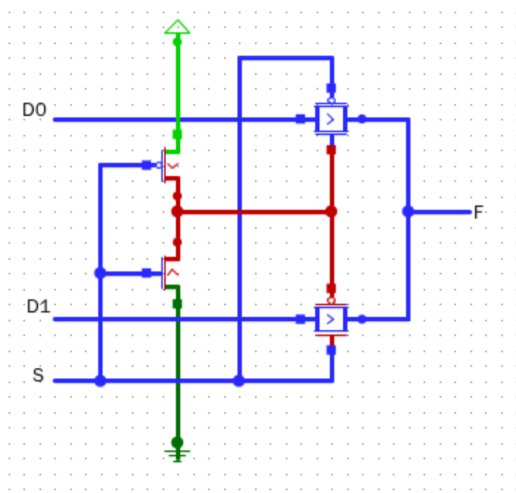


通过网上评测，至此第三关结束。

* 1. **2选1多路选择器（2）**

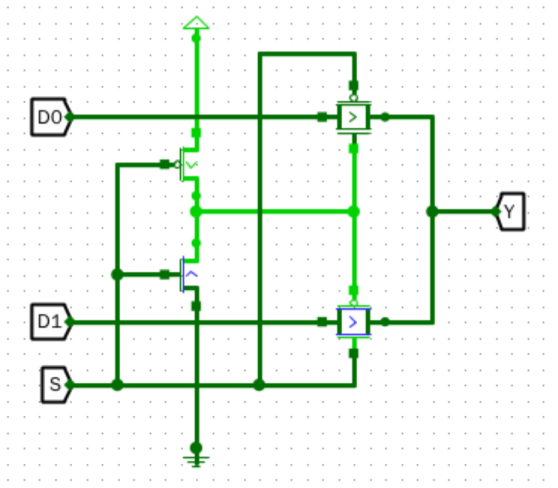
1. 原理及设计图

由，S为高电平D1通路，为高电平则D0通路，而传输门下端高电平则通路，因此S连结一个非门后，设计图如下：



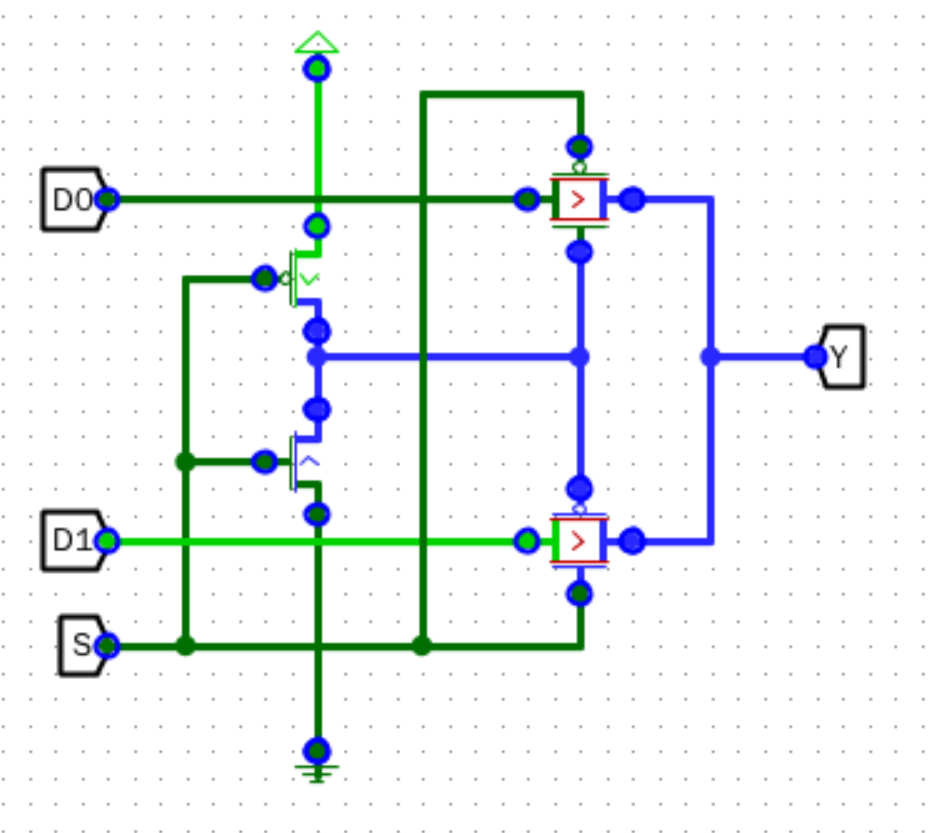
1. Logisim电路图

需要一个电源，一个接地，2个传输门，一个PMOS和一个NMOS，三个输入引脚个一个输出引脚。如下：

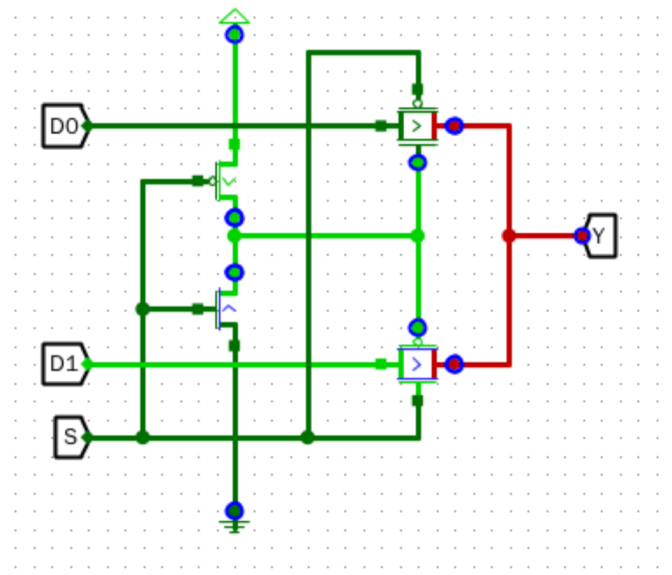


1. 单步测试

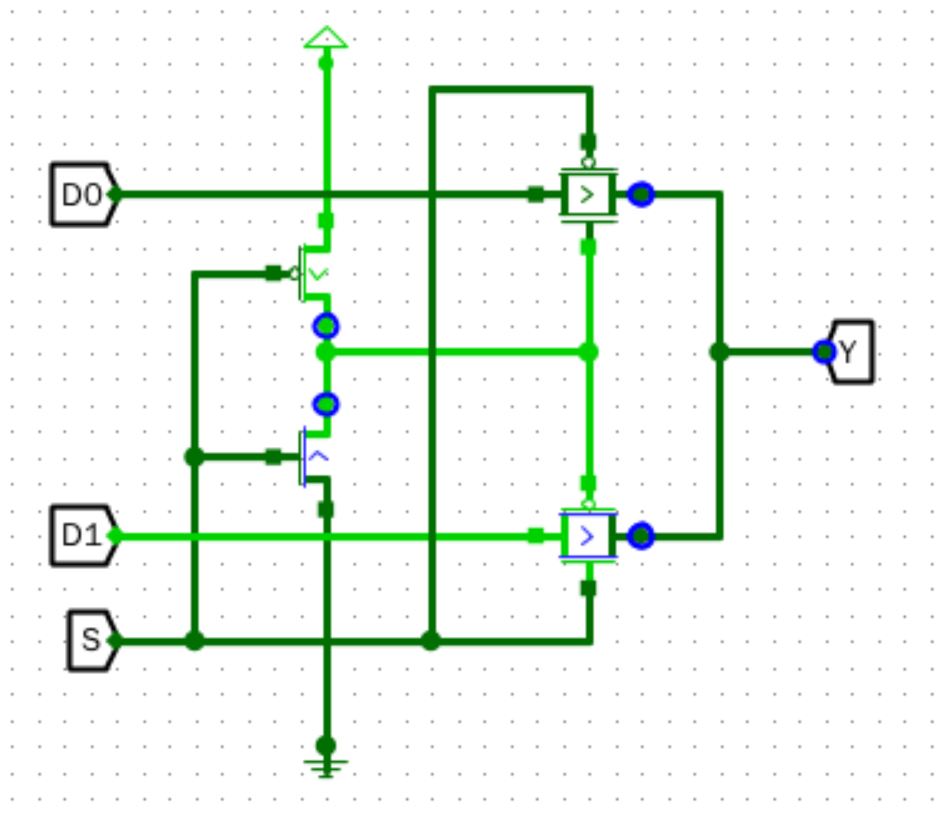
· S低电平，因此P通N断



· 由于上面P通N断，中间高电平



· 最后D0所对的传输门下端高电平，打通，选择D0



通过网上评测，第四关结束。

* 1. **4选1多路选择器**

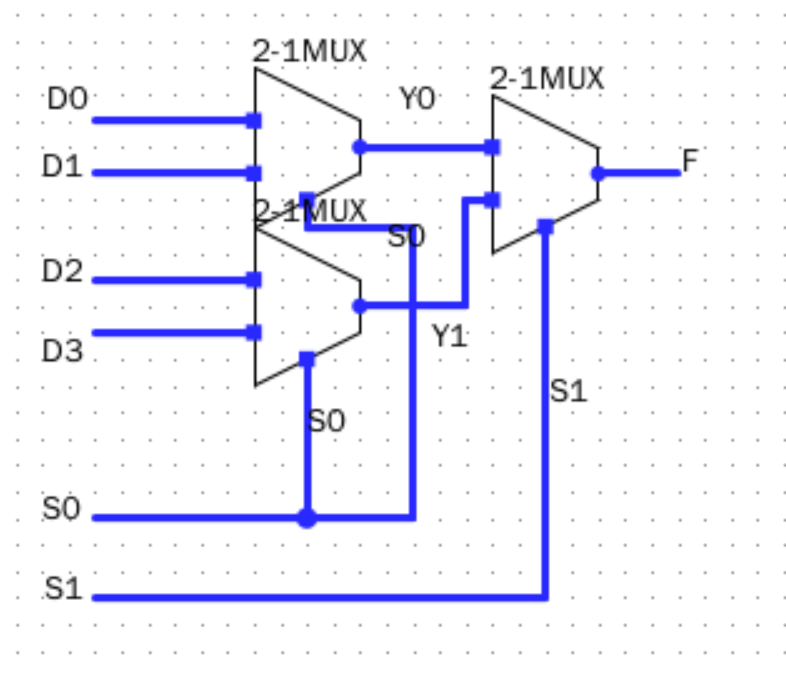
1. 设计原理

|  |  |  |
| --- | --- | --- |
| S1 | S0 | F |
| 0 | 0 | D0 |
| 0 | 1 | D1 |
| 1 | 0 | D2 |
| 1 | 1 | D3 |

真值表如下：

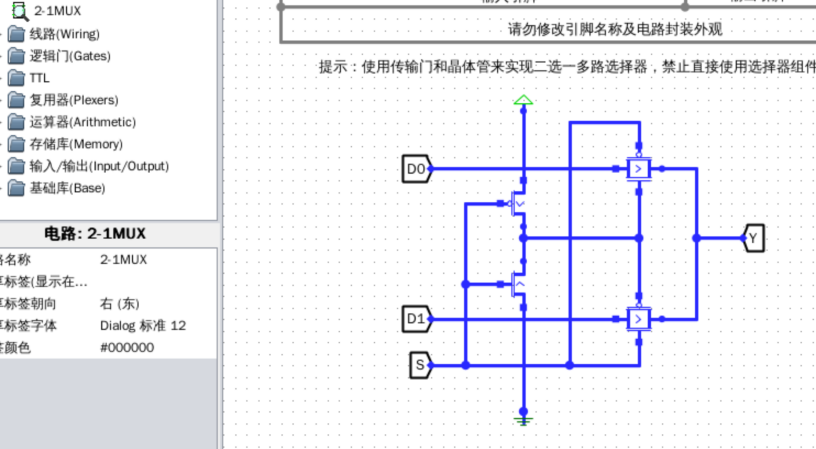
输出端逻辑函数为：

 因此，D0、D1、S0在一个二选一选择器上，D2、D3、S0在另一个二选一选择器上，二者输出值和S1在第三个二选一选择器上，则原理图如下：

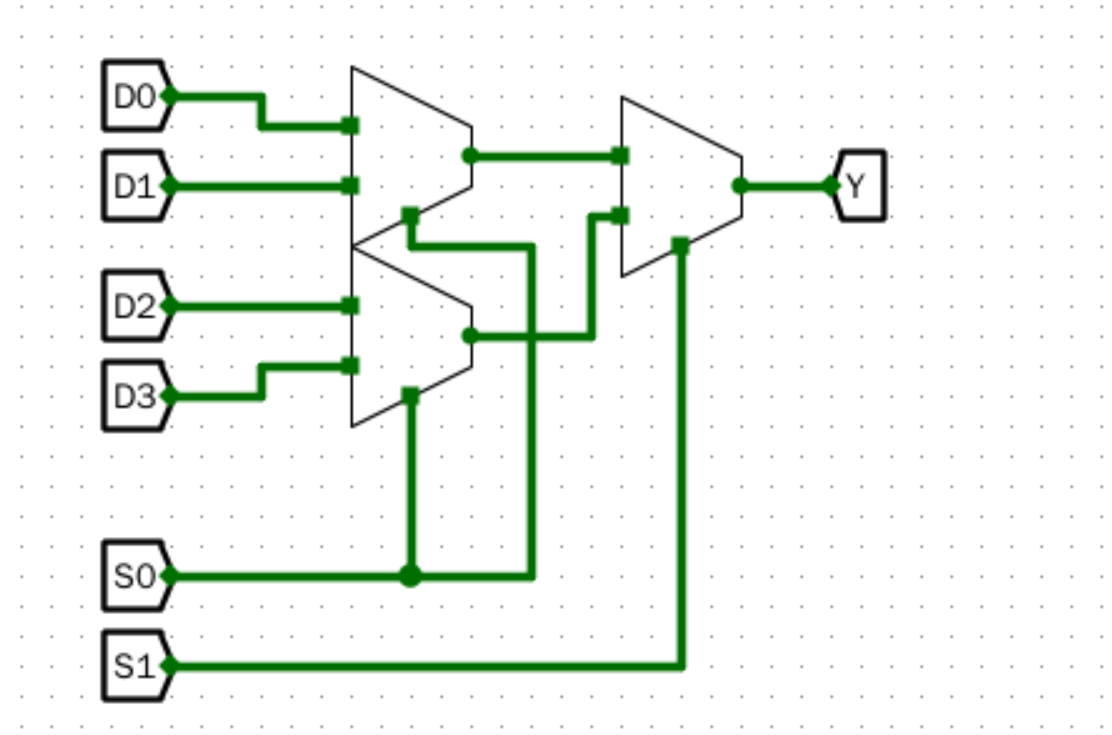


1. Logisim电路图

在2-1MUX文件下封装上一关的电路图



再根据原理图，用3歌二选一多路选择器，6个输入端和1个输出端连接4选1多路选择器如下：



通过网上评测，实验一结束

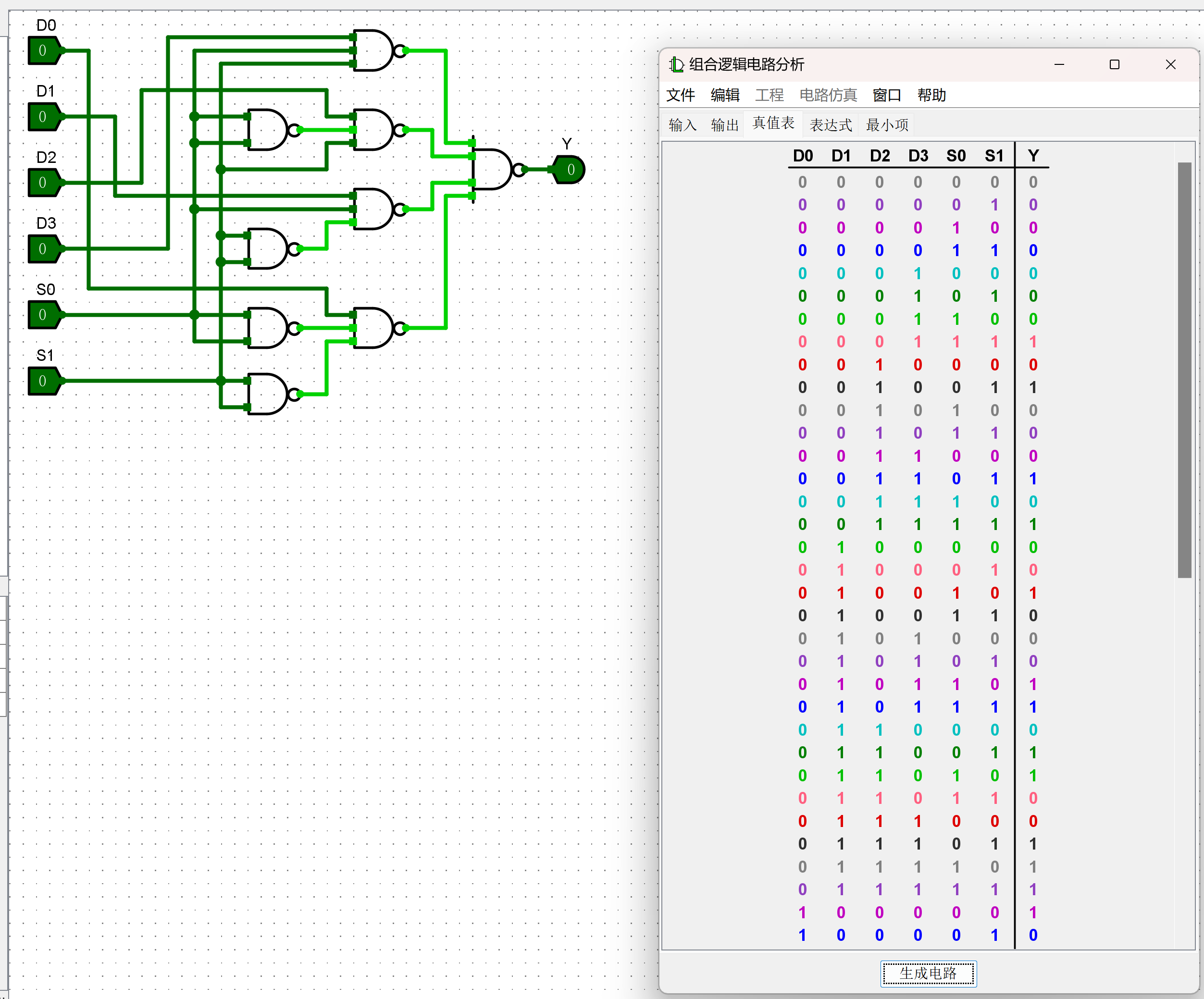
* 1. **思考题**

1. 根据 Logisim 组合电路分析的功能，使用逻辑表达式设计方法选择与非门生成 4 选 1 多路选择器。

原理见1.5第一部分

功能见：窗口→组合逻辑电路分析

输入真值表，选择仅使用与非门生成，如下：

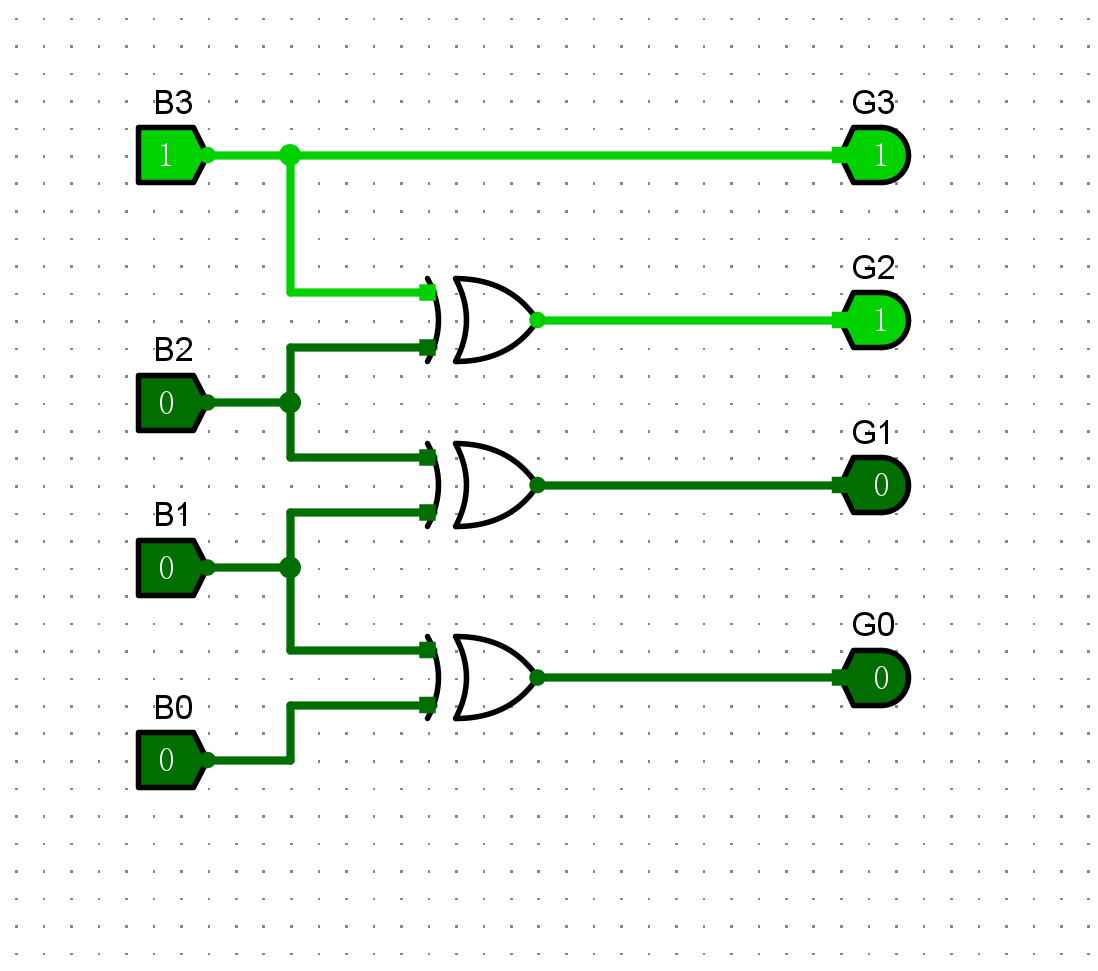


1. 实现 4 位二进制数转换成格雷码的转换电路。

原理：对二进制，格雷码，转换规则如下：



因此，对n=4，设计转换电路G3=B3，后面依次异或，如下：



1. 实现 4 位二进制数的奇偶校验位生成电路。

原理：

奇校验：如果数据单元中1的数量已经是奇数，则校验位设置为0；否则，校验位设置为1。

偶校验：如果数据单元中1的数量已经是偶数，则校验位设置为0；否则，校验位设置为1。

这样，我们可以对四位数进行异或操作，偶校验直接，奇校验对异或结果取反即可。电路图如下：

