**《数字逻辑》实验报告**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **姓名** | | **钟林轩 李庆鹏 余康 熊洪毅** | | **年级** | | *2018* |
| **学号** | | *20184328,20184337 20184319,20184314* | | **专业、班级** | | *计算机科学与技术卓越班* |
| **实验名称** | **基础类 实验三 多路选择器** | | | | | |
| **实验时间** | **2019.10.21** | | **实验地点** | | **DS1410** | |
| **实验成绩** |  | | **实验性质** | | **□验证性 □设计性 □综合性** | |
| 教师评价：  □算法/实验过程正确； □源程序/实验内容提交 □程序结构/实验步骤合理；  □实验结果正确； □语法、语义正确； □报告规范；  评语：  评价教师签名（电子签名）： | | | | | | |
| 一、实验目的  熟悉Vivado开发环境及Nexys4开发板，能够使用 Block Design 和 verilog HDL 语言设计多路选择器。 | | | | | | |
| 二、实验项目内容  实验六 加减法器（\*\*\*\*\*）   1. 设计一个1位全加器，然后由32个1位全加器串联组成32位加法器（画出电路原理图），并通过写仿真文件、看RTL电路图、下载至开发板验证其正确性； 2. 用全加器来构建全减器（画出电路原理图），实现一个32位加减法器，并通过写仿真文件、看RTL电路图、下载至开发板验证其正确性； 3. 编写顶层模块将加减法器模块和7段数码管显示模块连接起来，将SW15~SW12作为第一操作数低4位，SW11~SW8作为第二操作数低4位，SW0=0（1）时做加（减）法，添加选择控制SW1~SW2，能选择将操作数1或操作数2或结果显示在7段数码管上。 4. 在3）中的加减法器中增加进位标志和溢出标志，设计实现一个带进位标志和溢出标志的32位加减法器，将SW15~SW12作为第一操作数（可显示在左起第一个7段数码管上），SW11~SW8作为第二操作数（可显示在左起第二个7段数码管上），将结果显示在7段数码管上，进位和溢出标志通过LED灯显示； 5. 将所设计的加减法器与系统自带的“+\-”进行比较。 | | | | | | |
| 三、实验设计（实验原理、真值表、原理图等）  实验一：   1. 1位全加器   S=A^B^CI  CO=A\*CI+A\*B+B\*CI   |  |  |  |  |  | | --- | --- | --- | --- | --- | | A | B | CI | S | CO | | 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 1 | 1 | 0 | | 0 | 1 | 0 | 1 | 0 | | 0 | 1 | 1 | 0 | 1 | | 1 | 0 | 0 | 1 | 0 | | 1 | 0 | 1 | 0 | 1 | | 1 | 1 | 0 | 0 | 1 | | 1 | 1 | 1 | 1 | 1 |  1. 32位全加器   通过32个一位全加器串联形成32位行波进位加法器。  加法器逻辑表达式  S[i]=A[i]^B[i]^C[i]  C[i+1]=A[i]B[i]+B[i]C[i]+A[i]C[i]   1. 32位加减器   如果符号为加，则通过32个1位全加器来进行加法。  如果符号为减，则先将被减数B变为其2的补码，再用32位加法器进行加法操作  减法器逻辑表达式  B2=~B+1  S[i]=A[i]^B2[i]^C[i]  C[i+1]=A[i]B2[i]+B2[i]C[i]+A[i]C[i]   1. 带进位和溢出的32位加减器的实现   (无符号位时)Carryout=C[n]  （有符号位时）Overflow=C[n]^C[n-1] | | | | | | |
| 四、实验过程或算法(关键步骤、核心代码注解等）  1. 1位全加器    2. 32位加法器     1. 加法器模块(FullAdder32)   在生成结构中用for语句生成32个1位全加器，并通过表示进位的向量C进行串联。    然后编写显示模块，能够在第一段数码管上显示三个16进制数，全部表示无符号32位整数A,B,S  32位无符号数加法仿真测试见测试结果处   1. 显示模块(hex\_dp)   由于7段数码管能显示的数据范围有限，所以将parameter 改为4，方便用16进制数表示。  在4 数码管上进行时分复用，利用人眼的视觉暂留    col是数码管的能信号，决定了用哪个数码管进行显示  segs为abc\_defg\_dp段，决定了数码管要显示的内容   1. 顶层模块(add)     该顶层模块调用了加法器模块和显示模块，进行数字的运算并输出。  3. 32位加减法器  (1)修改加法器模块，增加了溢出位和进位位，并且通过补码运算实现了  32位数据的加减 ,通过sub的值来决定进行加法还是减法    (2)  为了显示加减符号，进行了显示模块的修改,并将前面的parameter设为4以方便在4位7段数码管上显示。其中因为数码管只有7段，”+”符号显示不全，所以用了”-|”来代替    4.在32位加减法器的顶层模块基础上增加了进位位和溢出位，并用led进行显示。  下图为约束文件 | | | | | | |
| 五、实验过程中遇到的问题及解决情况(主要问题及解决情况) | | | | | | |
| 1. 实验结果及分析和（或）源程序调试过程   1．32位加法器的波形仿真    2. 32位加减法器的波形仿真    3. 加法器的上版效果    4.加减法器的上版效果(有进位位和溢出位)  +5 - (-2) = +7        七、小组分工情况说明  钟林轩：或门编写及打包；2选1多路选择器Block Design方式编写；4选1多路选择器Block Design方式编写  李庆鹏：非门编写及打包；2选1多路选择器Verilog HDL方式编写；  余康：与非、或非门编写及打包  熊洪毅：与门编写及打包；4选1多路选择器Verilog HDL方式编写；实验报告撰写 | | | | | | |
|  | | | | | | |