整理以下器件的基本工作原理、用途、对应的Verilog代码（对于有位数的，可以以4位的为具体例子，但要考虑扩展问题，可以在网上先学习、找到相关资料），以文档形式整理好，下周3前上交。

目录

[1、编码器 2](#_Toc3850168)

[2、译码器 5](#_Toc3850169)

[3、BCD七段数码管字符译码器 6](#_Toc3850170)

[4、数据分配器（DEMUX） 10](#_Toc3850171)

[5、数据选择器（MUX） 12](#_Toc3850172)

[6、数值比较器 15](#_Toc3850173)

[7、全加器 16](#_Toc3850174)

## 1、编码器

（1）基本工作原理：

由一个中心有轴的光电码盘，其上有环形通、暗的刻线，编码器有光电发射和接收器件读取，获得四组正弦波信号组合成A、B、C、D,每个正弦波相差90度相位差（相对于一个由一个中心有轴的光电码盘，其上有环形通、暗的刻线，有光电发射和接收器件读取，获得四组正弦波信号组合成A、B、C、D,每个正弦波相差90度相位差（相对于一个周波为360度），将C、D信号反向，叠加在A、B两相上，可增强稳定信号；另每转输出一个Z相脉冲以代表零位参考位。

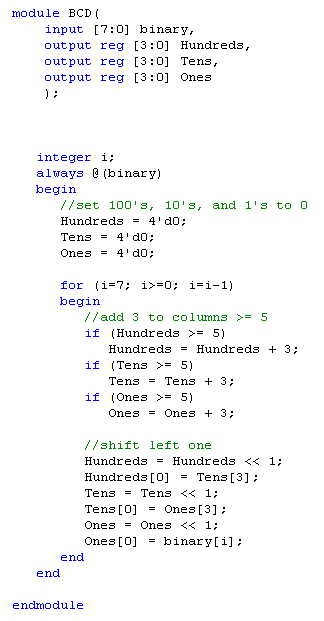
由于A、B两相相差90度，可通过比较A相在前还是B相在前，以判别编码器的正转与反转，通过零位脉冲，可获得编码器的零位参考位。编码器码盘的材料有玻璃、金属、塑料，玻璃码盘是在玻璃上沉积很薄的刻线，其热稳定性好，精度高，金属码盘直接以通和不通刻线，不易碎，但由于金属有一定的厚度，精度就有限制，其热稳定性就要比玻璃的差一个数量级，塑料码盘是经济型的，其成本低，但精度、热稳定性、寿命均要差一些。为360度），将C、D信号反向，叠加在A、B两相上，可增强稳定信号；另每转输出一个Z相脉冲以代表零位参考位。

（2）用途：

将给定的信息编码为一种更紧凑的方式，一个实际用途是在数字系统中传输信息，信息编码后可以用较少的连线实现信息的连接。

如二进制编码器是把个输入信息编码为n位的代码，优先级编码器是每一个输入信号都有其优先级，编码器输出具有最高优先级的有效输入信号，当有一个最高优先级输入插入时，其他优先级的输入都被忽略。

（3）Verilog代码：



8-3优先级编码器：

module pencode83 (

input wire [7:0] x,

output reg [2:0] y,

output reg valid

);

integer i;

always @ ( \* )

begin

y = 0;

valid = 0;

for (i = 0; i <= 7; i = i+1)

if (x[i] ==1)

begin

y = i;

valid = 1;

end

end

module pencode83\_top (

input wire [7:0] sw,

output wire [2:0] ld,

output wire dp

);

wire valid;

assign dp = ~valid;

pencode83 P1( .x(sw),

.y(ld),

.valid(valid)

);

endmodule

## 2、译码器

（1）基本工作原理：

译码器是一种具有“翻译”功能的逻辑电路，这种电路能将输入二进制代码的各种状态，按照其原意翻译成对应的输出信号。有一些译码器设有一个和多个使能控制输入端，又成为片选端，用来控制允许译码或禁止译码。

（2）用途：

由于任何一组合逻辑电路都可以写成最小项表达式的形式，而译码器电路的输出列出了该电路的所有最小项表达式（或最小项的非表达式），故我们可能用译码器电路实现各种组合逻辑电路。而二进制码译码器，也称最小项译码器，N中取一译码器，最小项译码器一般是将二进制码译为十进制码；

（3）Verilog代码：

3-8译码器 逻辑方程：

module decode38a (

input wire [2:0] a,

output wire [7:0] y

);

assign y[0] = ~a[2] & ~a[1] & ~a[0];

assign y[1] = ~a[2] & ~a[1] & a[0];

assign y[2] = ~a[2] & a[1] & ~a[0];

assign y[3] = ~a[2] & a[1] & a[0];

assign y[4] = a[2] & ~a[1] & ~a[0];

assign y[5] = a[2] & ~a[1] & a[0];

assign y[6] = a[2] & a[1] & ~a[0];

assign y[7] = a[2] & a[1] & a[0];

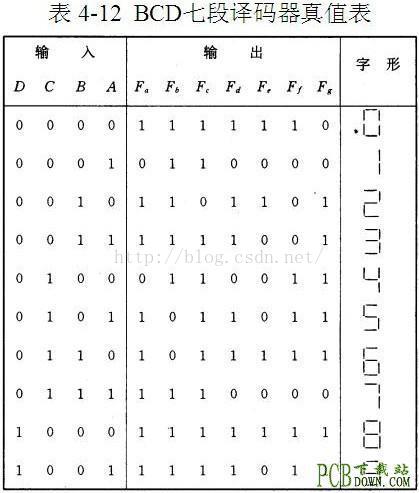
endmodule

## 3、BCD七段数码管字符译码器

（1）基本工作原理：

七段数码管一般由8个发光二极管组成，其中由7个细长的发光二极管组成数字显示，另外一个圆形的发光二极管显示小数点。 当发光二极管导通时，相应的一个点或一个笔画发光。控制相应的二极管导通，就能显示出各种字符。发光二极管的阳极连在一起的称为共阳极数码管，此时译码器的输出应该是低电平有效；阴极连在一起的称为共阴极数码管，此时译码器的输出应该是高电平有效。

七段数码管一般由8个发光二极管组成，其中由7个细长的发光二极管组成数字显示，另外一个圆形的发光二极管显示小数点。 当发光二极管导通时，相应的一个点或一个笔画发光。控制相应的二极管导通，就能显示出各种字符。发光二极管的阳极连在一起的称为共阳极数码管，此时译码器的输出应该是低电平有效；阴极连在一起的称为共阴极数码管，此时译码器的输出应该是高电平有效。



74LS47是将四位二进制编码编码转化为十进制数码（BCD），并通过七段数码管显示出来的译码器/驱动器，可以驱动共阳极的发光二极管七段LED显示字符。74LS47 有自动前、后沿灭零控制（RBI 和 RBO）。试灯（LT）可在 BI/RBO 端处于高电平的任何时刻去进行，该电路还含有一个灭灯输入（BI），它用来控制灯的亮度或禁止输出。在输入0~15时，74LS47显示的字符如图2-27所示。

https://img-blog.csdn.net/20151018143314209?watermark/2/text/aHR0cDovL2Jsb2cuY3Nkbi5uZXQv/font/5a6L5L2T/fontsize/400/fill/I0JBQkFCMA==/dissolve/70/gravity/Center

（2）用途：

在电器特别是家电领域应用极为广泛，如显示屏、空调、热水器、冰箱等等。

（3）Verilog代码：

// Example 23: 4-bit binary-to-BCD converter

module binbcd4 (

input wire [3:0] b,

output wire [4:0] p

);

assign p[4] = b[3] & b[2] | b[3] & b[1];

assign p[3] = b[3] & ~b[2] & ~b[1];

assign p[2] = ~b[3] & b[2] | b[2] & b[1];

assign p[1] = b[3] & b[2] & ~b[1] | ~b[3] & b[1];

assign p[0] = b[0];

endmodule

// 例 24：8-位二进制-BCD 码转换器

module binbcd8 (

input wire [7:0] b,

output reg [9:0] p

);

// 中间变量

reg [17:0] z;

integer i;

always @ ( \* )

begin

for (i = 0; i <=17; i = i + 1)

z[i] = 0;

z[10:3] = b; // shift b left 3 places

repeat (5) // 重复 5 次

begin

if (z[11:8] > 4) // 如果个位大于 4

z[11:8] = z[11:8] +3; // 加 3

if (z[15:12] > 4) // 如果十位大于 4

z[15:12] = z[15:12] +3; // 加 3

z[17:1] = z[16:0]; // 左移一位

end

p = z[17:8]; // BCD

end

endmodule

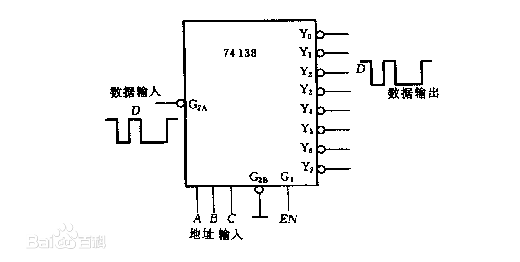
## 4、数据分配器（DEMUX）

（1）基本工作原理：

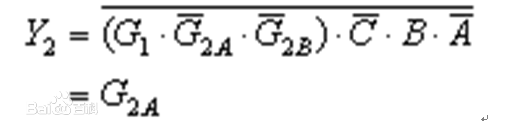
能够将1个输入数据，根据需要传送到m个输出端的任何一个输出端的电路，叫做数据分配器，又称为多路分配器，其逻辑功能正好与数据选择器相反。

数据分配器可以用唯一地址译码器实现。

如用3线－8线译码器可以把一个数据信号分配到8个不同的通道上去。用74138作为数据分配器的逻辑原理图如下：



将G2B接低电平，G1作为使能端，C，B和A作为选择通道地址输入，G2A作为数据输入。例如，当G1=1，CBA=010时，由74138的功能表可得：



而其余输出端均为高电平。因此，当地址CBA=010时，只有输出端Y2得到与输入相同的数据波形。74138译码器作为数据分配器的功能表如下所示。



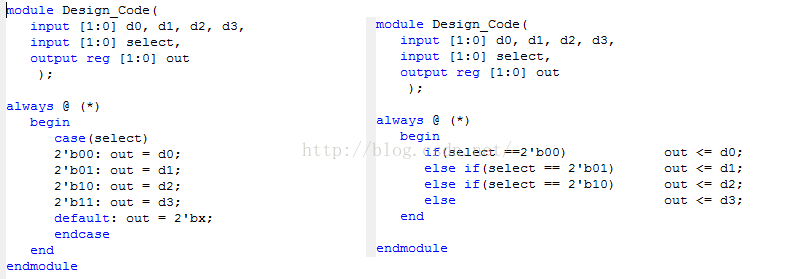
（2）用途：

数据分配器的用途比较多，比如用它将一台PC机与多台外部设备连接，将计算机的数据分送到外部设备中。它还可以与计数器结合组成脉冲分配器，用它与数据选择器连接组成分时数据传送系统。由于译码器和数据分配器的功能非常接近，所以译码器一个很

重要的应用就是构成数据分配器。

也正因为如此，市场上没有集成数据分配器产品，只有集成译码器产品。当需要数据分配器时，可以用译码器改接。

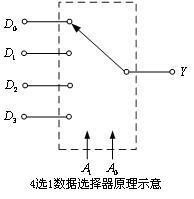
（3）Verilog代码：



## 5、数据选择器（MUX）

（1）基本工作原理：

工作原理是：给A1A0一组信号 比如1 0 那么就相当于给了他一个2进制数字2 也就相当于选通了D2这个输入端，这个时候 输出Y 输出的就是D2的信号；D2是什么，Y就输出什么

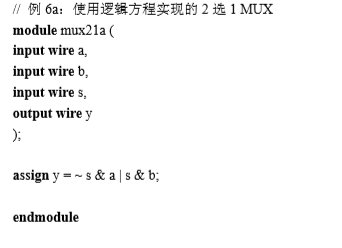
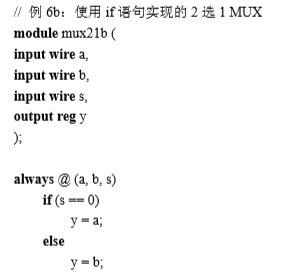


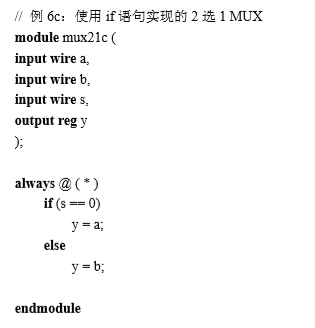
（2）用途：

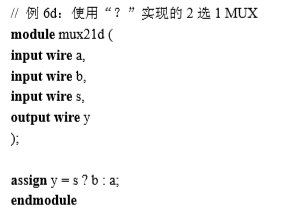
因此，用数据选择器可以实现数据的多路分时传送。

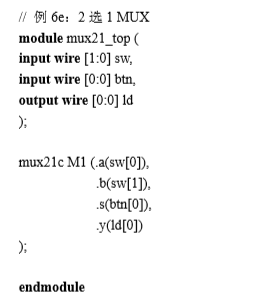
此外，数据选择器还广泛用于产生任意一种组合逻辑函数。

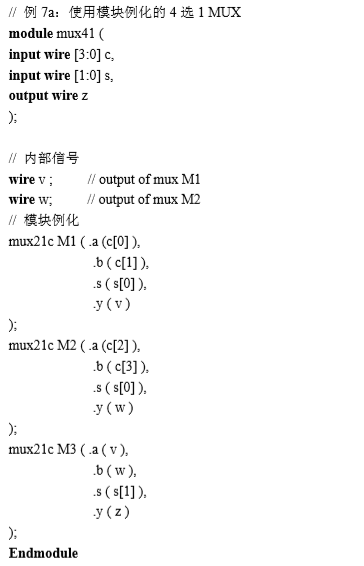
（3）Verilog代码：









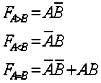
## 6、数值比较器

（1）基本工作原理：

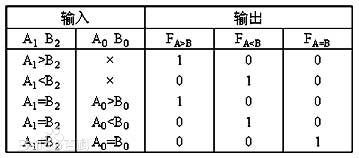
比较器是将一个模拟电压信号与一个基准电压相比较的电路。比较器的两路输入为模拟信号，输出则为二进制信号，当输入电压的差值增大或减小时，其输出保持恒定。

1位数值比较器是多位比较器的基础。当A和B都是1位数时，它们只能取0或1两种值，由此可写出1位数值比较器的真值表：

由真值表得到如下逻辑表达式：



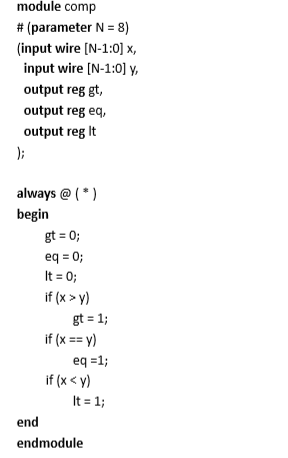
由以上逻辑表达式可画出如下图所示的逻辑电路。实际应用中，可根据具体情况选用逻辑门。



（2）用途：

对两个位数相同的二进制数进行比较，以判断它们的相对大小或者是否相等

（3）Verilog代码：

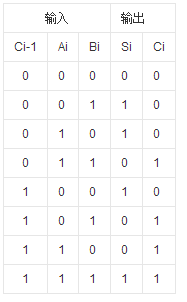


## 7、全加器

（1）基本工作原理：

全加器是能够计算低位进位的二进制加法电路。与半加器相比,全加器不只考虑本位计算结果是否有进位,也考虑上一位对本位的进位,可以把多个一位全加器级联后做成多位全加器.

一位全加器的真值表如下图，其中Ai为被加数，Bi为加数，相邻低位来的进位数为Ci-1，输出本位和为Si。向相邻高位进位数为Ci



描述+一位全加器的表达式如下：

Si=Ai⊕Bi⊕Ci-1

[http://file.elecfans.com/web1/M00/58/61/pIYBAFtYL5aAJyv6AAAEoka1qck244.png](http://file.elecfans.com/web1/M00/58/61/pIYBAFtYL5aAJyv6AAAEoka1qck244.png)

第二个表达式也可用一个异或门来代替或门对其中两个输入信号进行求和：

[http://file.elecfans.com/web1/M00/58/61/pIYBAFtYL7mASjG4AAAFGFiTljc001.png](http://file.elecfans.com/web1/M00/58/61/pIYBAFtYL7mASjG4AAAFGFiTljc001.png)

（2）用途：

全加器能进行加数、被加数和低位来的进位信号相加，并根据求和结果给出该位的进位信号。

（3）Verilog代码：

