## 开放实验课表

## 

## 实验课形式

1. 学生根据开放实验课表在实验教学管理系统（<http://syjx.cqu.edu.cn/>）网上预约实验时间，每名学生共预约16学时，可查看学院网站相关通知（<http://www.cs.cqu.edu.cn/info/1071/1936.htm>）。
2. 每次开放实验课实验老师都在，各教学班任课老师和助教分别共进入实验室16学时。

## 实验成绩考核

**考核方式:**

1. 考勤:学生进入和离开实验室时，需要进行面部识别以便统计该学生进入实验室的总时间，要求不低于16学时（12小时）,不满16学时的酌情扣分。
2. 实验报告。
3. 现场检查或抽查。

**成绩构成:**10%考勤+60%实验报告+30%现场检查。

## 实验内容

实验内容分为基础类、组合逻辑电路设计、时序电路设计、有限状态机设计、FPGA综合应用设计五类。每一类包括了不同难度的实验项目，实验项目的不同难度对应了不同的最高可得成绩:

|  |  |
| --- | --- |
| 难度 | 最高可得成绩(分) |
| \*\*\* | 60 |
| \*\*\*\* | 80 |
| \*\*\*\*\* | 100 |

如:难度为\*\*\*的实验项目,最高可得的成绩为60分,以此类推。每一类实验项目中任选一个作为考核项目。

* **基础类**

实验一 基本门电路——Vivado开发环境及Nexys4开发板的熟悉（\*\*\*\*）

1. 拨码开关与LED灯,实现开关控制（管脚分配说明）；
2. 仿真、综合、实现、生成bit流，下载到Nexys4开发板进行验证；
3. 使用Verilog HDL语言的数据流描述方法设计一个（数据宽度可在1~32之间变化的）2输入与门andgate（或门、非门、与非门等基本门）；
4. 利用仿真来验证所设计门电路的逻辑（学会看仿真波形图），填写门电路真值表，并将该与门封装成可变数据宽度参数的IP核。

实验二 2选1多路选择器——IP核的封装与调用（\*\*\*\*）

1. 将实验一中的与门（演示过程）、或门、非门、与非门等基本门电路封装成IP核；
2. 调用封装的IP核，用Block Design设计一个一位的2选1多路选择器（可演示过程）；
3. 用verilog HDL语言编写一个一位的2选1多路选择器（可提供代码）；
4. 分别用RTL分析2）、3）中的电路设计（学会看RTL电路图）；
5. 编写仿真文件，填写出2选1多路选择器真值表，验证所设计电路的逻辑；
6. 综合、实现、生成bit流，下载到Nexys4开发板进行验证；

实验三 多路选择器（\*\*\*\*\*）

分别用Block Design和verilog HDL语言设计一个三位4选1多路选择器，并通过写仿真文件、看RTL电路图、下载到板子验证其正确性。

* **组合逻辑电路设计**

实验四 译码器的设计（\*\*\*）

1. 根据3-8译码器真值表，使用Verilog HDL语言实现74LS138译码器decode38，下载到板子上进行验证。其中Y0~Y7分别接板上的LD0~LD7，G1接SW15，G2A接SW14，G2B接SW13，C、B、A分别接SW2，SW1和SW0；
2. 将1）中的3-8译码器封装成IP核，调用3-8译码器的IP核，用Block Design设计一个4-16译码器，并通过写仿真文件、看RTL电路图、下载到板子验证其正确性；

实验五 七段数码管显示（\*\*\*\*）

1. 将拨码开关SW3~SW0以十六进制数显示在1个七段数码管上（了解七段数码管显示原理，可提供参考代码）；
2. 将拨码开关SW11~SW9、SW8~SW6、SW5~SW3、SW2~SW0分别以八进制数显示在4个七段数码管上；
3. 设计一个3位的4选1多路选择器，并利用拨码开关SW15~SW14控制选择将拨码开关SW11~SW9、SW8~SW6、SW5~SW3、SW2~SW0以八进制数显示在1个七段数码管上；

实验六 加减法器的设计（\*\*\*\*\*）

1. 根据半加器的真值表，画出半加器的逻辑电路图；
2. 根据全加器的真值表，列出结果位和进位位的逻辑表达式，并画出由半加器构成的全加器的逻辑电路图；
3. 根据2）设计一个1位全加器，然后由4个1位全加器组成4位加法器，并通过写仿真文件、看RTL电路图验证其正确性；
4. 在3）中的加法器中增加进位标志和溢出标志，设计实现一个带进位标志和溢出标志的4位加法器，并编写顶层模块将加法器模块和7段数码管模块连接起来，将SW15~SW12作为第一操作数（可显示在左起第一个7段数码管上），SW11~SW8作为第二操作数（可显示在左起第二个7段数码管上），将结果显示在最右侧的7段数码管上，进位和溢出标志通过LED灯显示；
5. 用全加器来构建全减器，画出电路图，设计并实现带进位位和溢出位的4位加/减法器，将SW15~SW12作为第一操作数（可显示在左起第一个7段数码管上），SW11~SW8作为第二操作数（可显示在左起第二个7段数码管上），SW0=0（1）时做加（减）法，将结果显示在最右侧的7段数码管上，进位和溢出标志可通过LED灯显示。

* **时序电路设计**

实验七 D触发器（\*\*\*）

设计一个带有异步清零和置 1 的 D 触发器 dff1。信号和板上器件的关系是：q-LD0, qn-LD1, d-SW0, clk-BTNC, set-BTNR, reset-BTND，下载到板验证。

实验八 寄存器（\*\*\*\*）

1. 根据寄存器电路图,画出寄存器的功能表
2. 设计实现一个一位寄存器, 并编写仿真文件，观察波形图，验证其正确性；
3. 将8个1位寄存器模块组合成一个8位寄存器，用RTL分析其电路实现；
4. 编写仿真文件，观察波形图，下载到板验证，信号和板上器件的关系是：q7~q0-LD7~LD0, d7~d0-SW7~SW0, clk-BTNC, clrn-SW14, wen-SW15。

实验九 并转串（\*\*\*\*\*）

设计一个 8 位并转串输出模块 par2ser。该器件有 8 位输入 d[7:0]，1 位输出 q，另有一个 clk 端，一个 set 端。set端上升沿将 8位输入锁存到逻辑右移移位寄存器中。信号与管脚的对应关系：d[7:0]--SW[7:0]，输出 q--LD15，clk--BTNL, set--BTNR。

实验十 时钟分频设计（\*\*\*\*\*）

实现一个分频器 clock\_div，输入的是系统提供的100MHz频率，输出的是1Hz频率，占空比是1:2。下载到板子上进行验证，信号和板上器件的关系是：clk-E3，clkout-LD0。

实验十一 带模计算器的设计（\*\*\*\*\*）

实现一个 3位的模8加 1计数器 triled，要求每1秒加一次1。该计数器计数值C1[2]~C1[0]分别接到N16，R11，G14，让C2=~C1，C2[2]~C2[0]分别接到N15，M16，R12。clk-E3, rstn-C12。观察三色二极管的颜色变化。

实验十二 寄存器堆的设计(\*\*\*\*\*)

实现一个具有8个8位寄存器的寄存器堆，该寄存器堆具有读写和寄存功能。信号和板上器件的关系是：输出数据q7~q0-LD7~LD0，写入数据d7~d0-SW7~SW0，时钟clk-BTNC，写控制load-SW15,写寄存器选择wsel2~wsel0-SW13~SW11，读寄存器选择 rsel2~rsel0-SW10~SW8。

* **有限状态机设计**

实验十三 摩尔状态机序列检测器(\*\*\*\*\*)

1. 设计“1101”序列检测的状态转换图；
2. 调用并转串输出模块，使用Verilog HDL语言的行为描述方式实现一个摩尔状态机，能检测一个8位的二进制数据中是否存在“1101”序列，如果检测到该序列则指定的LED灯亮；
3. 综合、实现、生成bit流，下载到Nexys4开发板进行验证；

实验十四 米里状态机序列检测器(\*\*\*\*\*)

设计实现一个米里状态机，能检测一个8位的二进制数据中是否存在“1011”序列。

实验十五 交通灯信号控制器设计（\*\*\*\*\*）

实现一个十字路口（南北和东西方向）交通灯信号控制器。该十字路口的南北和东西方向都有红、黄、绿三种颜色的信号灯。请根据交通规则，给出交通灯的状态表和状态转换图，延迟时间以秒计算。

* **FPGA综合应用设计**
* 流水灯设计（\*\*\*\*）

实现Led灯从左向右循环依次每隔1秒点亮。

* 数字钟（\*\*\*\*）

实现一个六十进制数字时钟，秒到 60 则归零重加，同时让分加1，分加到60归零重加，并让小时加 1，小时加到24归零重加。要求用数码管1,0显示秒值，数码管 2,3 显示分值，数码管 4,5 显示小时。

* 密码锁设计（\*\*\*\*\*）

设计一个密码锁电路，可以通过拨码开关设置初始密码，通过按钮来输入密码，密码位数至少为4位，判断输入密码与设置的密码是否一致。

* 电梯控制器设计（\*\*\*\*\*）

设计一个多楼层的电梯控制器系统，并能在开发板上模拟电梯运行状态。可以利用按键作为呼叫按键，数码管显示电梯运行时电梯所在楼层，led灯显示楼层叫梯状态。

* 屏幕保护应用设计（\*\*\*\*\*）

利用FPGA开发板和VGA显示器设计制作一个屏幕保护应用，包括图像存储模块、VGA显示控制器、图像移动轨迹的设计。