**《数字逻辑》实验报告**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **姓名** | | 杨智华 | | **年级** | | 2017级 |
| **学号** | | 20174279 | | **专业、班级** | | 计算机科学与技术卓越班 |
| **实验名称** | 加减法器的设计 | | | | | |
| **实验时间** | **2019年5月24日** | | **实验地点** | | **DS1410** | |
| **实验成绩** |  | | **实验性质** | | **□验证性 □设计性 □综合性** | |
| 教师评价：  □算法/实验过程正确； □源程序/实验内容提交 □程序结构/实验步骤合理；  □实验结果正确； □语法、语义正确； □报告规范；  评语：  评价教师签名（电子签名）： | | | | | | |
| 一、实验目的  1、掌握一位半加器、一位全加器的逻辑功能。  2、学会多位全加器的设计原理。  3、学会带进位标志和溢出标志的加法器。  4、学会利用加法器完成减法器的设计与实现。  5、掌握多位共阳极数码管分时复用显示原理及应用 | | | | | | |
| 二、实验项目内容  1、设计一个 1 位全加器，然后由 4 个 1 位全加器组成 4 位加法器，并通过 写仿真文件、看 RTL 电路图验证其正确性。  2、在加法器中增加进位标志和溢出标志，设计实现一个带进位标志和溢出 标志的 4 位加法器，并编写顶层模块将加法器模块和 7 段数码管模块连 接起来，将 SW3~SW0 作为第一操作数（可显示在左起第一个 7 段数码管 上），SW7~SW4 作为第二操作数（可显示在左起第二个 7 段数码管上），将 结果显示在最右侧的 7 段数码管上，进位和溢出标志通过 LED 灯显示。  3、用全加器来构建全减器，画出电路图，设计并实现带进位位和溢出位的 4 位加/减法器，将 SW3~SW0 作为第一操作数（可显示在左起第一个 7 段数 码管上），SW7~SW4 作为第二操作数（可显示在左起第二个 7 段数码管上）， SW15=0（1）时做加（减）法，将结果显示在最右侧的 7 段数码管上，进 位和溢出标志可通过 LED 灯显示。 | | | | | | |
| 三、实验设计  **1、半加器的真值表、逻辑表达式以及逻辑电路图**  半加器真值表如图：  C:\Users\杨智华\AppData\Roaming\Tencent\Users\328166837\TIM\WinTemp\RichOle\M)P_R(8CY2(QX%`V{(~D7KO.png  半加器逻辑表达式：  半加器逻辑电路图：    **2、全加器的真值表、逻辑表达式、以及由两个半加器一个或门组成的一位全加器逻辑电路图**  全加器真值表：    全加器逻辑表达式：  全加器逻辑电路图    **3、由三个一位全加器和一个半加器组成的四位全加器逻辑电路图** | | | | | | |
| 四、实验过程或算法  **1、由三个全加器和一个半加器组成的4位无符号数加法器的RTL电路图;**    **2、设计实现一个带进位标志 和溢出标志的 4 位加法器。并编写顶层模块文件实例化加法器和显示模块，实现加法器和显示模块的 组合电路；**  核心代码：  （1）fulladd模块用于一位的加法：    （2）hexseg模块用于在数码管上进行显示：  其中利用人眼的视觉暂留，对 8数码管进行分时复用    an为显示使能，决定哪个数码管显示，数码管显示代码如下：    （3）在add4\_fuhao模块中对一位加法模块进行调用，得到四位的加法    （4）add模块为顶层模块，对数字进行加法操作并且进行显示输出    **3、改变加法器模块，实现带进位位和溢出位的 4 位可加可减的运算器；**  （1）求解补码：    （2）将补码传递到模块中进行求解，若收到信号为减法的话，就将Y2再次求补，进行求解。    （3）修改显示模块，状态8和9分别代表+和-，由于7段数码管有限，则+只保留一半，即b,c,g段，-为g段。 | | | | | | |
| 五、实验过程中遇到的问题及解决情况  1、对于进行和溢出存有疑问  在网上查找资料，得到的解释是：进位标志表示无符号数运算结果是否超出范围，运算结果仍然正确；溢出标志表示有符号数运算结果是否超出范围，运算结果已经不正确。尽管二者不能同时使用，但是在书中讲述此举意义是可以减少所需电路数目，在本实验中除了在实验过程三中做了无符号数的加法之外，其余的均按照有符号数进行处理。 | | | | | | |
| 六、实验结果及分析和（或）源程序调试过程  **1、由三个全加器和一个半加器组成的4位无符号数加法器的波形仿真;**    **2、设计实现一个带进位标志 和溢出标志的 4 位加法器。并编写顶层模块文件实例化加法器和显示模块，实现加法器和显示模块的 组合电路，将 SW3~SW0 作为第一操作数（可显示在左起第一个 7 段数码 管上），SW7~SW4 作为第二操作数（可显示在左起第二个 7 段数码管上）， 将结果显示在最右侧的 7 段数码管上，进位和溢出标志通过 LED 灯显示。**  波形仿真：    上板效果：  8+2=a，无进位，无溢出  C:\Users\杨智华\Documents\Tencent Files\328166837\FileRecv\MobileFile\IMG_20190603_172140.jpg  4+2=6，无进位，有溢出  C:\Users\杨智华\Documents\Tencent Files\328166837\FileRecv\MobileFile\IMG_20190603_172114.jpg  **3、改变加法器模块，实现带进位位和溢出位的 4 位可加可减的运算器，将 SW3~SW0 作为第一操作数（可显示在左起第一个 7 段数码管上），SW7~SW4 作为第二操作数（可显示在左起第二个 7 段数码管上），SW15=0（1）时做 加（减）法，将结果显示在最右侧的 7 段数码管上，进位和溢出标志可通 过 LED 灯显示。**  上板效果：  (-3)-(-2)=(-3)+2=-1，无进位，无溢出  C:\Users\杨智华\Documents\Tencent Files\328166837\FileRecv\MobileFile\IMG_20190603_182300.jpg  (-3)+(-2)=-5，有进位，无溢出  C:\Users\杨智华\Documents\Tencent Files\328166837\FileRecv\MobileFile\IMG_20190603_182320.jpg  -2+4=+2,有进位，无溢出  C:\Users\杨智华\Documents\Tencent Files\328166837\FileRecv\MobileFile\IMG_20190603_182138.jpg  七、小组分工情况说明  独立完成 | | | | | | |