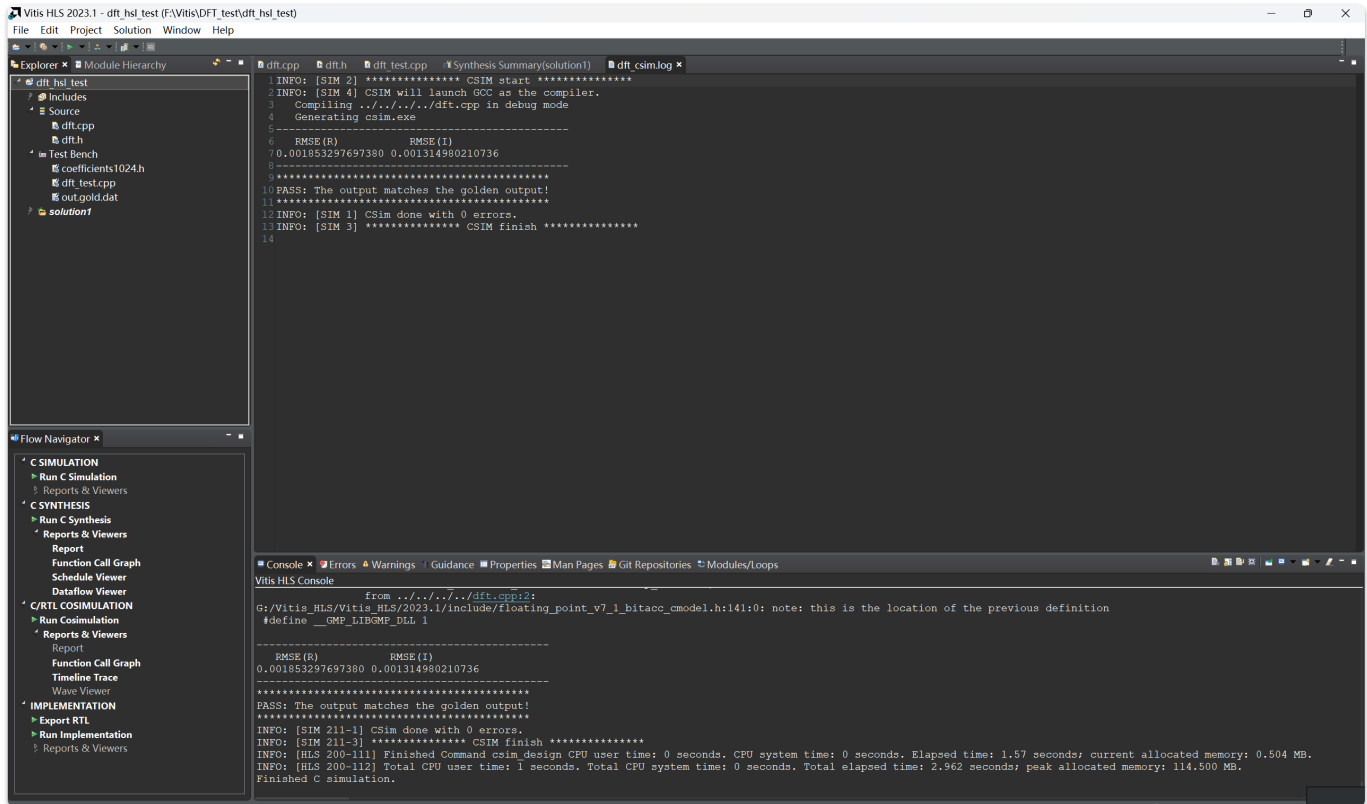


report

本实验改编自《FPGA并行编程》第四章 离散傅里叶变换，我们编写了一段DFT代码，利用Xilinx Vitis HLS生成的DFT IP进行DFT算法的加速，并设计了测试代码用以检测程序功能。

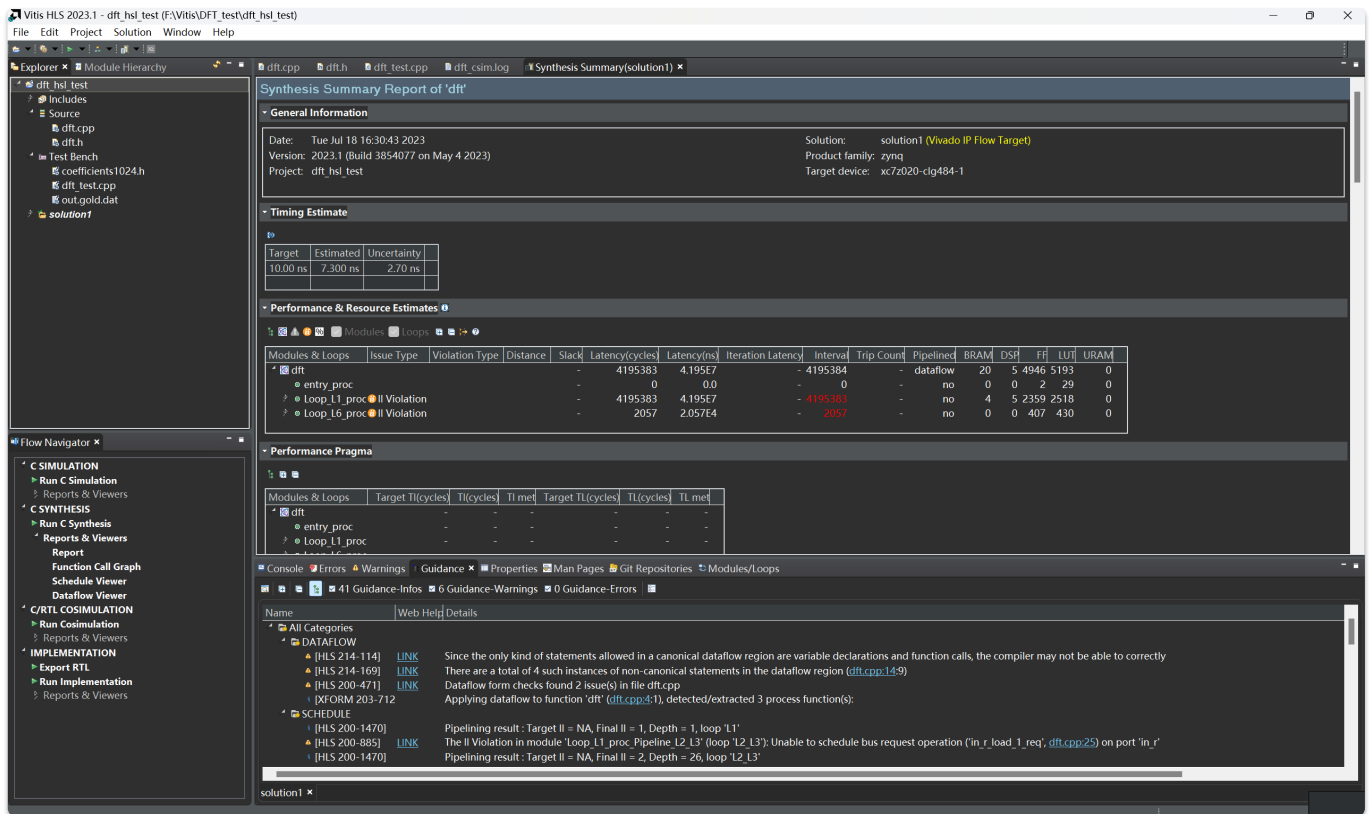
C simulation的结果如下：



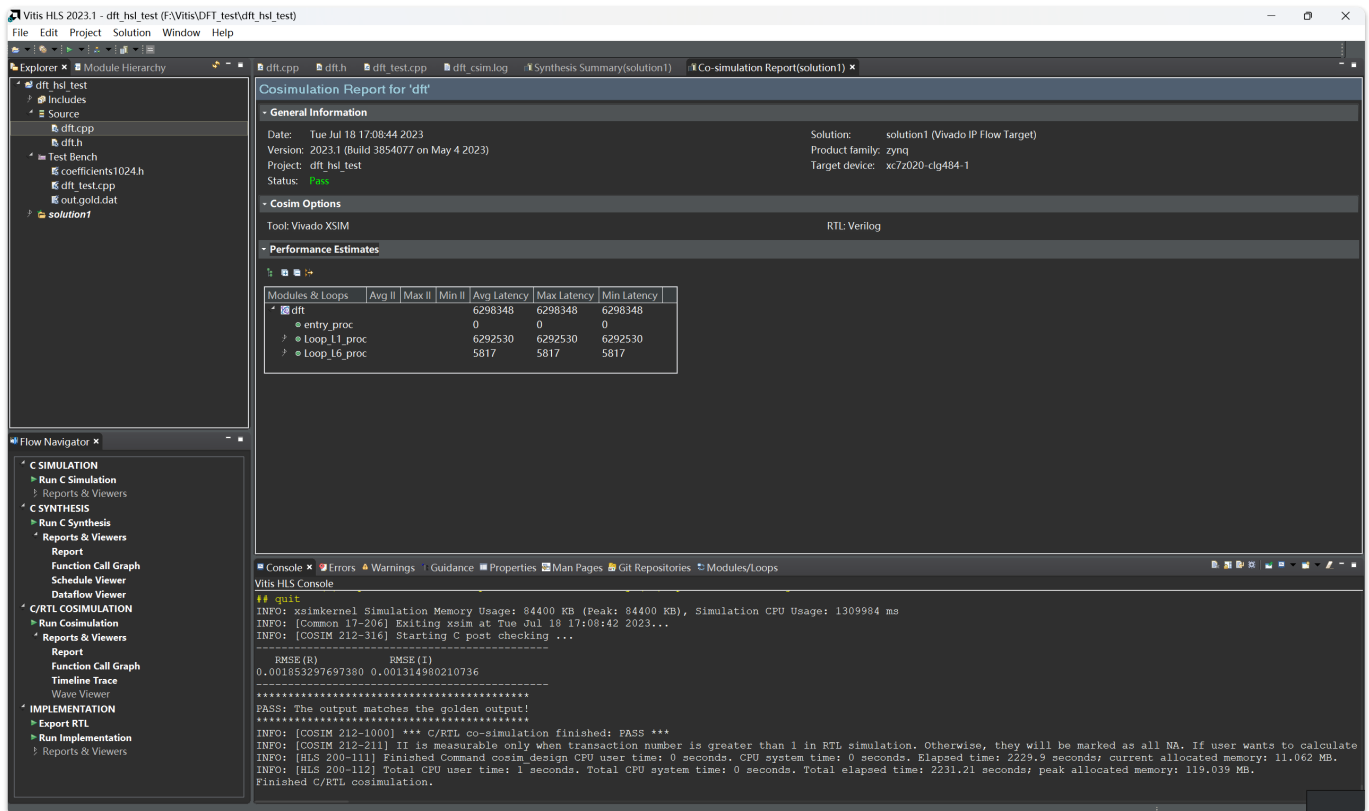
```
INFO: [SIM 2] ***** CSIM start *****
INFO: [SIM 4] CSIM will launch GCC as the compiler.
3   Compiling ../../../../dft.cpp in debug mode
4   Generating csim.exe
5
6   RMSE(R)      RMSE(I)
7   0.001853297697380  0.001314980210736
8
9   *****
10  PASS: The output matches the golden output!
11 *****
12 INFO: [SIM 1] CSim done with 0 errors.
13 INFO: [SIM 3] ***** CSIM finish *****
14
```

可以看出所写的代码能够通过C simulation，无warning/error。

C synthesis的结果如下：



但在下一步C/RTL cosimulation的过程中需求时间过长，我们推测这是综合后需求资源过多导致的



导出DFT IP核后在vivado中添加zynq核后，自动布局布线的结果如图：


```
In [1]: import numpy as np
        from time import time

        # 生成输入
        N = 1024
        real_in = np.arange(N)
        imag_in = np.zeros(N)

        # 使用np.fft.fft直接计算DFT
        start = time()
        out = np.fft.fft(real_in)
        end = time()
        np_time = end - start
        print("Numpy DFT时间:", np_time)
```

Numpy DFT时间: 0.0013034343719482422

程序运行的时间加快了15.7%。