



南京理工大学
NANJING UNIVERSITY OF SCIENCE & TECHNOLOGY

数字系统综合设计

电工电子教学实验中心

课程性质

集中性实践课程，2学分

时间安排

两周

每天时间

验收时间

考核方式

出勤率+验收+实验报告

实验要求

带U盘或笔记本电脑

不能玩游戏看视频等

不能拷贝

离开实验室：关好电脑实验箱、桌面凳子整洁



EDA简介

EDA数字设计的涵义

以大规模可编程逻辑器件（PLD）为载体，以EDA开发软件为设计工具，完成用软件方式设计的电子系统到硬件系统的逻辑编译、逻辑仿真、编程下载等工作，最后形成集成电子系统 或专用集成芯片的一门技术。



EDA设计的优点

- 1、通过软件编程进行电路的设计；**
- 2、出错时，有错误提示；**
- 3、设计灵活方便，实验故障率低；**
- 4、节省设计时间，提高效率。**



EDA设计的应用

☆ 数字系统设计

MIDI音乐发生器、多功能电子表、交通灯、电梯控制器等

☆ 通信领域

调制解调器、循环冗余校验、PCM采编器、CDMA匹配滤波器等

☆ 数字信号处理领域

快速乘法器、图像编解码等

☆ 微机系统领域

键盘接口、存储器设计、单片机接口等



PLD生产厂商及软件

Xilinx → Vivado

Altera → QuartusII

Lattice → Diamond



设计目的

- 学习基于可编程逻辑器件的EDA设计方法；
- 掌握EDA集成工具软件Vivado的使用；
- 掌握硬件描述语言Verilog的使用；
- 掌握EDA开发板EGO1的使用；
- 掌握基于EDA的直接数字频率合成器（DDS）的设计。



学习内容

- **Vivado软件+EGO1开发板**
- **硬件描述语言Verilog**
- **直接数字频率合成器（DDS）的设计**



直接数字频率合成器

Direct Digital Frequency Synthesizer



一、基本原理

直接数字频率合成器 (Direct Digital Frequency Synthesizer 简称DDFS或**DDS**)。是一种基于全数字技术，从相位概念出发直接**合成所需波形**的一种频率合成技术。

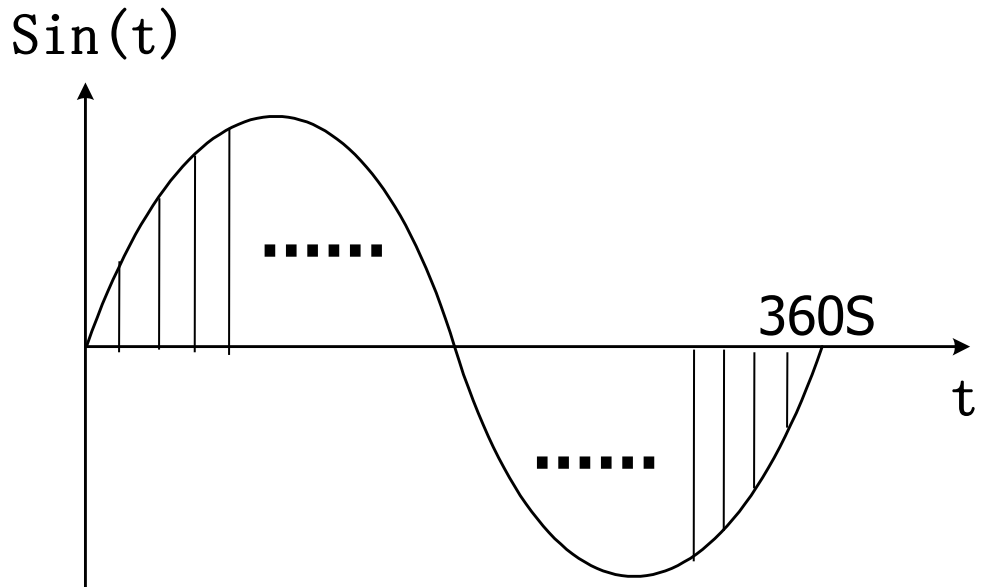
数字信号 —— 模拟信号
(幅值、频率、相位可调)

一般原理

事先将要产生的正弦波的值存在ROM中

[illegible]

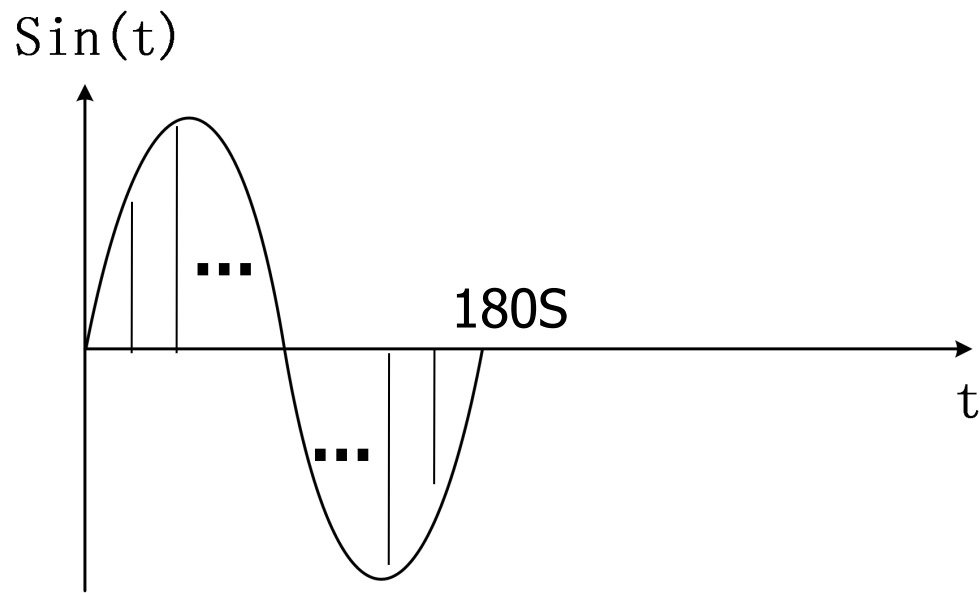
*以速率 $T_c = 1\text{S}$ 从第1个单元到第360个单元以步长**K=1**读出数据，需要360S的时长，则读出的信号频率是 $\frac{1}{360}\text{ Hz}$



事先将要产生的正弦波的值存在**ROM**中

0°	sin(0°)
1°	sin(1°)
2°	sin(2°)
3°	sin(3°)
	sin(4°)
	sin(5°)
⋮	
	sin(357°)
	sin(358°)
	sin(359°)

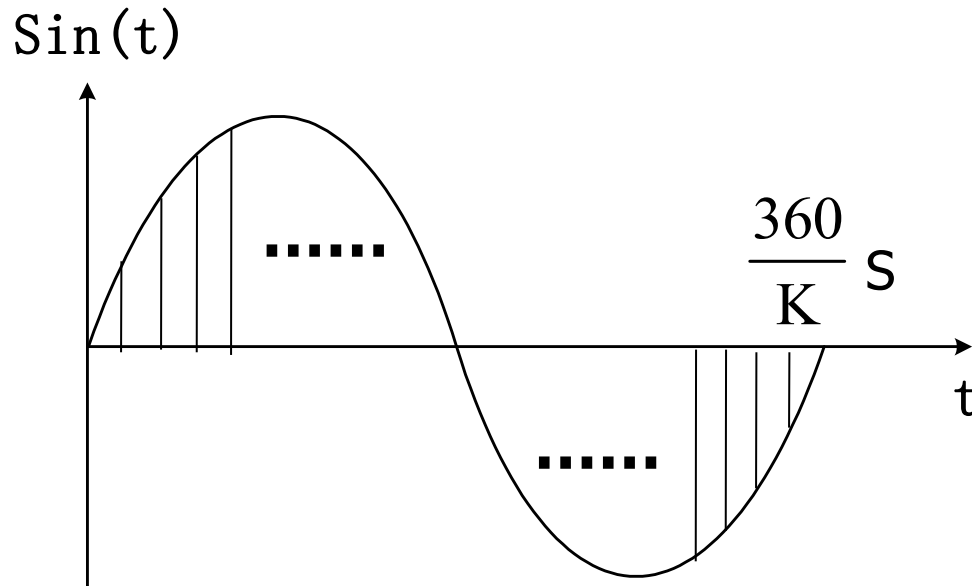
*以速率 $T_c = 1S$ 从第1个单元到第360个单元以步长**K=2**读出数据，需要180S的时长，则读出的信号频率是 $\frac{1}{180}$ Hz



事先将要产生的正弦波的值存在**ROM**中

0°	$\sin(0^\circ)$
1°	$\sin(1^\circ)$
2°	$\sin(2^\circ)$
3°	$\sin(3^\circ)$
	$\sin(4^\circ)$
	$\sin(5^\circ)$
<div>⋮</div>	
	$\sin(357^\circ)$
	$\sin(358^\circ)$
	$\sin(359^\circ)$

*以速率 $T_c = 1S$ 从第1个单元到第360个单元以步长**K**读出数据，需要 $\frac{360}{K} S$ 的时长，则读出的信号频率是 $\frac{K}{360} Hz$



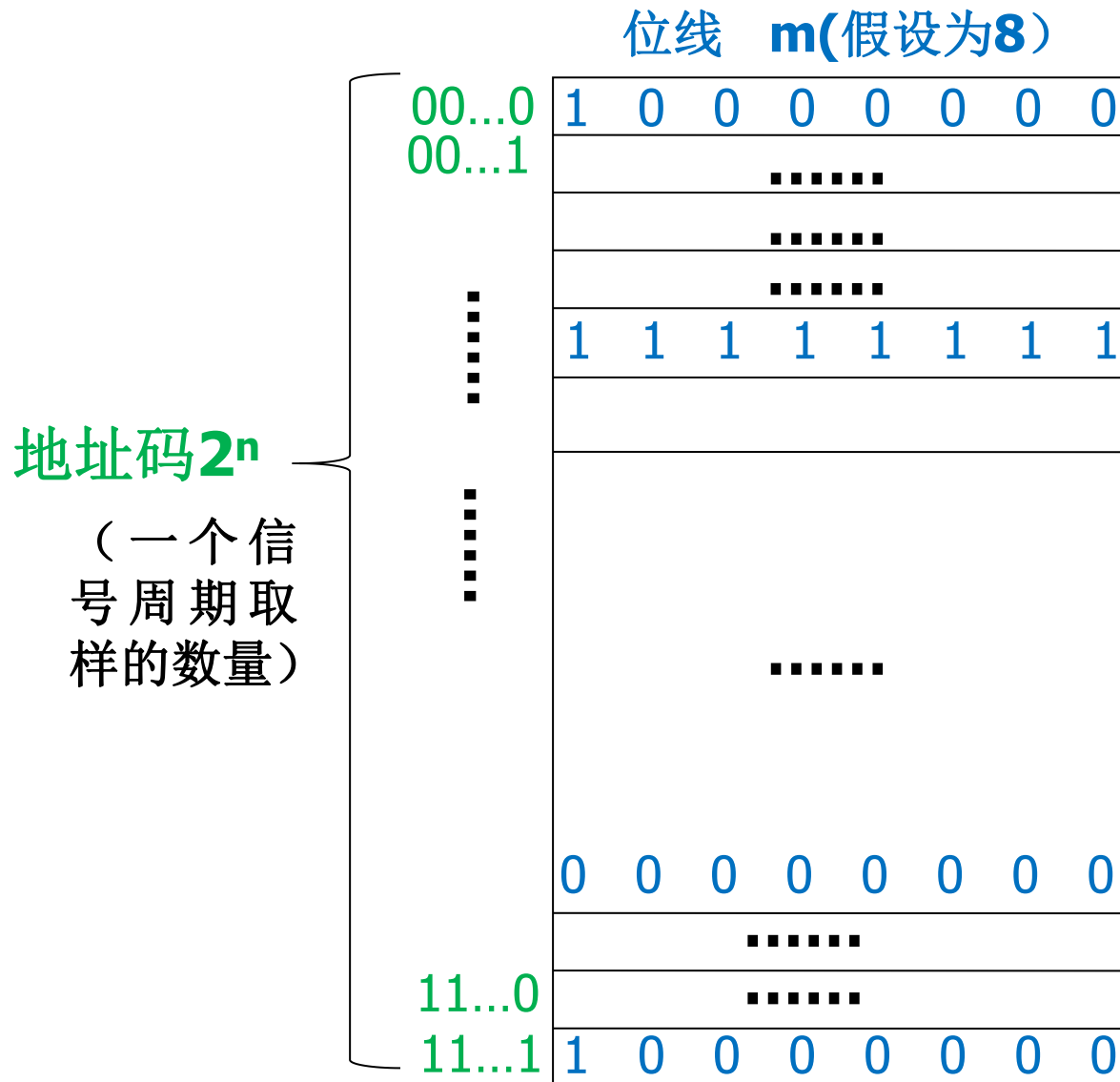
ROM中应存sin值的数字信号

ROM的容量为:

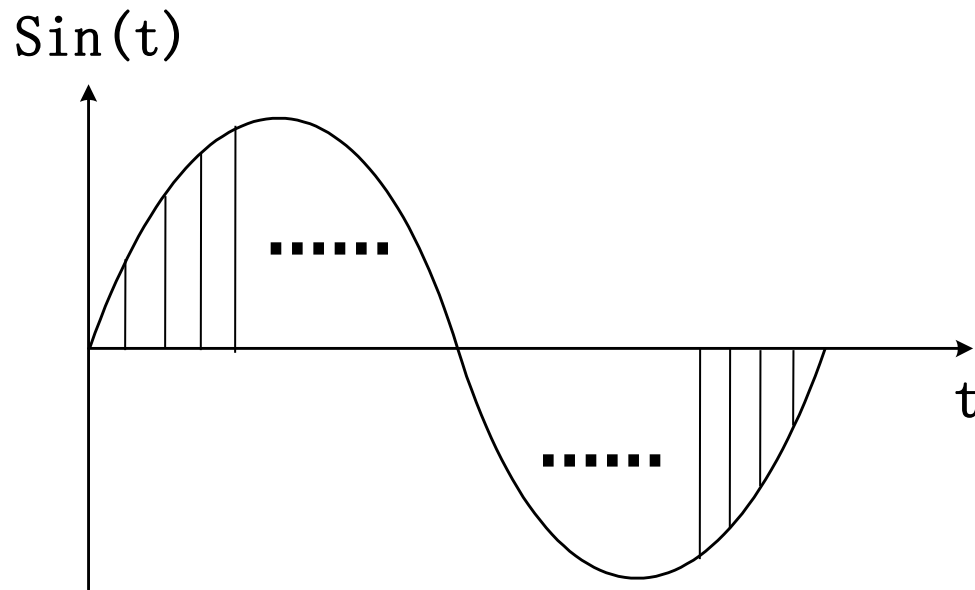
$$N \times m \quad \text{字线} \times \text{位线}$$

$$N = 2^n \quad n \text{为地址线}$$

ROM中存放
了一个周期
的**数字化**的
正弦信号



ROM中数字信号的产生



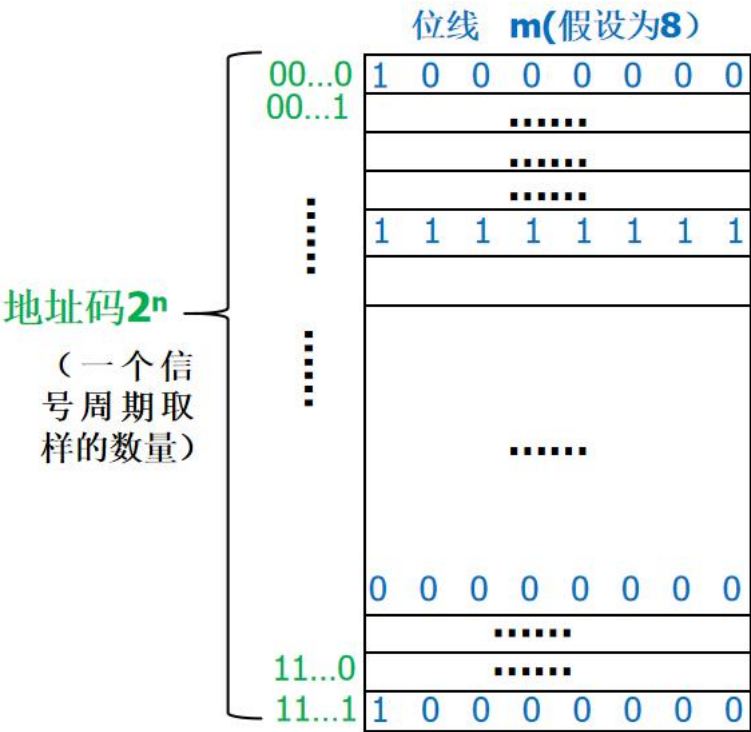
抽样： 抽样个数 **N**，抽样的单位为 $\frac{2\pi}{N}$

第**n**个抽样点的值为 $\sin(n \cdot \frac{2\pi}{N})$

量化编码:

量化: 把每一个sin值转换成一定范围内的十进制数值

编码: 将十进制数值转换成二进制数值



最大值 $\sin(\frac{\pi}{2}) = 1$ \longrightarrow 1111 1111 (255)

■■■

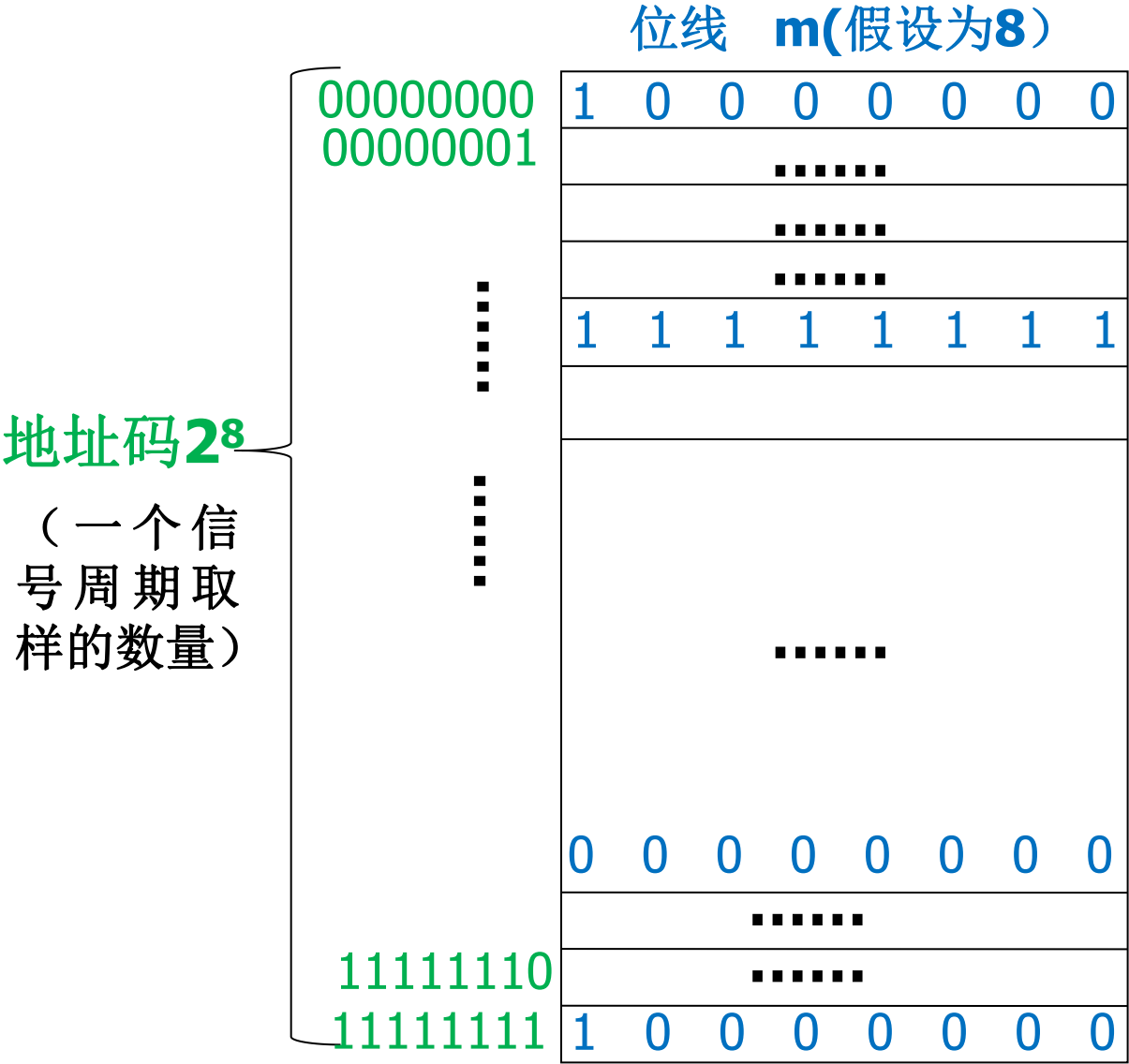
$\sin(\pi) = 0$ \longrightarrow 1000 0000 (128)

最小值 $\sin(\frac{3\pi}{2}) = -1$ \longrightarrow 0000 0000 (0)

■■■

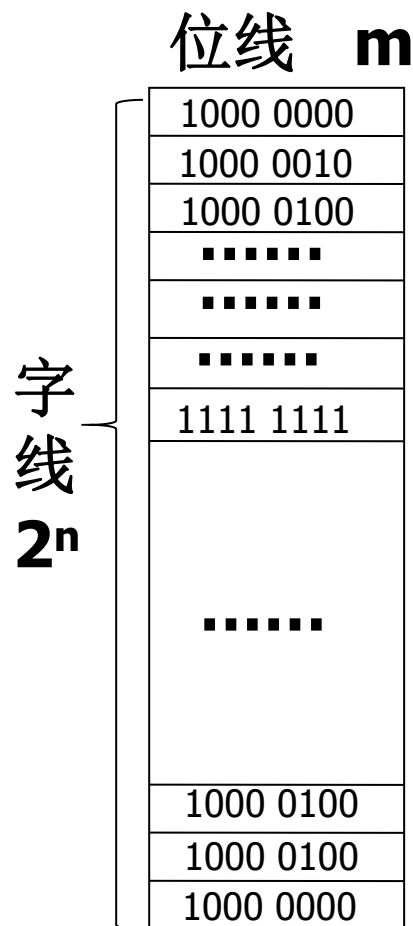
$\sin(n \cdot \frac{2\pi}{N})$ \longrightarrow $\sin(n \cdot \frac{2\pi}{N}) \times 127 + 128$

将量化和编码的值放置在**ROM**中

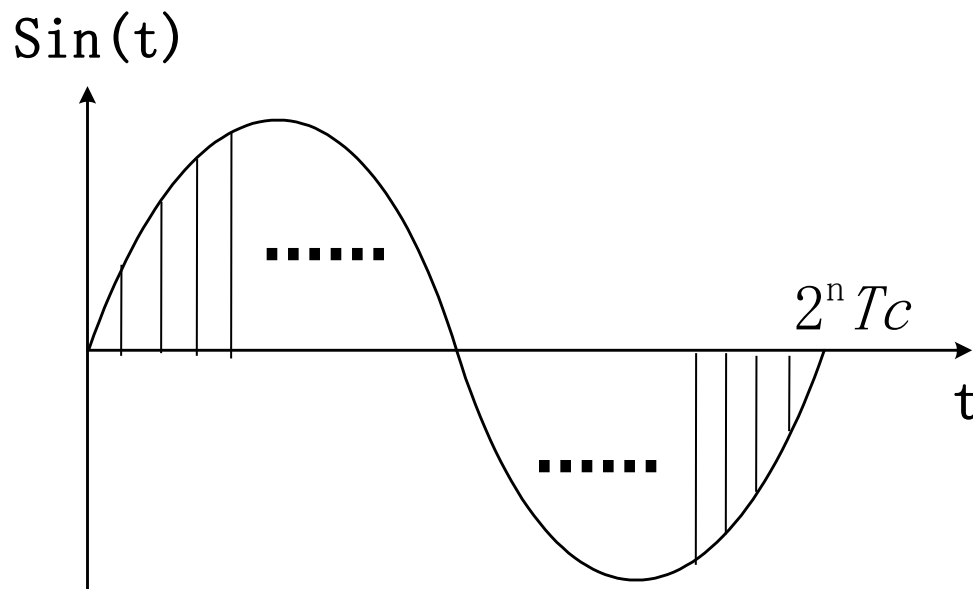


数字信号——模拟信号

$$A \cdot \sin(2\pi f t + \varphi)$$

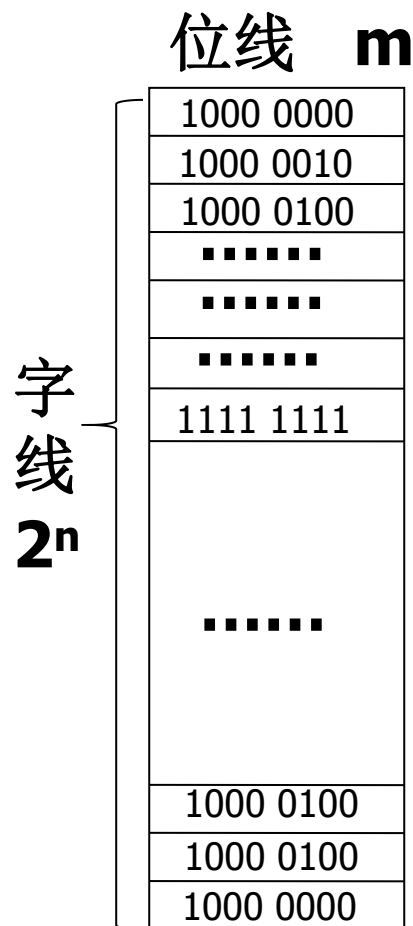


*以速率 $T_c = \frac{1}{f_c}$ 从第1个单元到第 2^n 个单元以步长 **K=1** 读出数据，需要 $2^n T_c$ 的时长，则读出的信号频率是 $\frac{f_c}{2^n}$

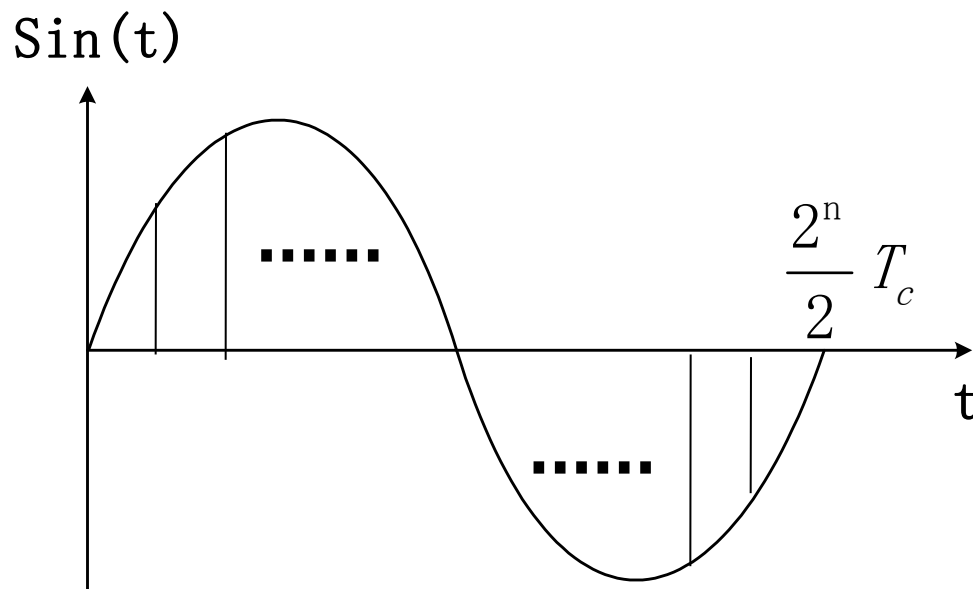


数字信号——模拟信号

$$A \cdot \sin(2\pi f t + \varphi)$$

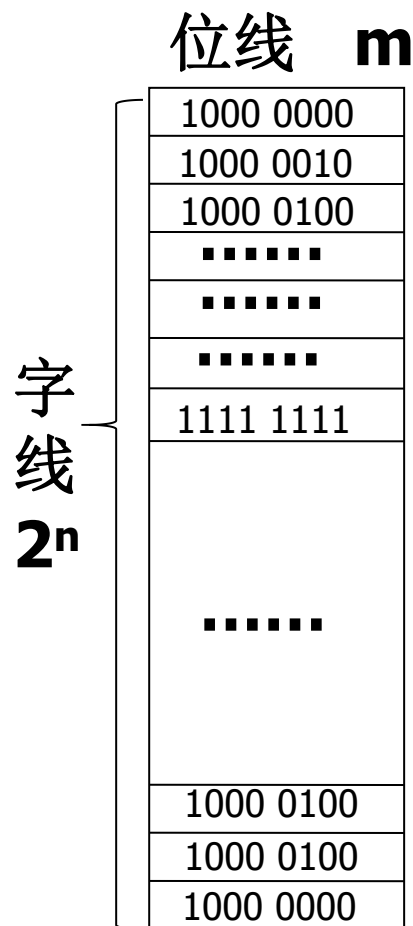


* 以速率 $T_c = \frac{1}{f_c}$ 从第1个单元到第 2^n 个单元以步长 $K=2$ 读出数据，需要 $\frac{2^n}{2} T_c$ 的时长，则读出的信号频率是 $\frac{2f_c}{2^n}$



数字信号——模拟信号

$$A \cdot \sin(2\pi f t + \varphi)$$



*以速率 $T_c = \frac{1}{f_c}$ 从第1个单元到第 2^n 个单元以步长 $K=1$ 读出数据，需要 $2^n T_c$ 的时长，则这个信号的频率是 $\frac{f_c}{2^n}$

*步长 $K=2$ ，需要 $\frac{2^n}{2} T_c$ 的时长，

信号的频率是 $\frac{2f_c}{2^n}$

*步长 $K=k$ 需要 $\frac{2^n}{k} T_c$ 的时长，

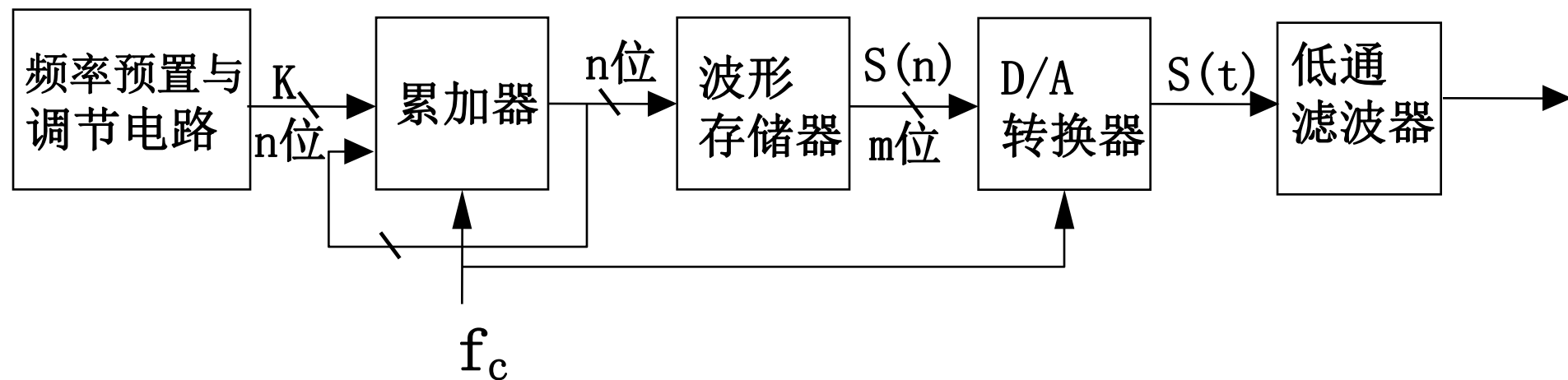
信号的频率是 $\frac{kf_c}{2^n}$

DDS输出的最低频率 $K=1$ 时 $f_c/2^n$

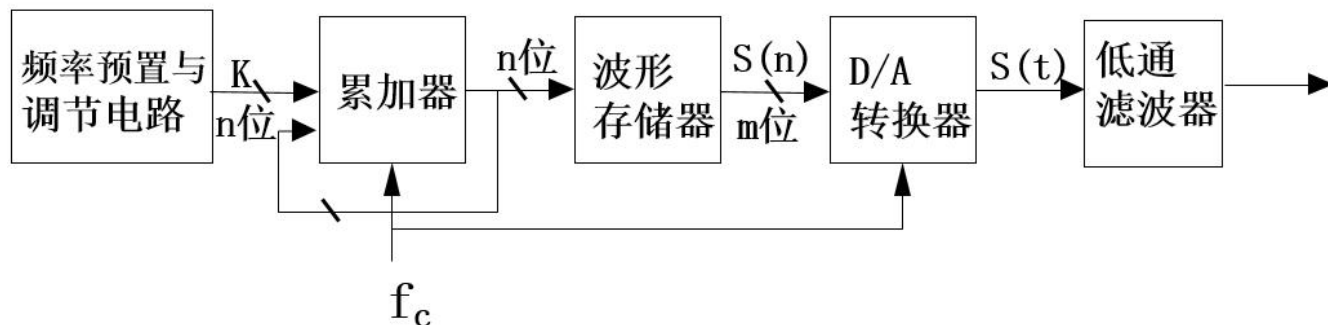
DDS输出的最高频率 Nyquist采样定理决定，即 $f_c/2$



二、DDS 电路原理组成



1、频率预置与调节电路



作用： 实现频率控制量的输入；

不变量K被称为相位增量，也叫**频率控制字**。

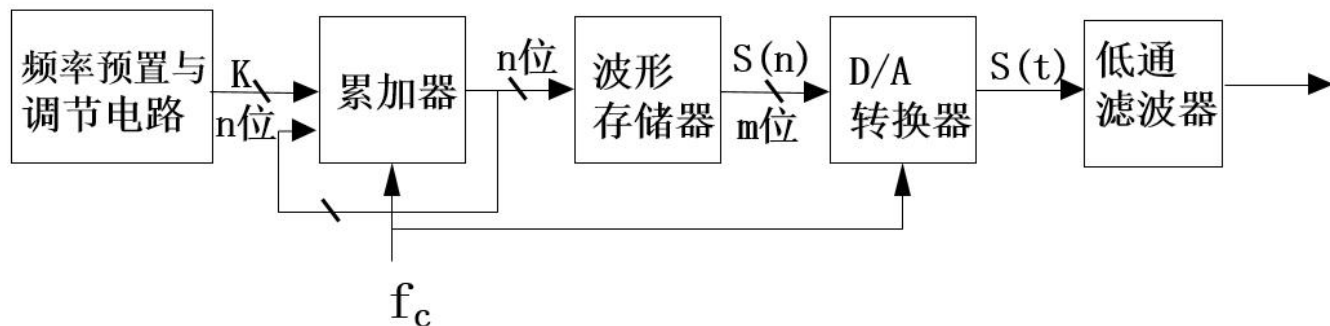
DDS输出信号的频率为： $\frac{Kf_c}{2^n}$ f_c 为基准时钟频率，
 n 为累加器的位数

结论： (1) 要改变DDS的输出频率，只要改变频率控制字K即可。
(2) 只要n足够大（模拟信号抽样的点数足够多），
DDS可以得到很细的频率间隔。

DDS输出的**最低频率** $K=1$ 时 $f_c/2^n$

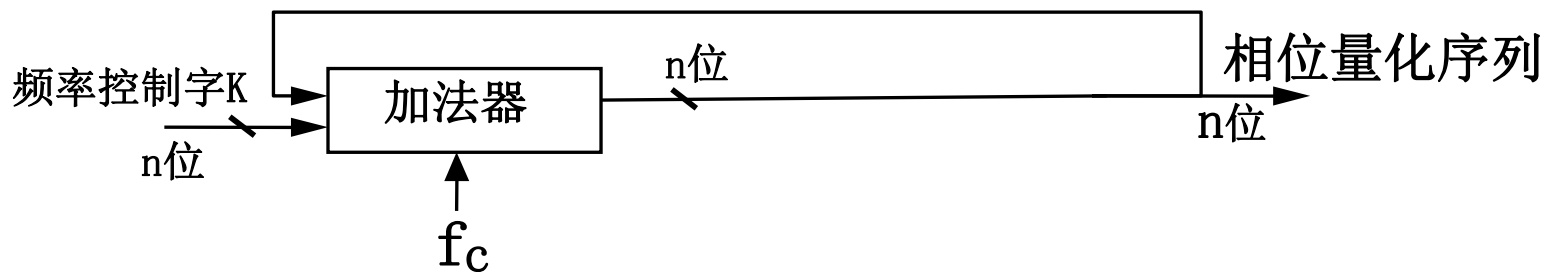
DDS输出的**最高频率** Nyquist采样定理决定，即 $f_c/2$ ，
K的最大值为 2^{n-1}

2、累加器



作用： 为波形存储器提供地址变量；

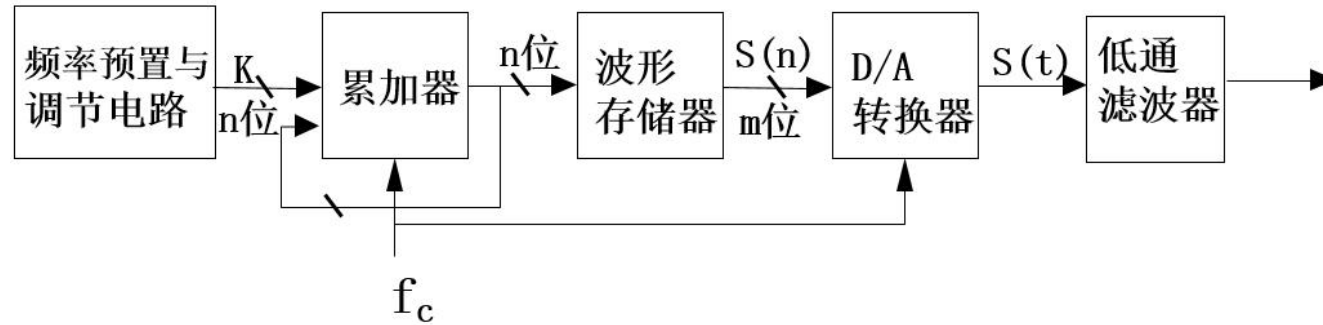
组成：



注意： 当相位累加器累加满量时就会产生一次溢出，即完成一个信号周期。

(溢出之后不必回零，继续累加，可以产生连续相位的波形)

3、波形存储器



作用： 进行波形的相位—幅值转换。

组成：



原理： ROM的 n 位地址

把 0° — 360° 的正弦角度离散成具有 $N=2^n$ 个样值的序列

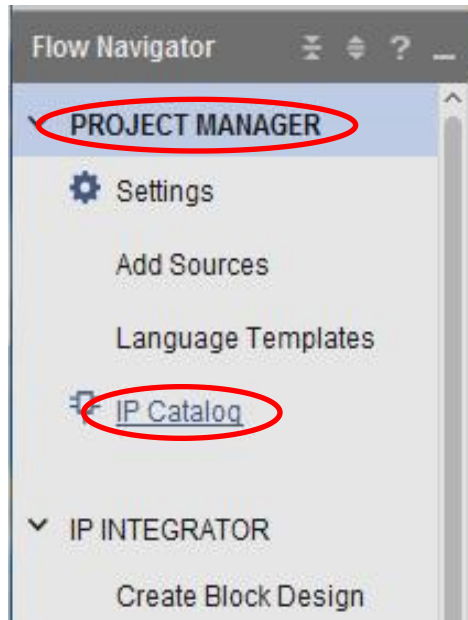
ROM的 m 位数据位

2^n 个抽样值的幅值量化为 m 位二进制数据

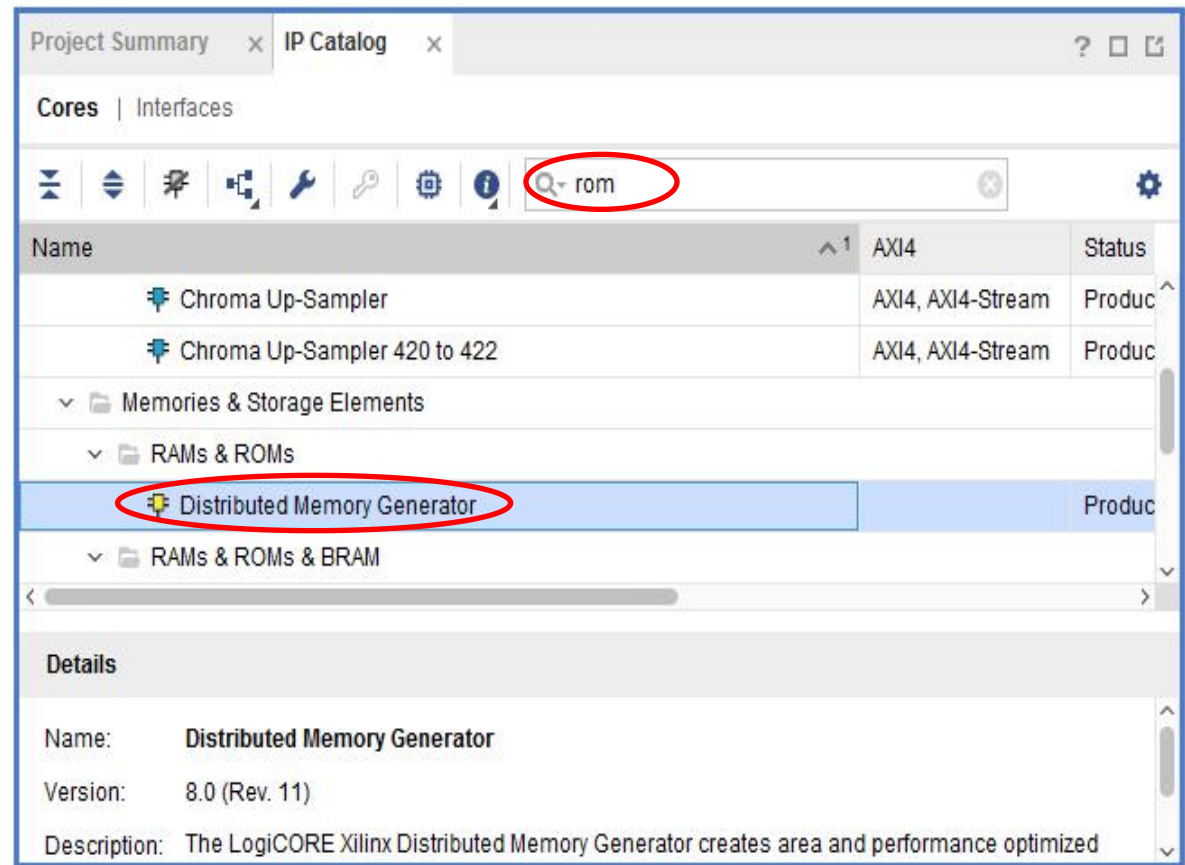


存储器IP核的生成

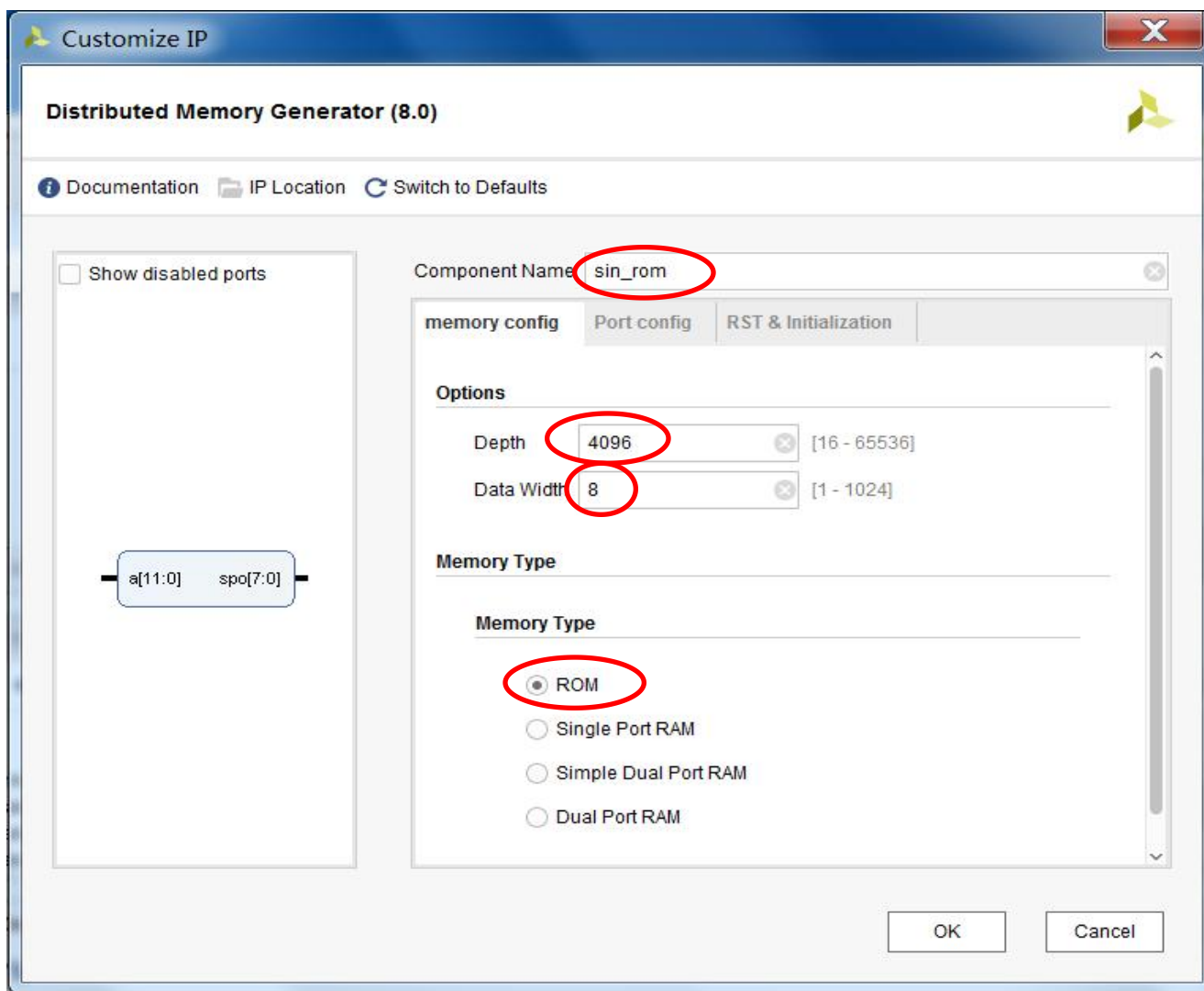
以存放一个周期正弦信号量化值、容量为 $2^{12} \times 8$ 位的ROM为例。



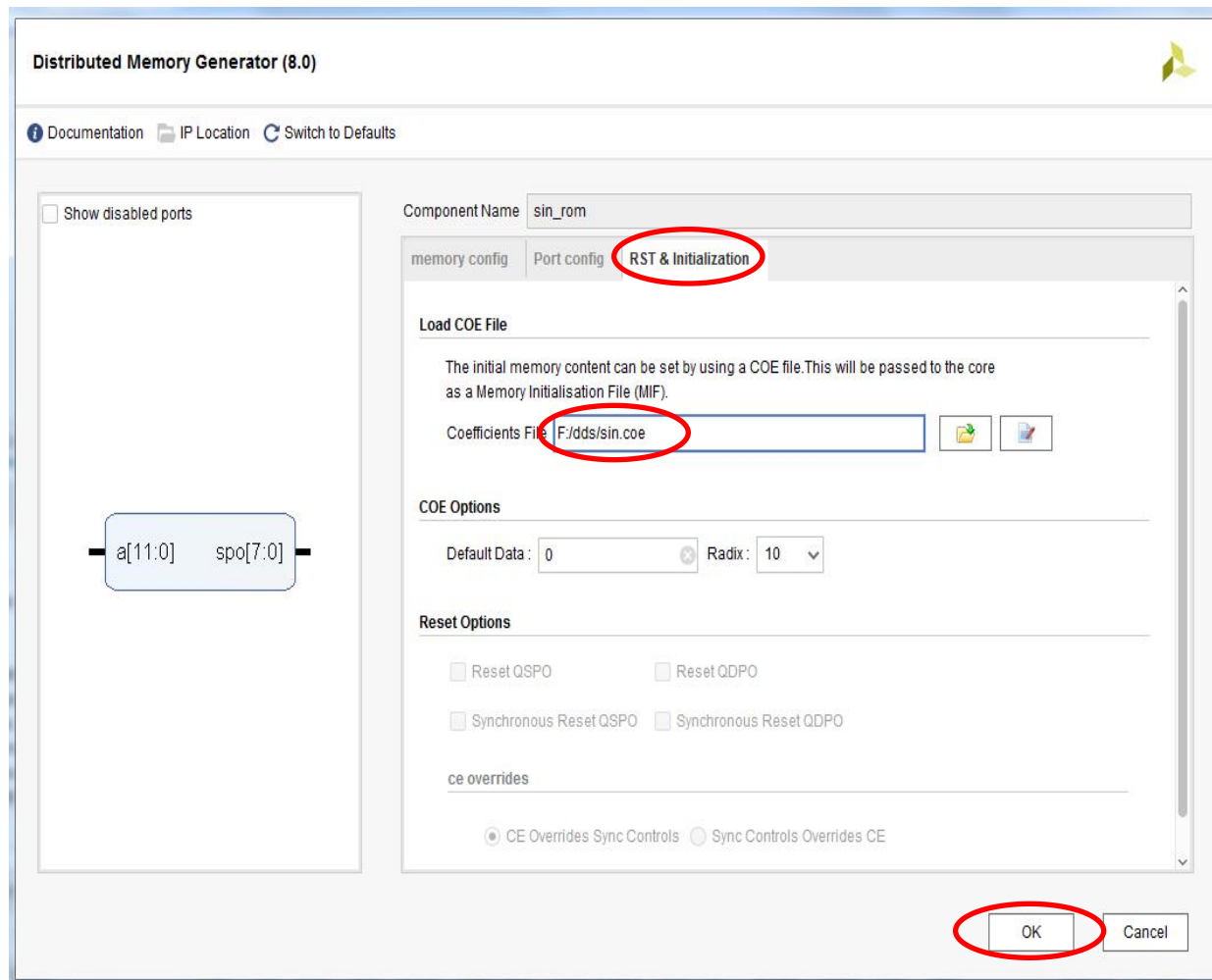
PROJECT MANAGER
→ IP Catalog
→ 搜索栏键入rom
→ Distributed Memory Generator



选用IP核



参数设置界面



RST & Initialization
→ Coefficients File
→ OK

调用预先存放的.coe文件

.coe文件格式（可利用MATLAB等软件预先生成）：

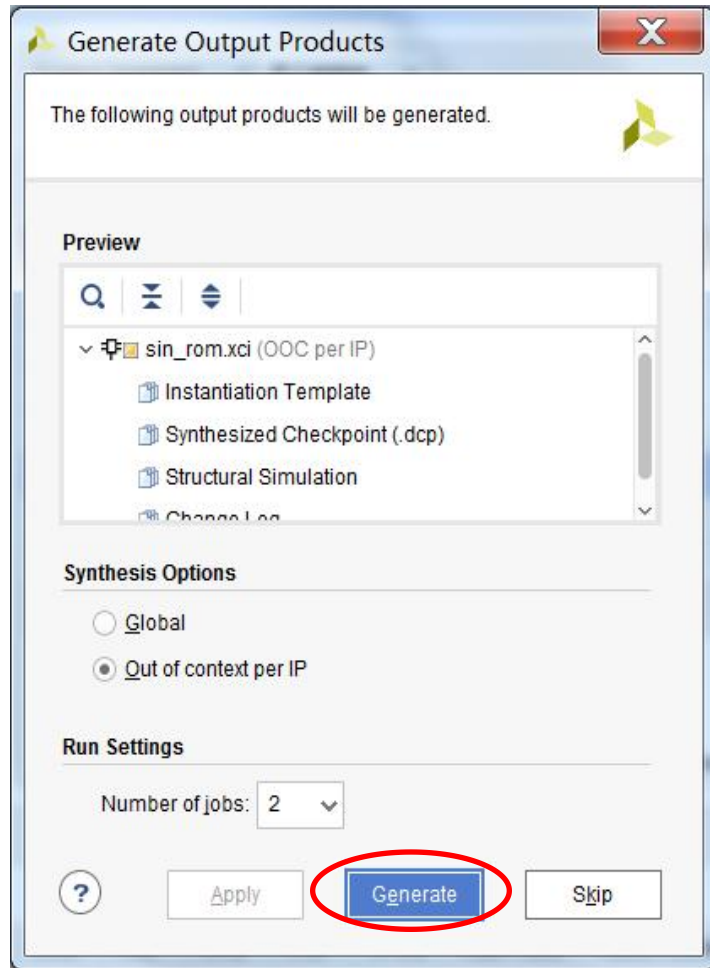
```
memory_initialization_radix=10;  
memory_initialization_vector=  
127, 127, 128, 128, 129,  
129, 130, 130, 131, 131,  
132, 132, 133, 133, 134,  
134, 134, 135, 135, 136,  
136, 136, .....  
.....
```

```
121, 121, 122, 122, 123,  
123, 123, 124, 124, 124,  
125, 125, 125, 126, 126,  
127, 127;
```

第一行定义数据采用什么进制，
第二行定义初始化的数值向量，
第三行开始是数据，
每个数据用逗号“,”隔开，

最后一个数据后用分号“;”结束。

.coe文件格式



Generate→

生成IP核

仿真波形中设置模拟信号的显示

Simulation - Behavioral Simulator

sinrom_sim.v x div_sim_behav.wcfg x accumulator_sim_behav.wcfg*

Scope

Sources

Objects

Name

a[11:0]

a[11:0]

spo[7:0]

spo[7:0]

单击右侧

Name	Value
a[11:0]	213
spo[7:0]	db

Waveform Style

Signal Color

Divider Color

Radix

Show as Enumeration

Reverse Bit Order

New Divider

Digital

Analog

Analog Settings...

247,720 us

247,731.394000 us

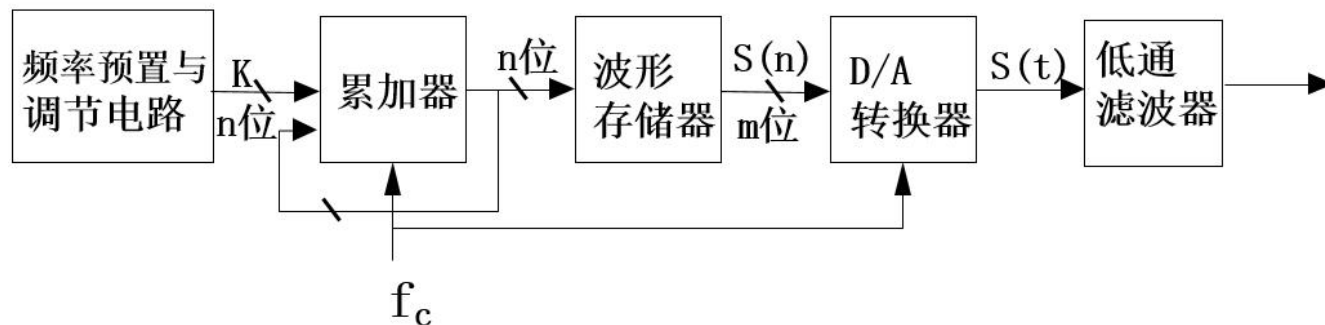
247,740 us

247,760 us

247,780 us

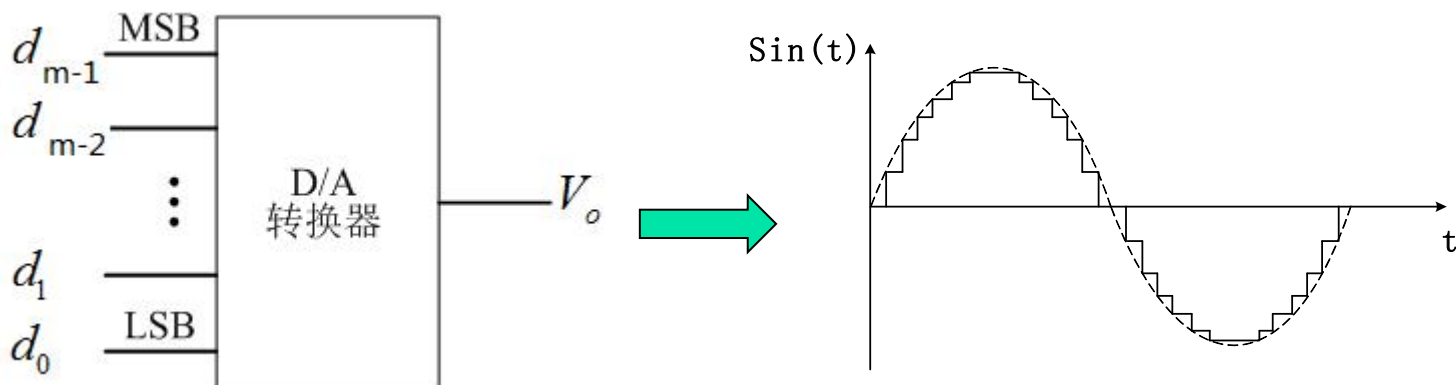
247,800 us

4、D/A转换器



作用： 将ROM输出出来的二进制数转换为与二进制数值成比例的电压量。

组成：





EG01 上集成的 8 位数模转换芯片（DAC0832）

DAC0832 引脚标号	原理图标号	FPGA IO PIN
DI0	DAC_D0	T8
DI1	DAC_D1	R8
DI2	DAC_D2	T6
DI3	DAC_D3	R7
DI4	DAC_D4	U6
DI5	DAC_D5	U7
DI6	DAC_D6	V9
DI7	DAC_D7	U9
ILE(BYTE2)	DAC_BYTE2 1	R5
CS	DAC_CS# 0	N6
WR1	DAC_WR1# 0	V6
WR2	DAC_WR2# 0	R6
XFER	DAC_XFER# 0	V7

设计文件

```
module top(  
    input clk, frekey, shiftkey, clearkey,  
    output [7:0] dadata,  
    output dacile, daccs, dacwr1, dacwr2, dacxfer  
);
```

```
assign dacile=1;  
assign daccs=0;  
assign dacwr1=0;  
assign dacwr2=0;  
assign dacxfer=0;
```

约束文件

```
set_property IOSTANDARD LVCMOS33 [get_ports daccs]  
set_property IOSTANDARD LVCMOS33 [get_ports dacile]  
set_property IOSTANDARD LVCMOS33 [get_ports dacwr1]  
set_property IOSTANDARD LVCMOS33 [get_ports dacwr2]  
set_property IOSTANDARD LVCMOS33 [get_ports dacxfer]  
set_property PACKAGE_PIN N6 [get_ports daccs]  
set_property PACKAGE_PIN R5 [get_ports dacile]  
set_property PACKAGE_PIN V6 [get_ports dacwr1]  
set_property PACKAGE_PIN R6 [get_ports dacwr2]  
set_property PACKAGE_PIN V7 [get_ports dacxfer]
```

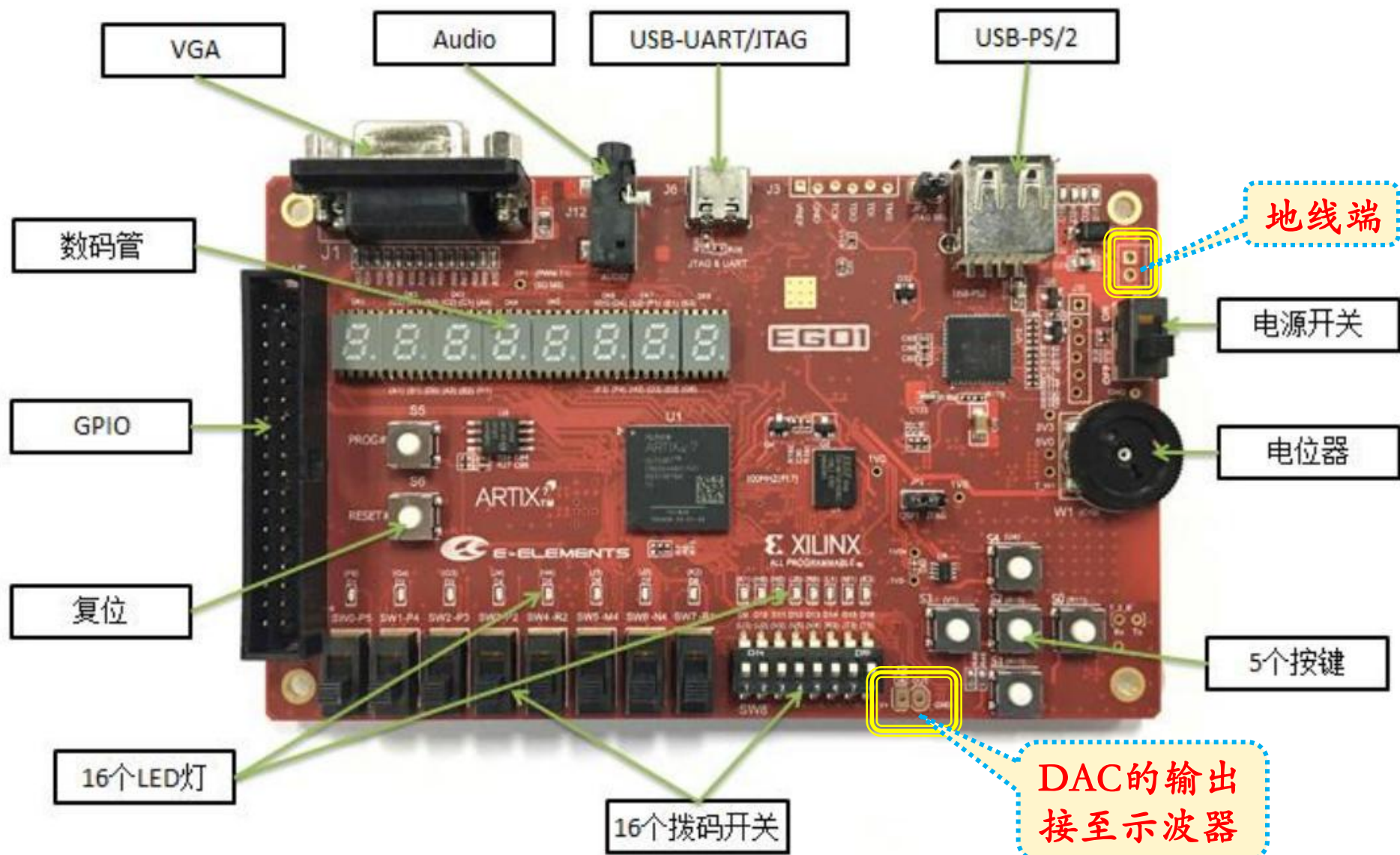
D/A芯片的控制信号



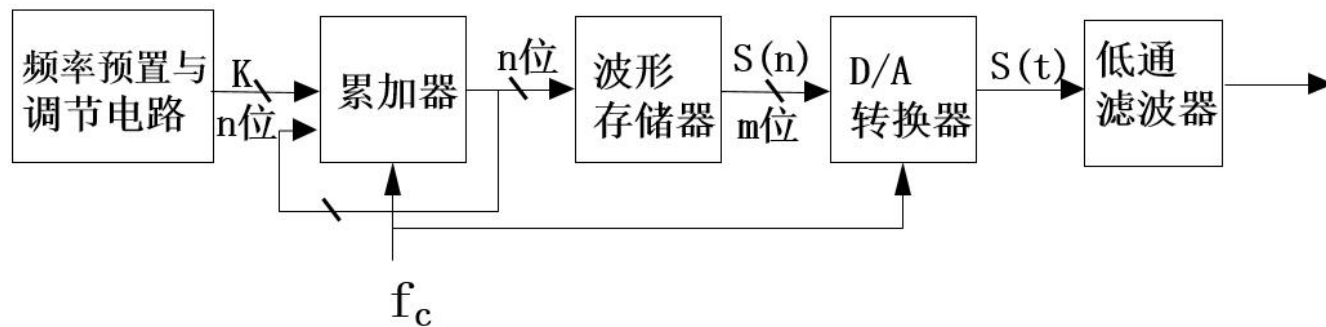
南京理工大学

NANJING UNIVERSITY OF SCIENCE & TECHNOLOGY

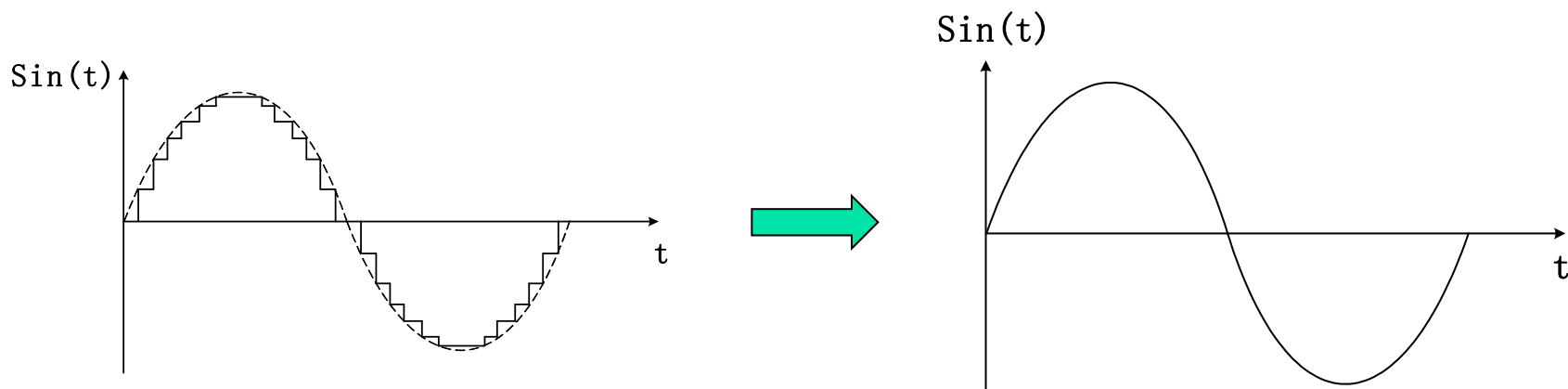
EGO1 板卡图示



5、低通滤波器

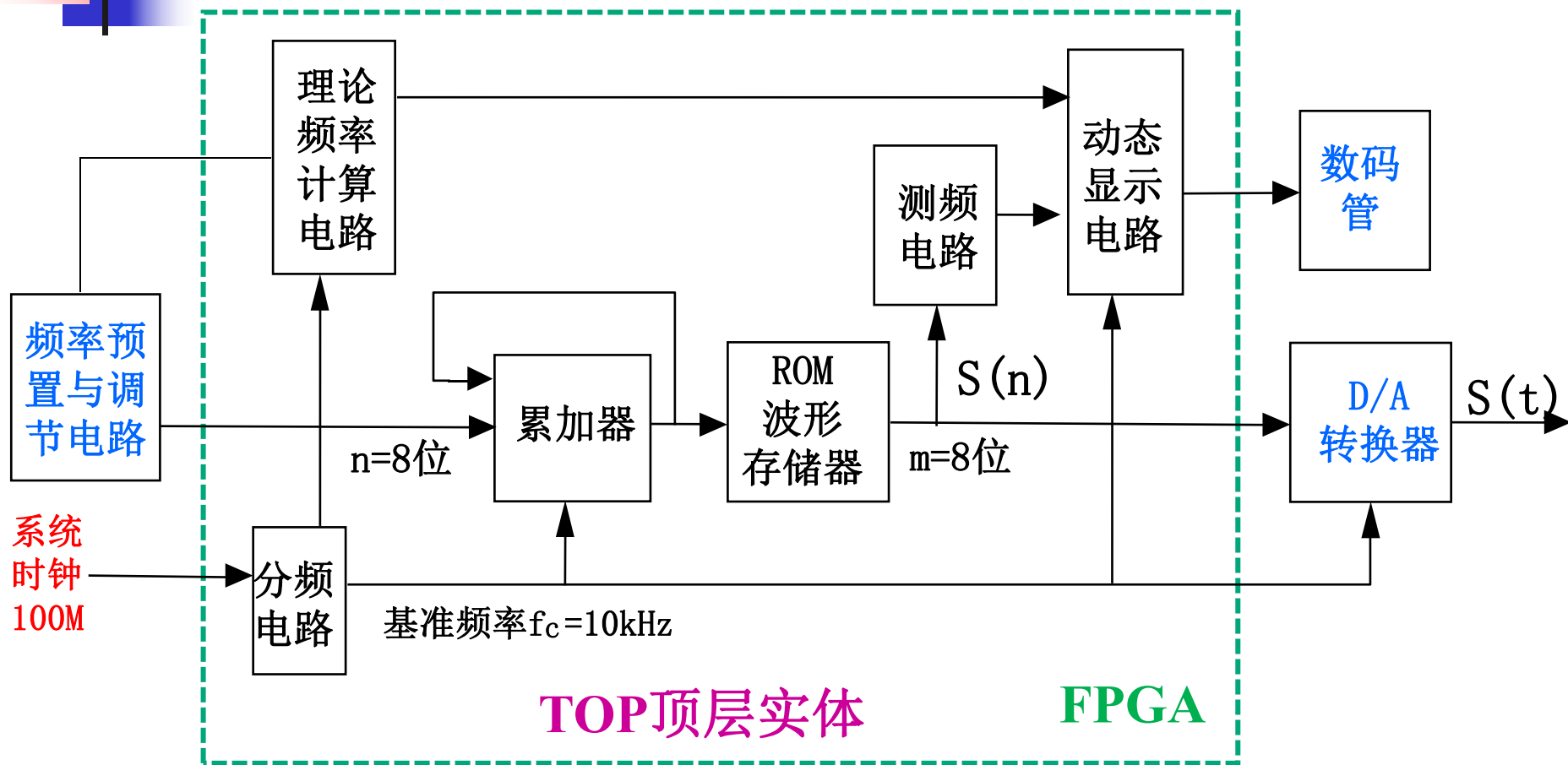


作用： 滤除生成的阶梯形正弦波中的高频成分，
将其变成光滑的正弦波。





三、基于FPGA的DDS设计框图





四、设计包含的电路模块

1、分频电路

输入：系统时钟100MHz

输出：10KHz（累加器时钟信号
动态显示扫描信号）
0.5Hz（测频基准信号）

2、累加器

输入：时钟10KHz
频率控制字(8个拨码开关输入)

输出：8位累加和（ROM地址）

3、ROM波形存储器

参数设置： $2^8 \times 8$

选择 .coe文件给ROM赋初值

4、测频电路

输入：使能信号、0.5Hz基准信号、
待测信号

输出：信号频率的实际值（0~5000）

5、理论频率计算电路

输入：频率控制字

输出：信号频率的理论值（0~5000）

6、动态显示电路

输入：时钟10KHz、信号频率理论值、
信号频率实际值

输出：七段显示器的位码、段码

7、TOP顶层实体



五、设计内容要求

I. 基本要求

1. 利用Xilinx公司的Vivado 软件和EGO1 Aritix-7实验板卡硬件平台（xc7a35tcsg324-1）、采用Verilog HDL实现DDS的设计；
2. 用示波器观察实验板上D/A转换器输出的正弦波形；改变频率控制字，观察波形的频率变化；
3. 设计测频电路，将测量的波形频率值显示在实验板卡上的右面4位数码管；
4. 基于DDS原理，计算波形频率的理论值，将理论计算值显示在实验板卡上的左面4位数码管；



五、设计内容要求

II. 拓展要求

5. 输出三角波、锯齿波、方波等多种波形；
6. 将班级学号显示与DDS电路合二为一；
7. 分量程显示频率；
8. ASK、FSK、PSK调制；
9. AM、FM调制；
10. 自主发挥，添加其他功能。



六、验收要求

1、实验情况说明(写在纸上, 上交)

- ★ 学号, 姓名, 同组同学; 分工情况;
- ★ 已完成电路系统的功能;
- ★ 若电路有问题, 写清故障的情况, 拟解决问题的方案;

2、实验板提前调整好

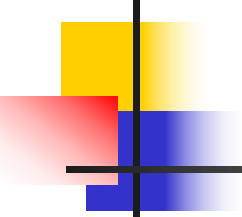
- ★ 示波器上显示基本正弦波形; 改变频率控制字, 观察波形频率变化, 比较示波器上的信号频率及测频结果。
- ★ 其他功能展示;
- ★ 若电路有问题, 看仿真波形。



七、设计报告要求

- ★ 封面：设计名称、学号、姓名、班级、设计时间等；
- ★ 摘要和关键词（中英文）；
- ★ 目录；
- ★ 正文：
 - * 设计要求说明
 - * 方案论证（整体电路的工作原理）
 - * 各子模块设计原理、源程序、测试程序、仿真结果
 - * 编程下载情况、电路调试结果



- 
-
- ★ 结论;
 - ★ 设计感想;
 - * 设计过程中遇到的问题及解决问题的方法;
 - * 设计的收获与感受;
 - * 期望及要求;
 - ★ 参考文献。
 - ★ 附录（如需要）



八、交报告时间及要求

★ **时间**：实验结束后一周周四晚上之前交给班长；

班长周五上午交至办公室；

★ **上交材料**：

- * 纸质实验报告
- * 电子版实验报告及设计程序

★ **电子材料要求**：

以学号+姓名建一目录，目录下包含实验报告word文档
和设计项目目录

9201040G0101姓名 — { 实验报告.DOC
DDS项目程序目录

注意：项目程序一般不超过10M，如果过大，请找到大文件并删除
(大文件一般在下面路径：项目路径\项目名.sim\sim_1\behav)



附录1

仿真波形中设置模拟信号的显示

SIMULATION - Behavioral Simulation

sinrom_sim.v x div_sim_behav.wcfg x accumulator_sim_behav.wcfg*

Scope
Sources
Objects

sinrom_sim.v x

Name
Value

> a[11:0] 213

> a[11:0]

> spo[7:0]

单击右侧

247,731.394000 us

247,720 us 247,740 us 247,760 us 247,780 us 247,800 us

Cut Ctrl+X
Copy Ctrl+C
Copy Value
Paste Ctrl+V
Delete Delete
Find... Ctrl+F
Find Value... Ctrl+Shift+F

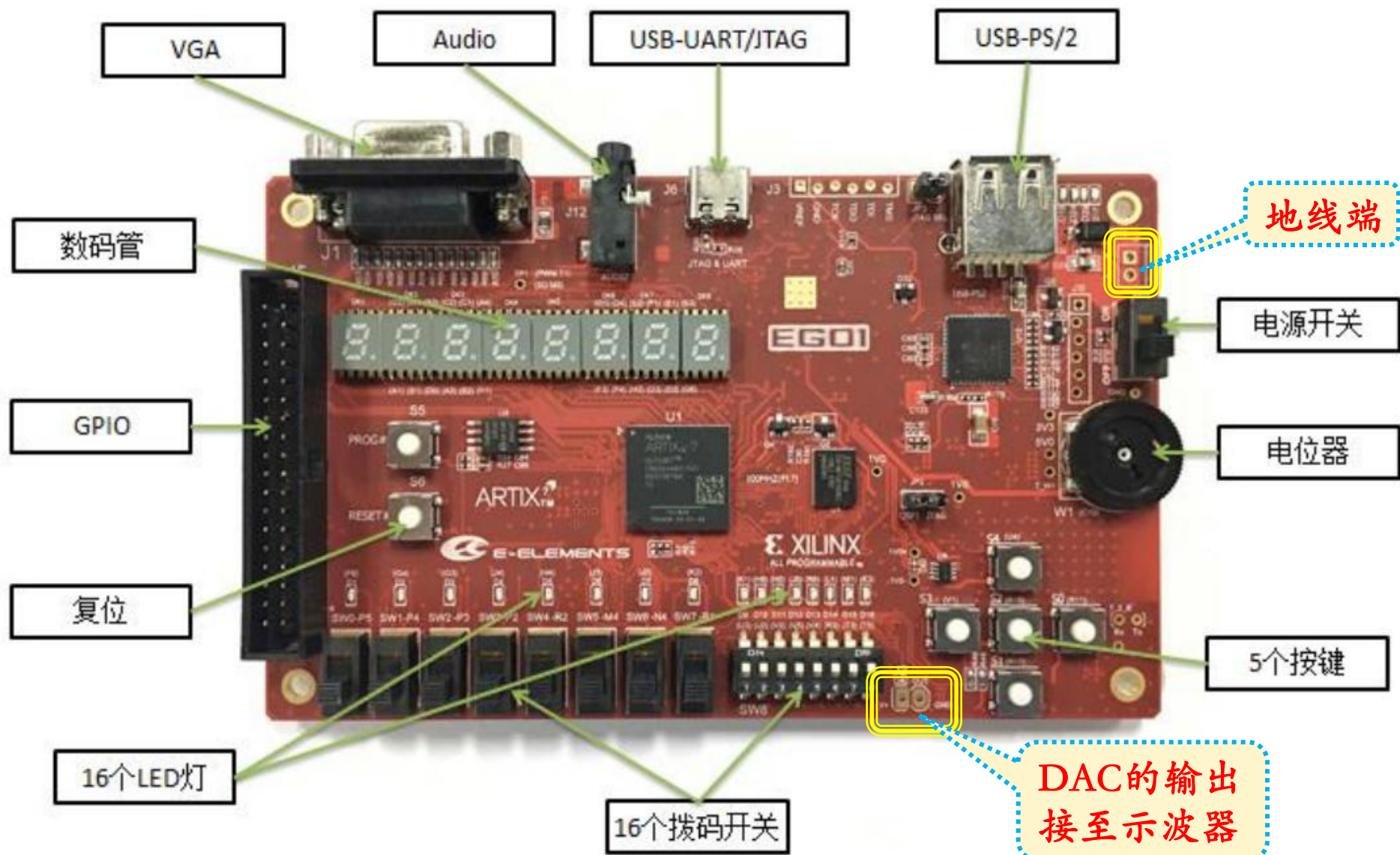
Waveform Style ▶
Signal Color ▶
Divider Color ▶
Radix ▶
Show as Enumeration
Reverse Bit Order
New Divider

Digital
✓ Analog
Analog Settings...



附录2

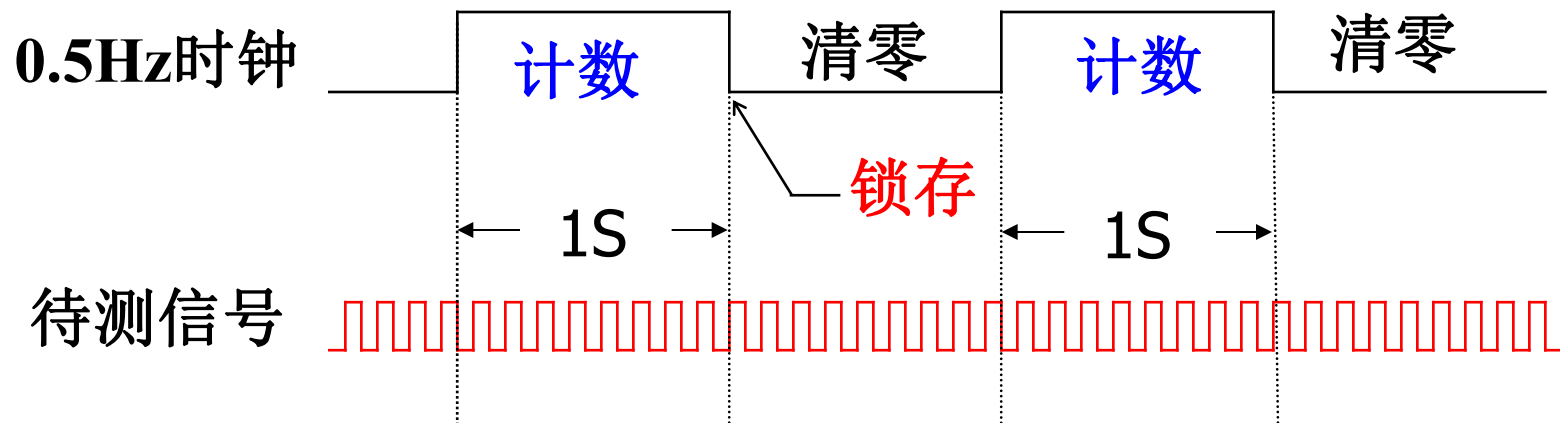
EGO1 板卡图示





附录3

测频电路波形示意图





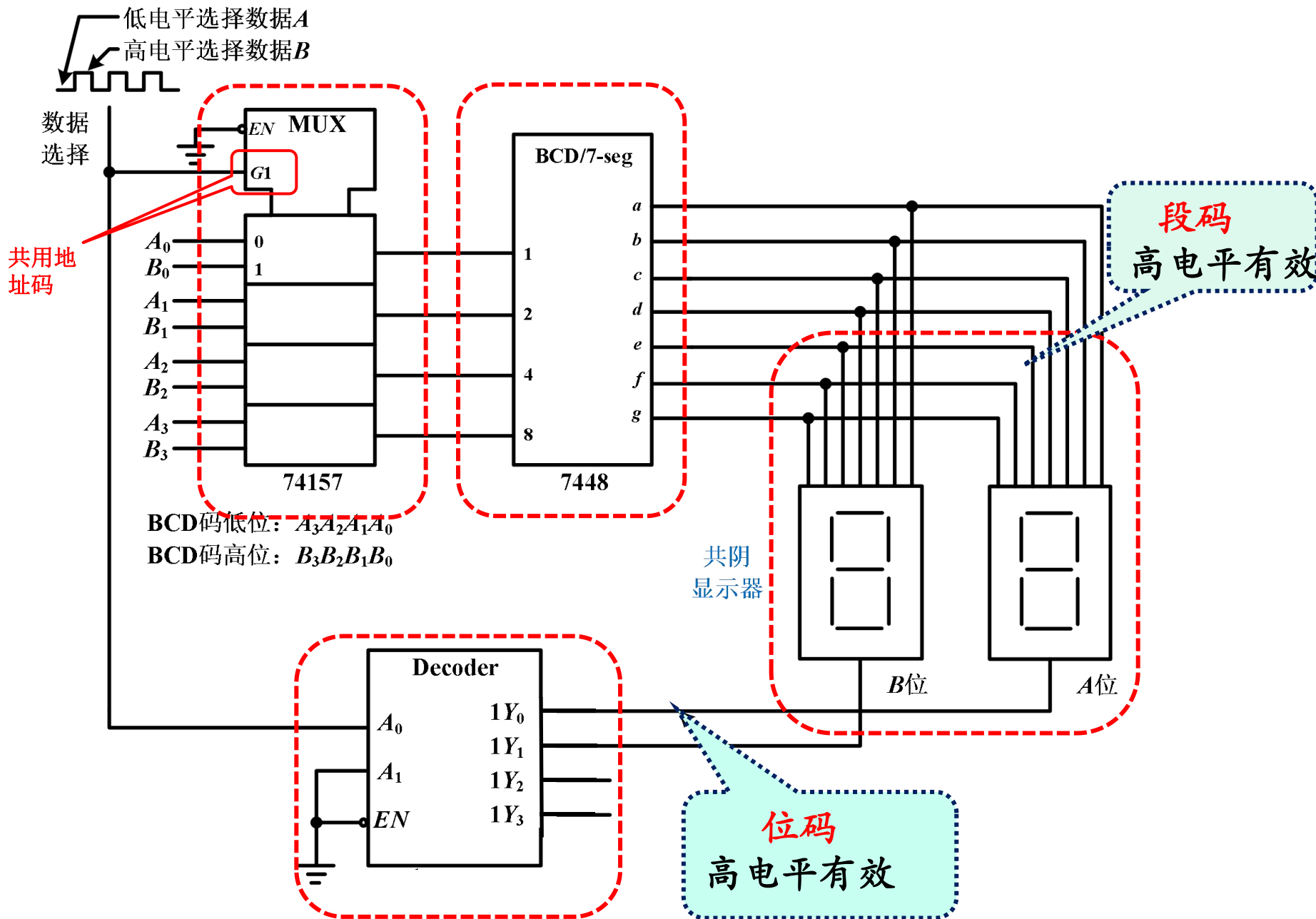
附录4

动态显示电路的基本原理

用于驱动七段数码管的显示电路分为两种，一种称为静态显示，另一种称为动态显示。

静态显示：每一个七段数码管显示器由单独的显示译码器驱动。

动态显示：利用数据选择器的分时复用功能，由一个显示译码器驱动任意多个七段数码管显示器。



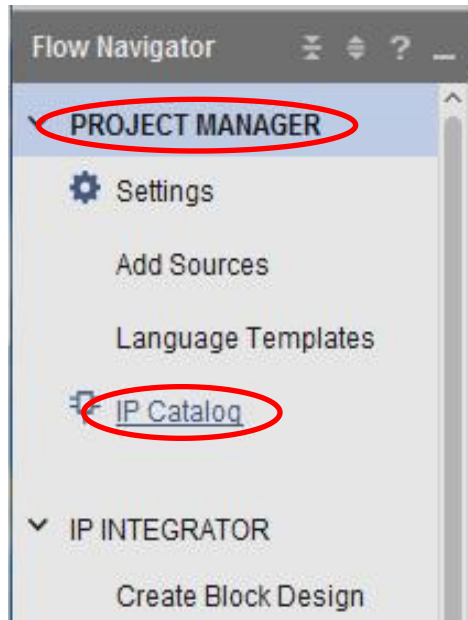
动态显示电路原理图



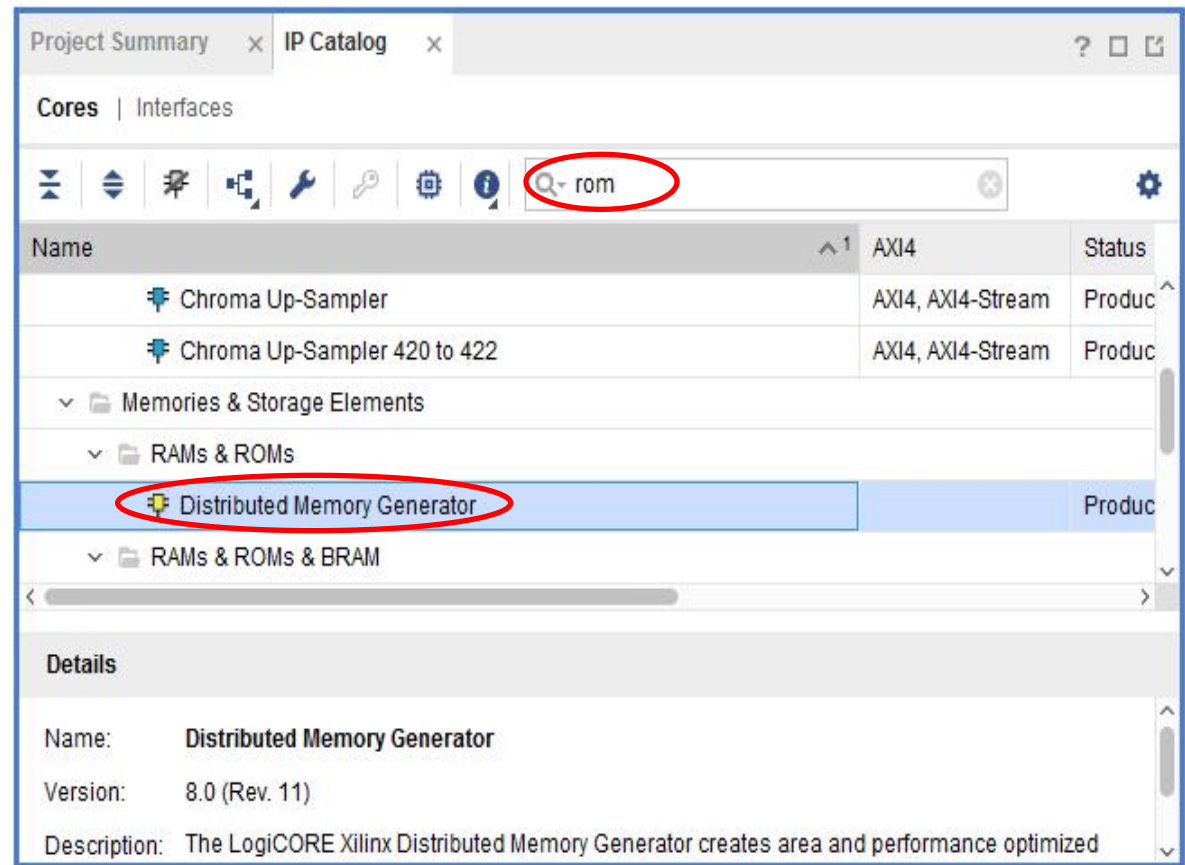
附录5

存储器IP核的生成

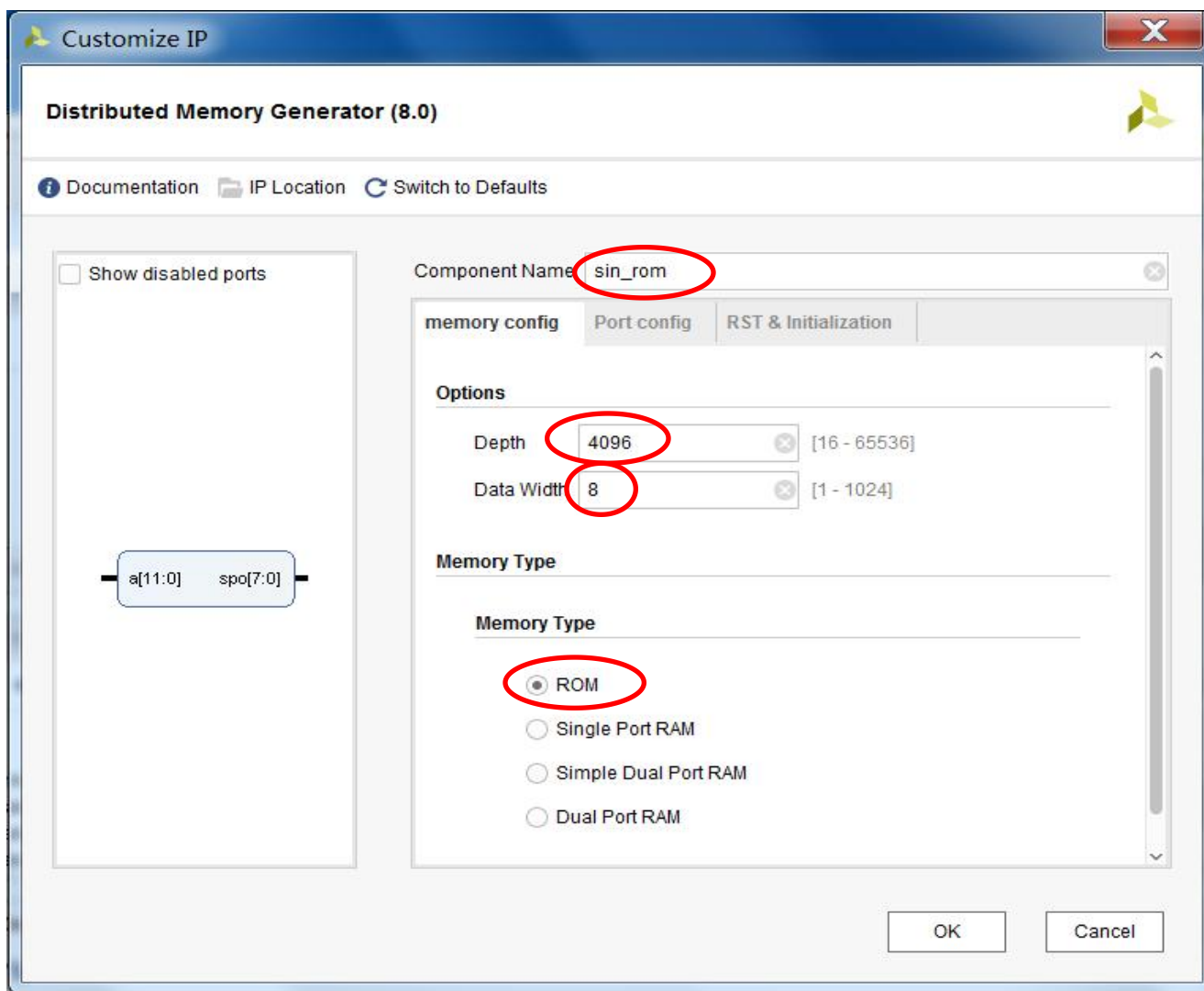
以存放一个周期正弦信号量化值、容量为 $2^{12} \times 8$ 位的ROM为例。



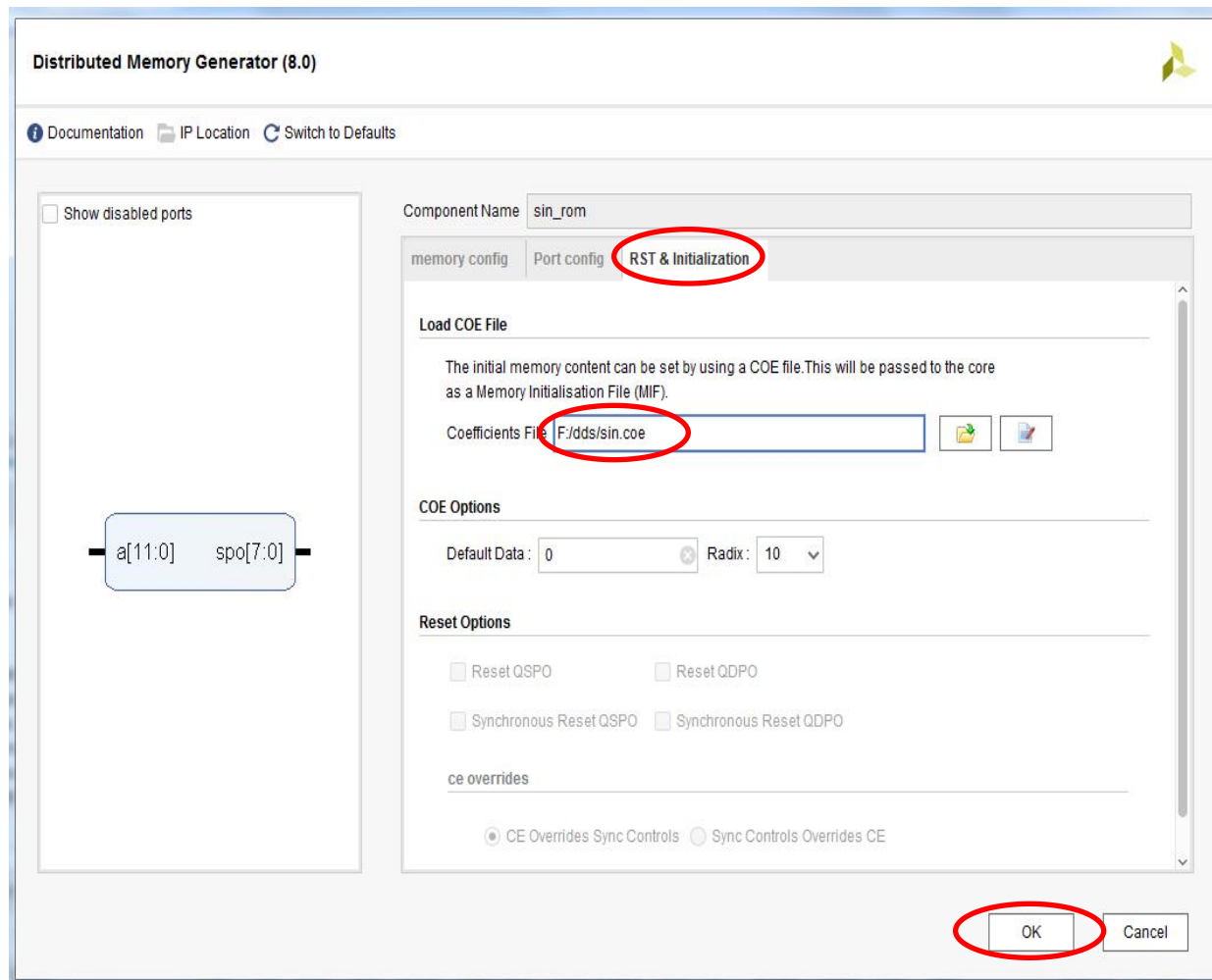
PROJECT MANAGER
→ IP Catalog
→ 搜索栏键入rom
→ Distributed Memory Generator



选用IP核



参数设置界面



RST & Initialization
→ Coefficients File
→ OK

调用预先存放的.coe文件

.coe文件格式（可利用MATLAB等软件预先生成）：

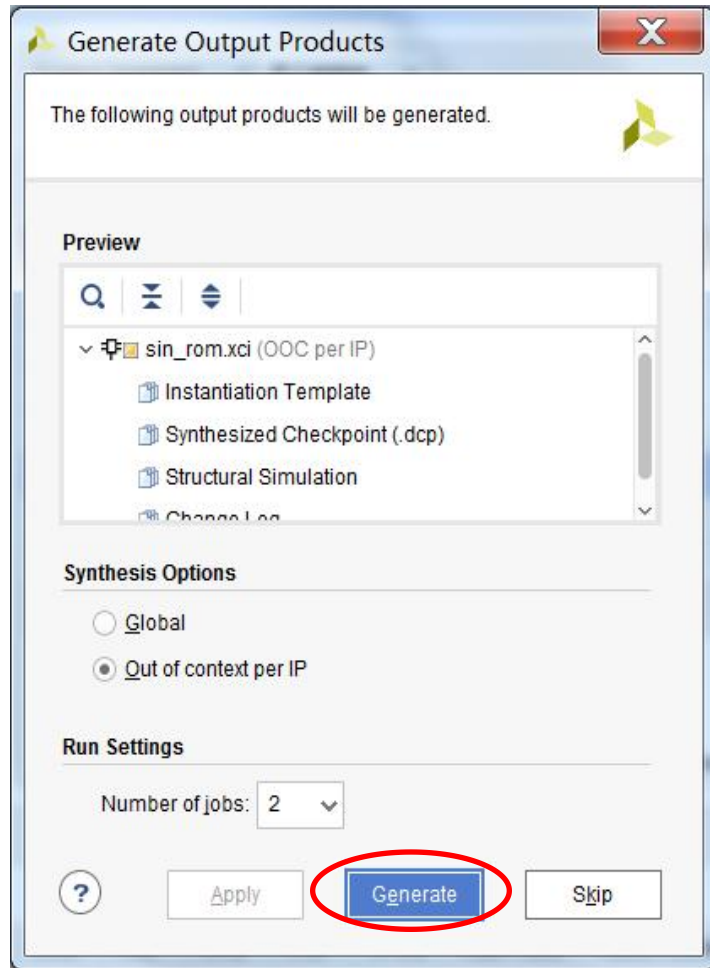
```
memory_initialization_radix=10;  
memory_initialization_vector=  
127, 127, 128, 128, 129,  
129, 130, 130, 131, 131,  
132, 132, 133, 133, 134,  
134, 134, 135, 135, 136,  
136, 136, .....  
.....
```

```
121, 121, 122, 122, 123,  
123, 123, 124, 124, 124,  
125, 125, 125, 126, 126,  
127, 127;
```

第一行定义数据采用什么进制，
第二行定义初始化的数值向量，
第三行开始是数据，
每个数据用逗号“,”隔开，

最后一个数据后用分号“;”结束。

.coe文件格式



Generate→

生成IP核