

## 🌟 2.1節まとめ：Basic Linear Model and Transfer Functions

### ✅ この節の目的

PLLの線形モデルを使って、各ノイズ源が出力にどう影響するかを定量的に捉えるための伝達関数を導出する。

### ◆ PLLの基本構造（Fig. 2.1）

ブロック	説明
PD（Phase Detector）	$\phi_n\text{REF}$ ：基準信号由来のノイズ + $\text{inPD}$ ：位相検出器自体のノイズ
LF（Loop Filter）	$\text{vnLF}$ ：RCネットワークに起因する熱雑音など
VCO	$\phi_n\text{VCO}$ ：最も強く影響するノイズ源、 $1/f^2$ or $1/f^3$ のプロファイル
Divider	$\phi_n\text{DIV}$ ：分周器の雑音（整数Nなら熱雑音、分数NならDSM由来ノイズも）

### ◆ 開ループ伝達関数（ $H_{OL}(s)$ ）

$$H_{OL}(s) = \frac{K_{PD} \cdot K_{VCO} \cdot H_{LF}(s)}{N_1 s}$$

→ VCOが“積分器”として機能するため、 $s$ 分の1が含まれる

### ◆ $H_{LF}(s)$ の例（Fig. 2.2）

- 2次RCフィルタを想定
- 零点  $\omega_z = 1/RC_1$ 、極  $\omega_p = 1/RC_1 + 1/RC_2$
- 伝達関数には極・零点のバランスで周波数特性が決まる

## ◆ 各ノイズ源に対する伝達関数（出力への影響）

名称	数式	特性
$H_{\text{REF,OUT}}(s)$	$\frac{N_1 H_{\text{OL}}(s)}{1 + H_{\text{OL}}(s)}$	LPF型（低周波ノイズが通る）
$H_{\text{PD,OUT}}(s)$	$\frac{N_1}{K_{\text{PD}}} \cdot H_{\text{LPF}}(s)$	LPF型
$H_{\text{LF,OUT}}(s)$	$\frac{K_{\text{VCO}}}{s} \cdot \frac{1}{1 + H_{\text{OL}}(s)}$	BPF型（中心は $\omega_{\text{UG}}$ ）
$H_{\text{VCO,OUT}}(s)$	$\frac{1}{1 + H_{\text{OL}}(s)}$	HPF型（高周波ノイズが通る）
$H_{\text{DIV,OUT}}(s)$	$-H_{\text{LPF}}(s)$	LPF型（マイナス極性）

## ◆ 等価ノイズ源とトレードオフ（Fig. 2.3～2.5）

- ノイズ源を\*\*基準側（ $\phi_n\text{REF}$ 、 $\text{inPD}$ 、 $\phi_n\text{DIV}$ ）とVCO側（ $\phi_n\text{VCO}$ ）\*\*に分類
- PLLのLPF特性で前者を、HPF特性で後者を抑える
- 帯域（ $\omega_{\text{UG}}$ ）をどこに設定するかでトレードオフ

### ✓ 結果：

状況	結果
$\omega_{\text{UG}}$ が広すぎると...	VCOノイズは減るけど、基準系ノイズが通る
$\omega_{\text{UG}}$ が狭すぎると...	基準系ノイズは減るけど、VCOノイズが支配的になる
🎯 ベストは？	両者のバランスが取れた帯域に設計する（例：Fig. 2.4(a) で最小ジッター）

## 💬 まとめ（カジュアルver）

PLLって、ただ周波数を合わせるだけじゃなくて、“どのノイズをどれくらい許容するか”っていう設計そのものがめちゃ重要。

各ノイズ源が“通りやすい”か“通りにくい”かは、\*\*ループ全体の周波数応答（伝達関数）\*\*で決まってる。

だから「設計＝周波数バランス」ってこと。

## 🌟 2.2節 まとめ：Quantization Noise and Fractional Spurs

### ✅ 背景：Fractional-N PLLの便利さと課題

内容	説明
Fractional-N PLLとは？	分周比を非整数にして、きめ細かい周波数設定ができるPLL
何が課題？	分周比を“整数しか使えない”ので、 <b>DSM</b> で近似する必要がある
問題点	① 量子化ノイズ ② 周期性によるスパー（spur）

### ◆ 2.2.1：Delta-Sigma Modulation（DSM）の仕組みと量子化ノイズ

ポイント	内容
DSMの役割	分数分周比を <b>整数の列で近似</b> する（例：2, 3, 2, 2...）
問題	切り捨て誤差（量子化ノイズ）が出る。 <b>このノイズがPLL出力に漏れるとPNが悪化</b>
対策	DSMで**ノイズを高周波に押し出す（ノイズシェーピング）**ことで、PLLのLPFで除去可能にする

### ◆ 2.2.2：Fractional Spurs の原因と対策

原因	説明
スパーとは？	分周比の変動パターンが <b>周期的</b> だと、スペクトルに鋭いトーン（spur）が立つ
ランダムイズしても...	擬似乱数でも完全には周期性を排除できず、スパーは残る

原因	説明
非線形性が原因でも出る	CPやSPDなどの <b>非線形ブロック</b> でノイズが折り返され、 <b>低周波スパー</b> として出てくる
スパーはLPFで除去できない？	スパーは <b>低周波に現れる</b> ため、PLLの帯域とバッティングしてしまい除去困難

### ◆ 2.2.3：量子化ノイズとスパーの抑制手法（Prior Arts）

#### 🔧 方法①：ノイズキャンセル（DTC/IDAC）

- DSMの誤差を予測 → **電流や時間で“打ち消す”**
- ⚠️ キャリブレーションが必要（LMS, LUT補正）
- ⌚ ロック時間が長くなる、実装が複雑、予測が困難

#### 📌 方法②：ノイズシェーピング周波数を上げる

- DSMクロック（= $f_{REF}$ ）を高速化 → ノイズが高域に行く
- 方法：高周波Xtal、参照PLL/Multiplier、2段分周など
- ⚠️ 回路が複雑化、電力増、スパー出やすくなる、Xtalのコスト増

#### 🔄 方法③：FIR的なノイズ除去（信号合成）

- MMD出力を**遅らせてズラす** → 重み付き合成でノイズだけキャンセル
- 信号成分は共通なので影響を受けない
- ⚠️ 複数MMDやPD、ディレイの一致性が必要で**回路が大がかり**

### 🧠 まとめのまとめ：各手法の特徴とトレードオフ

手法	特徴	メリット	デメリット
DTC/IDAC補償	誤差を打ち消す	ノイズ源を直接消せる	キャリブレーション必須、複雑化
高 $f_{REF}$ 化	ノイズを高域に逃がす	シンプルで効果大	高価・ノイズ源追加・消費電力増

手法	特徴	メリット	デメリット
FIR構造	信号合成でノイズ相殺	PLL構造をいじらず高精度	実装コスト・ マッチングが難しい

## ひとこと要約

「Fractional-N PLLって便利だけど、その精密さゆえにノイズやスパーが悩みの種。  
でも、\*\*ノイズを“打ち消す”・“逃がす”・“平均して消す”\*\*っていう3つの視点で、いろんなアプローチが取られている」

## 2.3節 Chapter Summary — 一文に込められた大事なこと

「この章では、PLL設計の基礎、重要なトレードオフ、そして分数型PLLの課題とその対策について解説しました。」

✓ 要するに、第2章は\*\*「PLLって何?」「Fractional-Nで何が難しい?」「どう工夫されてきた?」\*\*を一通り学ぶ章だったってこと。

## 第2章全体のまとめ：PLLの基礎とFractional-N設計の世界

### ✓ 2.1節：基本モデルとノイズ解析

- PLLを線形モデルで近似して、ループ伝達関数を導出
- 各ノイズ源の影響を、周波数応答（LPF/BPF/HPF）として定量化
- \*\*ループ帯域（ $\omega_{UG}$ ）\*\*の設定でノイズのトレードオフが決まる
- 参考値： $\omega_{UG} \approx 1.5\text{MHz}$ でジッター最小（図2.4）

## ✓ 2.2節：Fractional-N PLLの課題と対策

### 🌀 問題

- DSMで非整数の分周比を作るけど：
  - 🎯 量子化ノイズが出る
  - 🎯 分周比の周期性でスパーが出る（Fractional Spurs）

### ✂ 対策

分類	内容
💡 ノイズキャンセル	DTC/IDACで予測して打ち消す（キャリブレーション必要）
⬆ ノイズ周波数押し上げ	f_REFやDSMクロックを高くして、ノイズを高域へ逃がす
📄 FIR構造	複数信号を時間ずらして重ね合わせ、ノイズだけ相殺する

## ✓ 2.3節：全体まとめ

- PLL設計は\*\*「精度 × ノイズ × 安定性」\*\*のせめぎ合い
- Fractional-N PLLでは「**非整数性**」を得る代償として「**ノイズとスパー**」が増える
- 対処法にはそれぞれトレードオフがある
- 設計の“**センス**”が問われる世界