

池田研・飯塚研

アナログ設計トレーニング

(ROHM0.18umプロセスPDK)

飯塚 哲也

`iizuka@vdec.u-tokyo.ac.jp`

Systems Design Lab.,
The University of Tokyo, Tokyo, JAPAN

Apr. 1st, 2025



東京大学
THE UNIVERSITY OF TOKYO

本トレーニングの目的

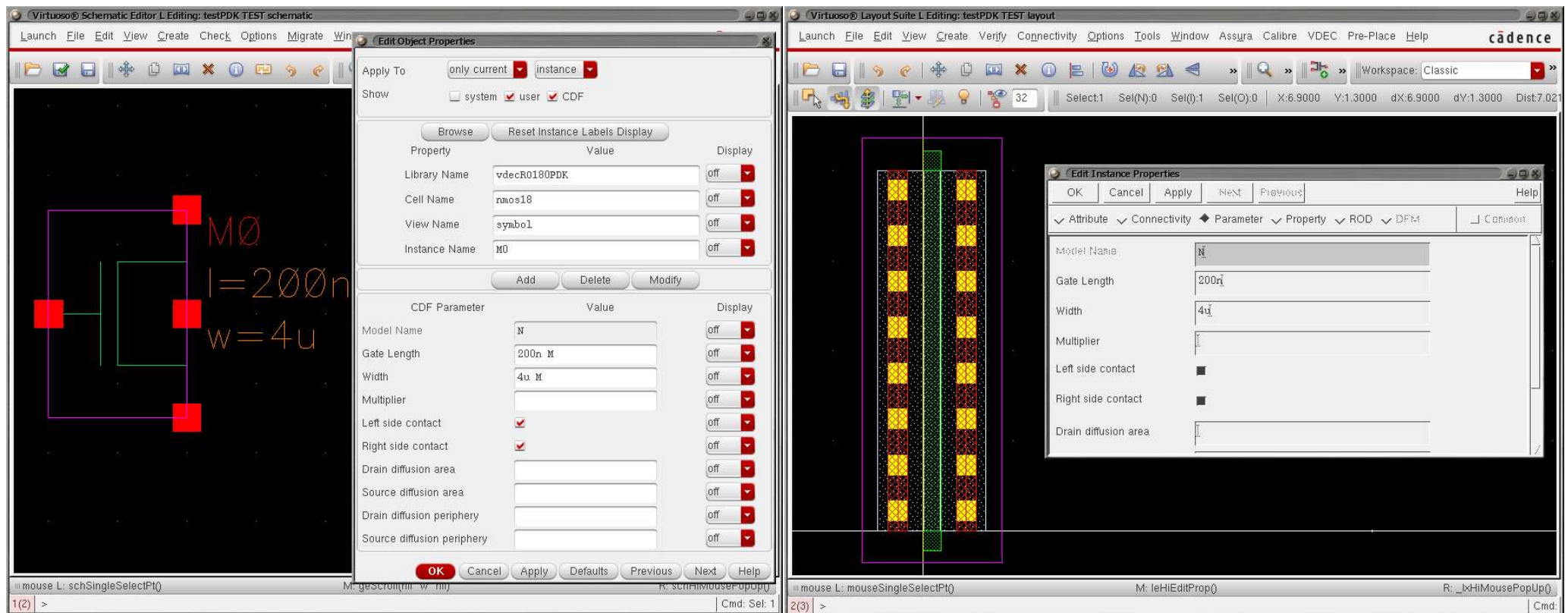
- ◆ ROHM0.18umプロセス向けのPDK
 - 簡単な使い方を解説
- ◆ 基本的なアナログ設計手法といくつかの便利な機能について学習する
 - 当研究グループに所属していたならこのくらいは知っていて当然という知識を最初に確保する

本トレーニングで使用するツール

- ◆ 回路図設計: Cadence Virtuoso Schematic L
- ◆ 回路シミュレーション: Synopsys HSPICE
- ◆ 波形ビューア: Synopsys Spice eXplore (SX)
- ◆ レイアウト設計: Cadence Virtuoso Layout GXL
- ◆ レイアウト検証(DRC/LVS):
Mentor Graphics Calibre/Calibre Interactive
- ◆ トランジスタ抽出・寄生容量抽出:
Cadence Quantus

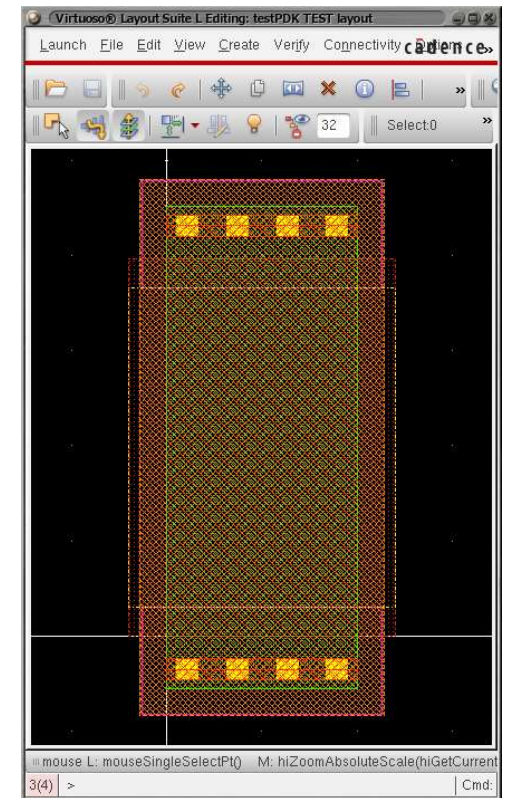
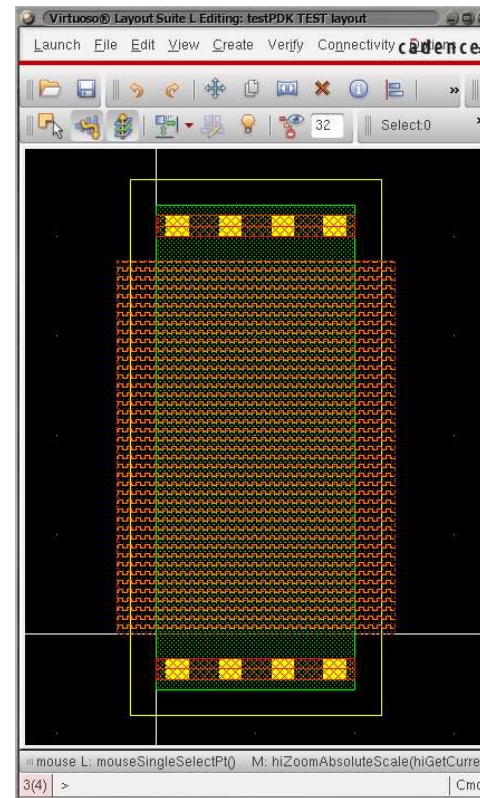
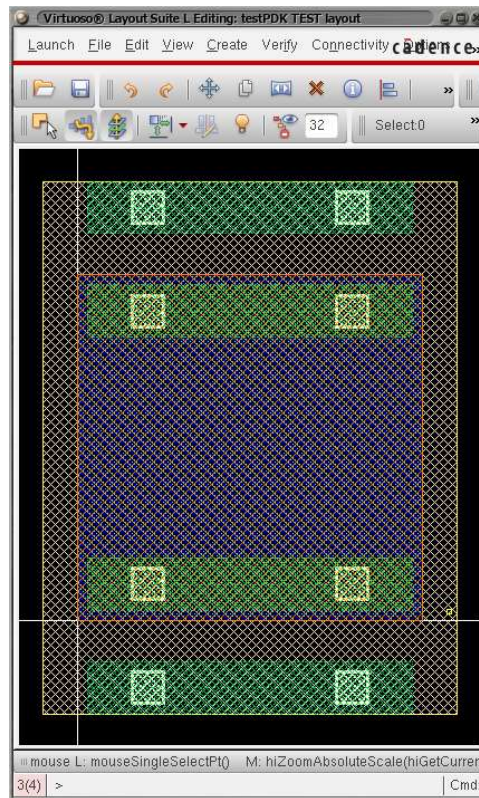
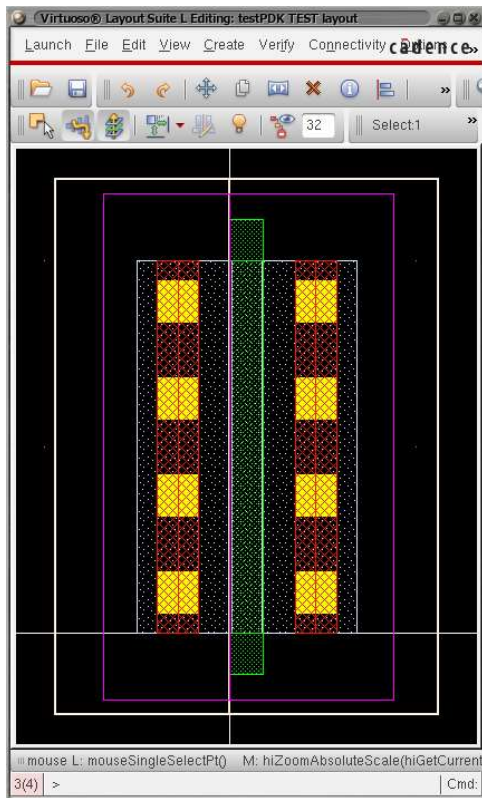
公開したPDKの内容

- ◆ vdecRO180PDK ライブラリには以下を含む
 - 回路設計用の素子シンボル
 - 回路素子のP-Cell (Parameterized Cell)



P-Cellの内容

- ◆ トランジスタ(PMOS/NMOS/1.8V/3.3V)
- ◆ 容量(MiM Capacitor)
- ◆ 抵抗(Poly/拡散/LPPH)



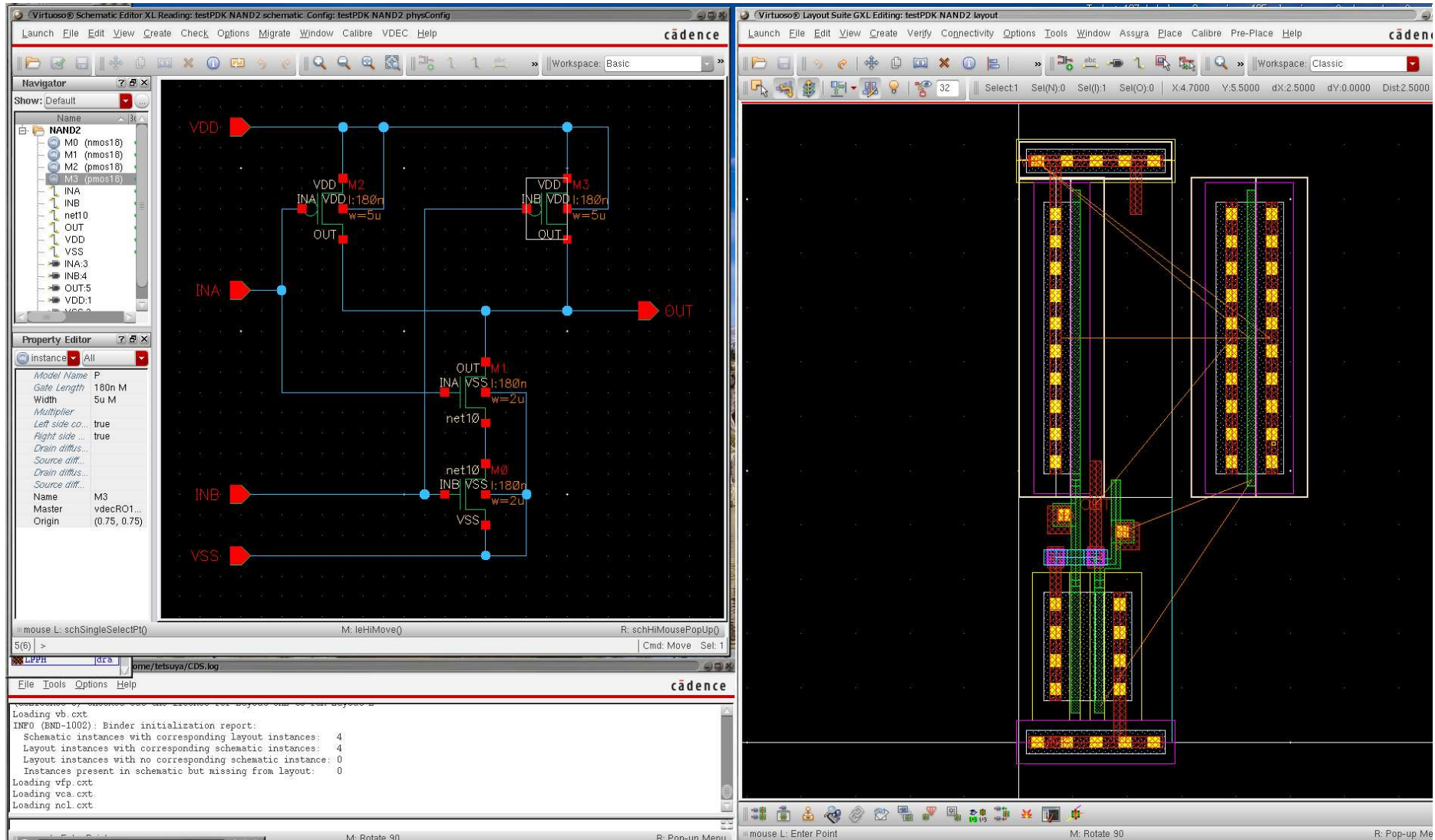
P-Cellでできること

- ◆ 必要な素子のレイアウトがParameterize化
 - Rectangleを駆使してトランジスタや抵抗をいちからレイアウトする必要がない
 - サイズごとに異なるインスタンスを作成しておく必要がない
 - 詳細なデザインルールまで立ち入る必要がない
 - 素子レベルでの端子間接続のみなので初心者でもとっつきやすい
- ◆ トランジスタレベル設計が簡単になる

IC61と連携して

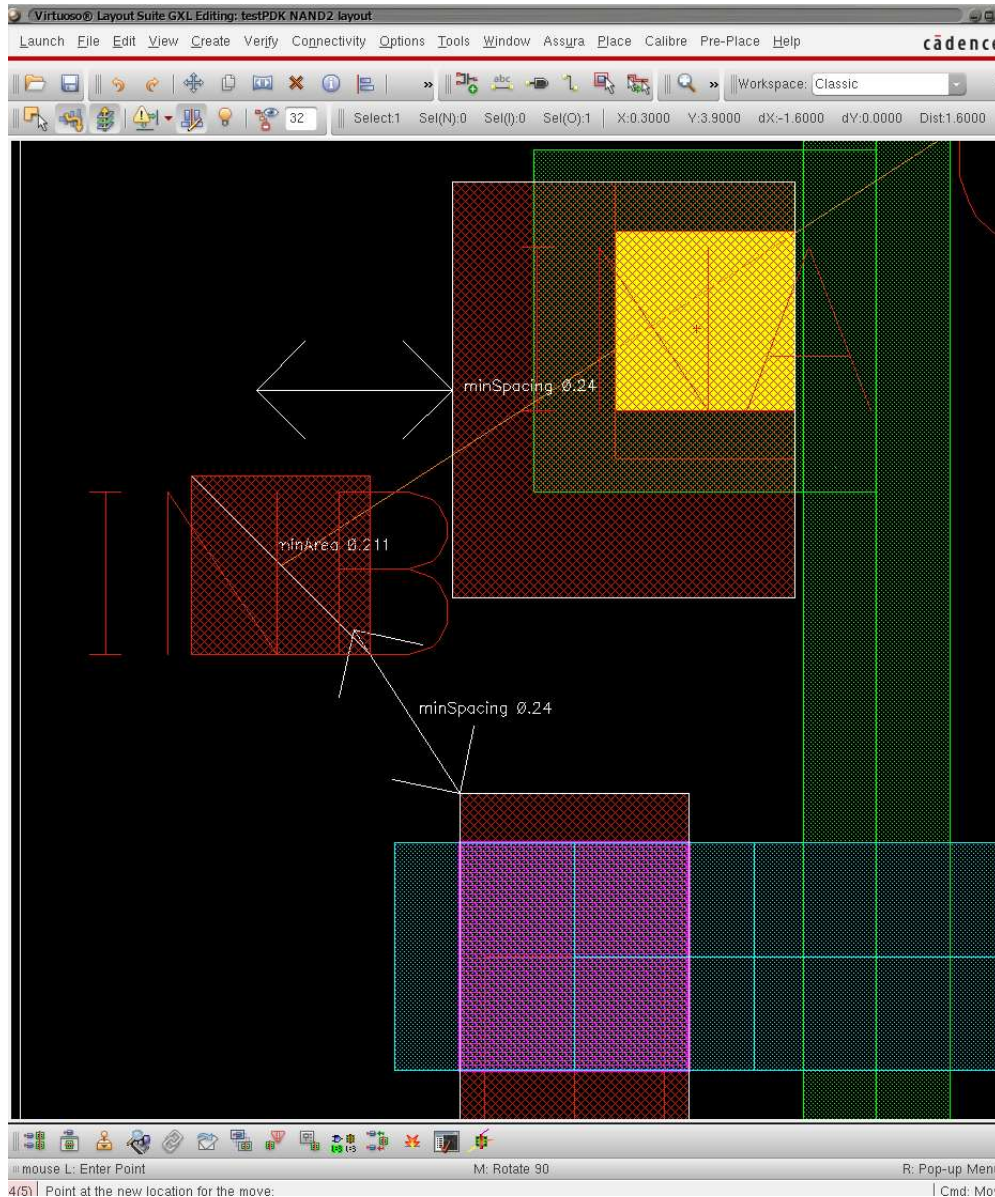
- ◆ Connectivity-Driven Layout
 - Schematicエディタ上の接続関係、サイズ等のパラメタがLayoutエディタと連動している
 - エディタ上に表示される接続関係に従ってレイアウトを行えば間違いがない
- ◆ Design-Rule-Driven Layout
 - 新規テクノロジファイルにはデザインルールが記述
 - レイアウト編集集中にデザインルール違反箇所をインタラクティブに表示
- ◆ DRC/LVS違反の軽減(設計期間の短縮)

Connectivity-Drivenレイアウト



- ◆ 接続関係をインタラクティブに表示

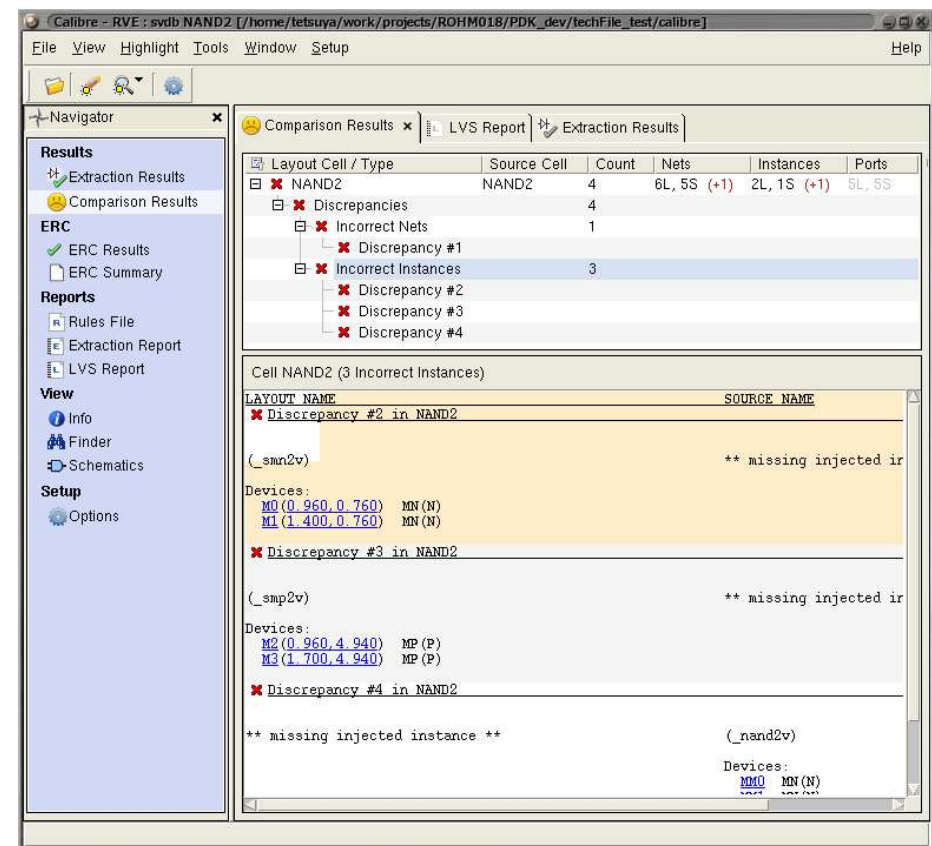
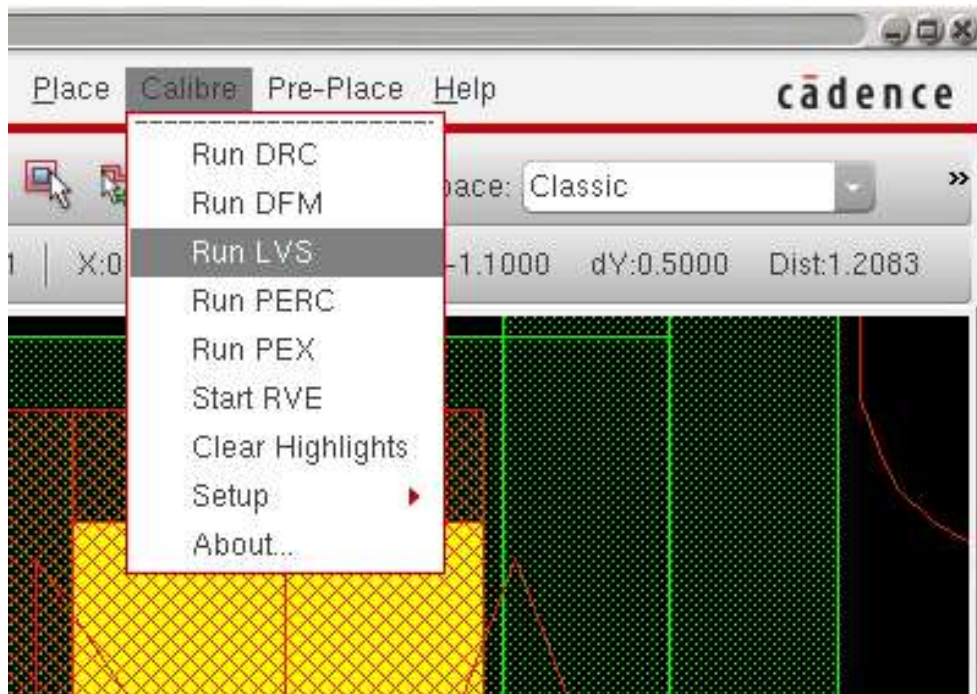
Design-Rule-Drivenレイアウト



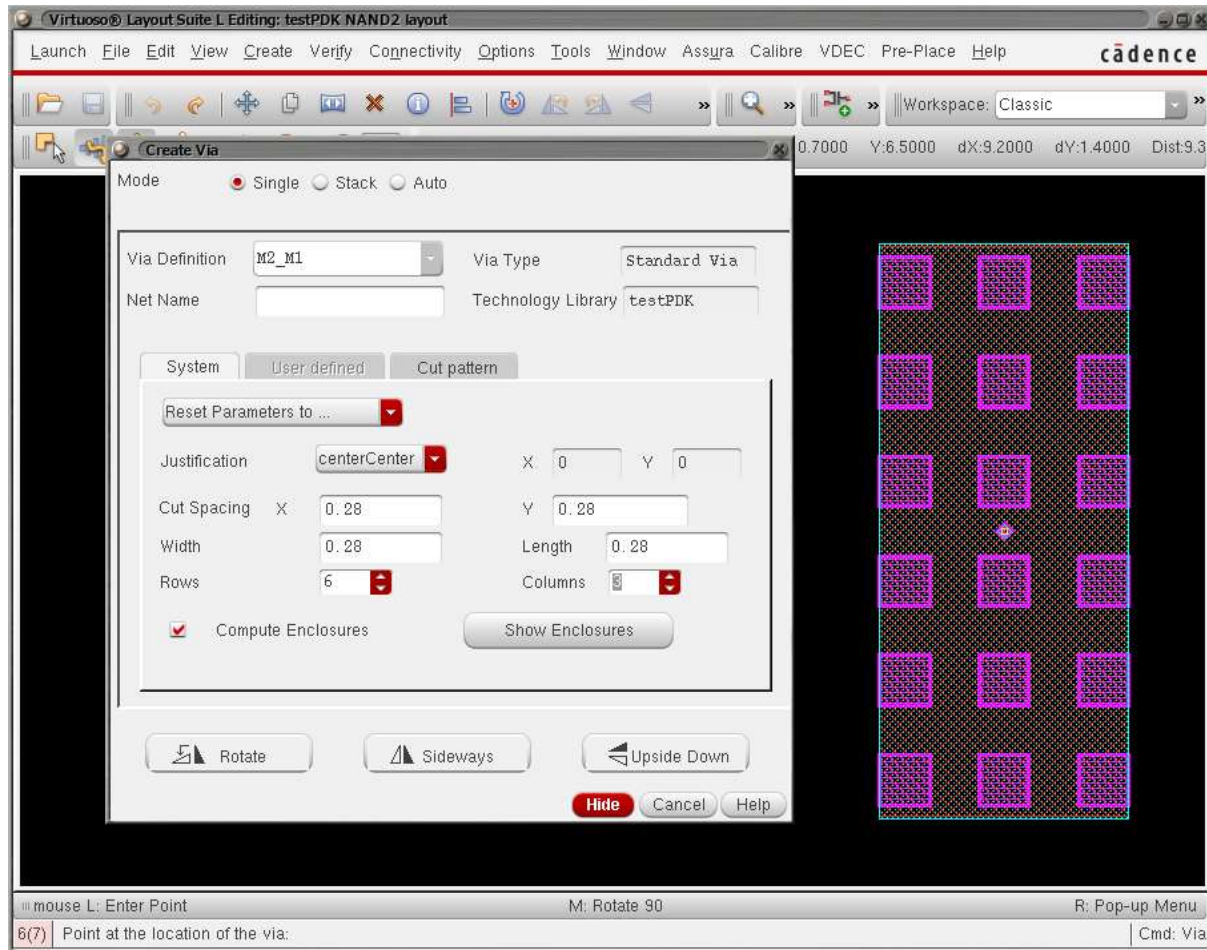
- ◆ レイアウト編集集中に
デザインルール違反
箇所をインタラクティ
ブに表示
- ◆ ルールの詳細を暗記
しなくてもレイアウト
可能

Calibre Interactive

- ◆ GUIベースでのDRC/LVS実行に対応
 - 直感的な操作でレイアウト検証・デバッグ作業
 - もちろん今までのコマンドライン実行も可能



その他の便利機能



- ◆ Create Via機能
 - テクノロジファイル内にViaが定義
 - Contact/Viaのインスタンスが不要
 - 必要に応じてアレイに配置できる
- ◆ その他いろいろ