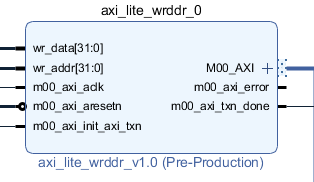
FPGA以及SDK开发测试记录

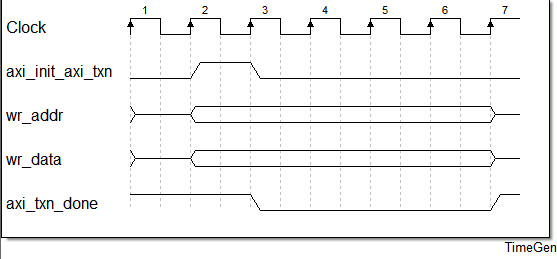
# 7020 PL写DDR

## PL写DDR模块自测

为降低错误，对每个模块需要单独测试，PL部分使用AXI-Lite修改的IP而成，为axi\_lite\_wrddr.修改后的IP只有写数据功能，且每写一个数据就需要给一个地址。

需要注意的是，如果需要对整个工程进行修改，请不要使用vivado的save as，就是不要对工程重命名，否则会丢失一些必要的文件。

该模块的时序如下所示：



数据没有进行写时done信号为高电平，写数据时为低电平，init\_axi\_txn接收到一次上升沿后数据进行写入操作，每次向init\_axi\_txn为高电平时的地址中写入此时的数据。

SDK测试对应着工程test\_prj，其中函数**write\_ddr\_lite\_test**就是完该功能测试的。

为了保证写入DDR的带宽够用，使用的是HP接口，若是少量交互数据可以通过PS的GP从机接口来写DDR进行数据交互。

## Ak5394写AXI时序添加

# FPGA引脚和硬件引脚对应关系

|  |  |  |
| --- | --- | --- |
| FPGA | 硬件 | 说明 |
| FPGA\_AD\_LRCK | FPGA\_AD\_LRCK | AK5394左右通道选择信号 |
| FPGA\_AD\_MCLK | FPGA\_AD\_MCLK | AK5394芯片时钟 |
| FPGA\_AD\_SCLK | FPGA\_AD\_SCLK | AK5394数据时钟 |
| FPGA\_AD\_SDATA | FPGA\_AD\_SDATA | AK5394数据传输线 |
| FPGA\_AD\_ZCAL | FPGA\_AD\_ZCAL | AK5394的ZCAL引脚 |
| FPGA\_DJ\_Dir\_IN | FPGA\_DJ\_Dir\_IN | 动镜方向信号输入 |
| FPGA\_DongJ\_PWM\_C0 | FPGA\_DongJ\_PWM | 驱动动镜的PWM信号 |
| FPGA\_AXI\_IO\_O[0] | FPGA\_DongJ\_DIR | 驱动动镜的方向信号 |
| FPGA\_LASER\_PULSE | FPGA\_SamplePulseExt | 激光脉冲信号 |
| FPGA\_LOGIC\_LF398 | FPGA\_LF398\_EN | LF398控制信号 |
| FPGA\_AD\_RSTn | FPGA\_AD\_RSTn | AK5394的复位信号 |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |