

VLSI 期末專題報告

組員:103061211 張宏暘 103061251 羅元均

一、設計理念與流程

整個電路大概分成七部份：ROM、5-to-32 decoder、3-to-8 decoder、Y_MUX、Sense Amplifier、位於 input 端(8 顆)以及 output 端(2 顆)共 10 顆 FlipFlop，還有利用 inverter chain 所製造的 time control.

- (1) ROM:利用助教給的 gds 檔加上 8 個 pre-charge，而 pre-charge 的方法是利用 WL_EN 當作 8 個 PMOS 的 gate 來控制，在 WL_EN=0(此時 decoder 關掉)進行 pre-charge。
- (2) 5-32decoder with enable:利用作業的 decoder 在 2-4decoder 加上 enable 訊號做修改。方法是:原本 2-4decoder 是利用 2NAND 接出去，現在多加了一個 WL_EN 並改用 3NAND 接出去。而我們在 decoder 上費了極大的工夫，盡可能將 2-4decoder 和 3-8decoder 縮小面積，如果不加其餘接線前，面積大約只有 1000um² 出頭，算是非常小的。
- (3) 3-8decoder:利用作業的 decoder 再縮減(同 5-32decoder)
- (4) Y_MUX:利用 8 個 PMOS，gate 端接 3-8decoder 產生的結果，另一端接 BL，最後將所有 output 拉出去接給 DL，而 enable 則是在 output 出去時接上一個 time control 產生的 SA_EN(見 time control)來控制。
- (5) Sense Amplifier:利用作業的 Sense Amplifier 並將其面積縮小。
- (6) D-flip flop:利用作業的 D flip-flop 並將其面積縮小。
- (7) Time control:利用 inverter chain 製造 delay 產生三種不同的 clock
 1. WL_EN: 原本 clock 經過兩個 inverter 後產生的 enable 訊號，供 2-4decoder 和 ROM 的 precharge 使用。
 2. SA_EN: 原本 clock 經過四個 inverter 後產生的 enable 訊號，供 MUX 和 Sense Amplifier 使用。
 3. OUT_EN: 原本 clock 經過六個 inverter 後產生的 enable 訊號，供兩個給接在 output 端的 D flip-flop 使用。
 4. 而原本 clock 則供 8 個接在 input 端的 D flip-flop 使用。

我們都是先將所有電路大致如何拼湊以及誰要放哪裡想好，如此一來可以做最有效的分配利用

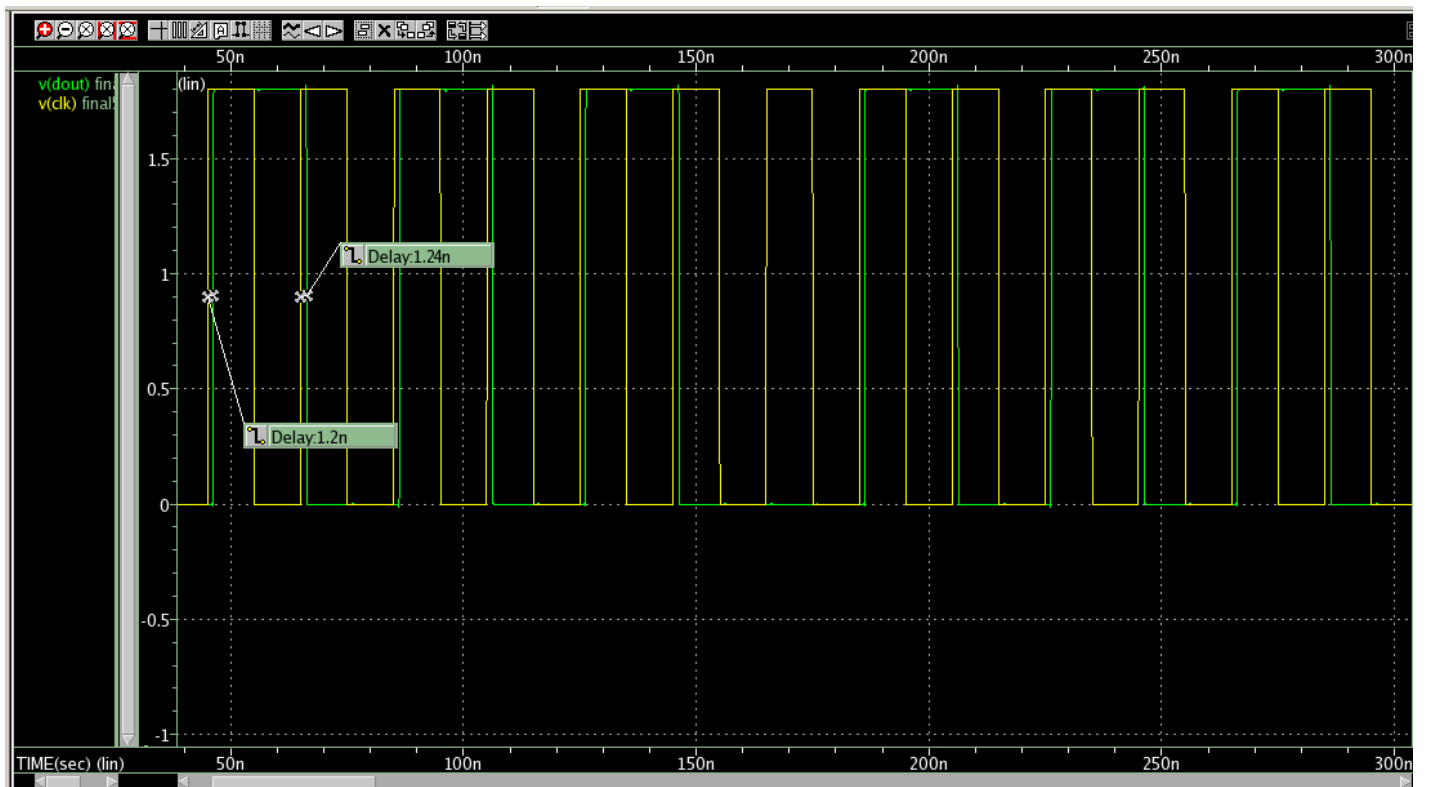
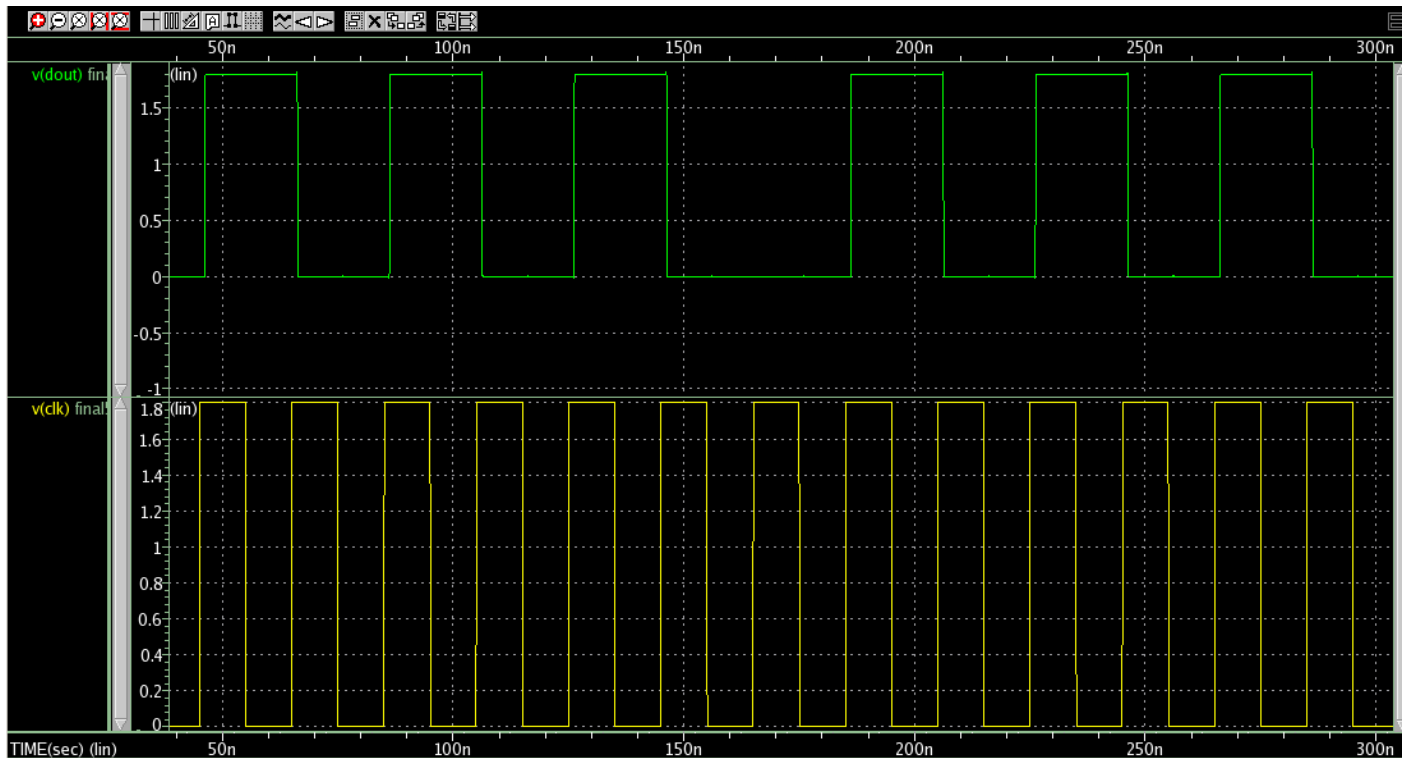
- a. 我們把 time control 放在一堆需要 time control 的元件中間，如此一來就不需要接來接去
- b. 將元件排成長方形而不是正方形，因為相同的邊長，正方形拼起來的面積會比長方形拼起來的大很多。

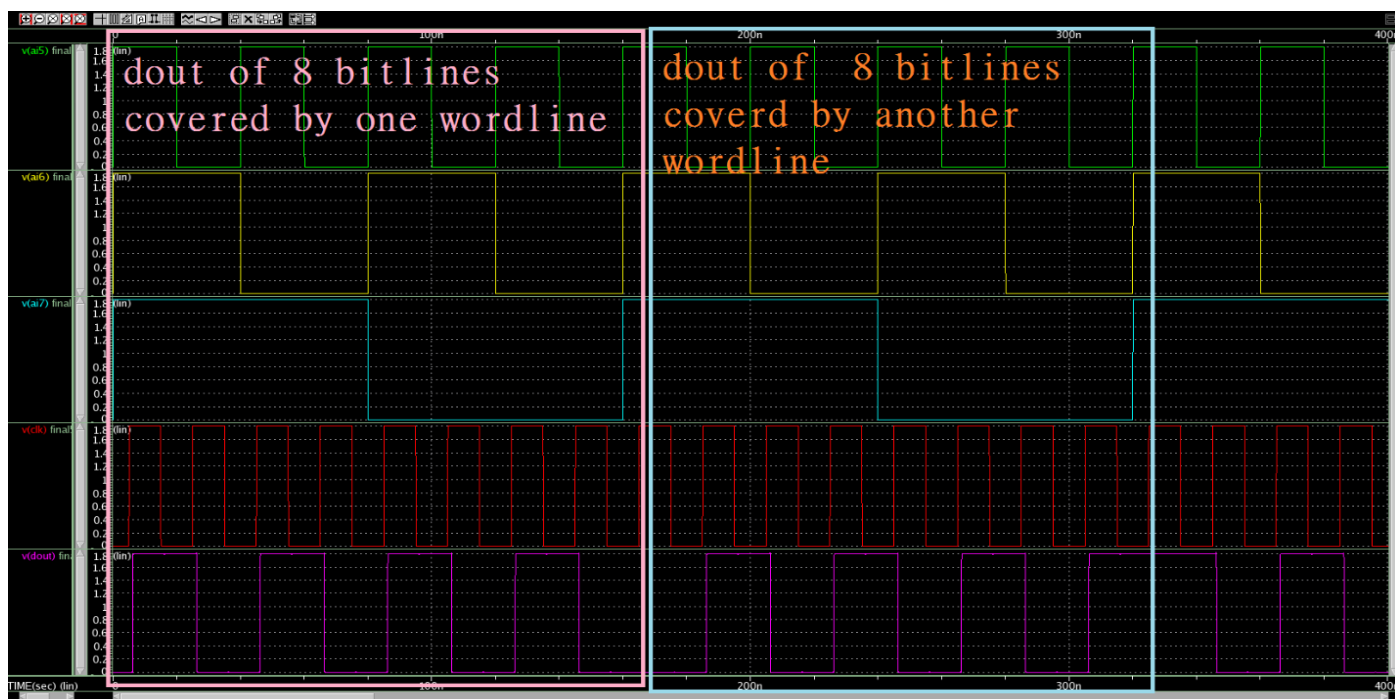
二、模擬結果

1. pre-sim(使用 $V_{ref}=1.78V$)

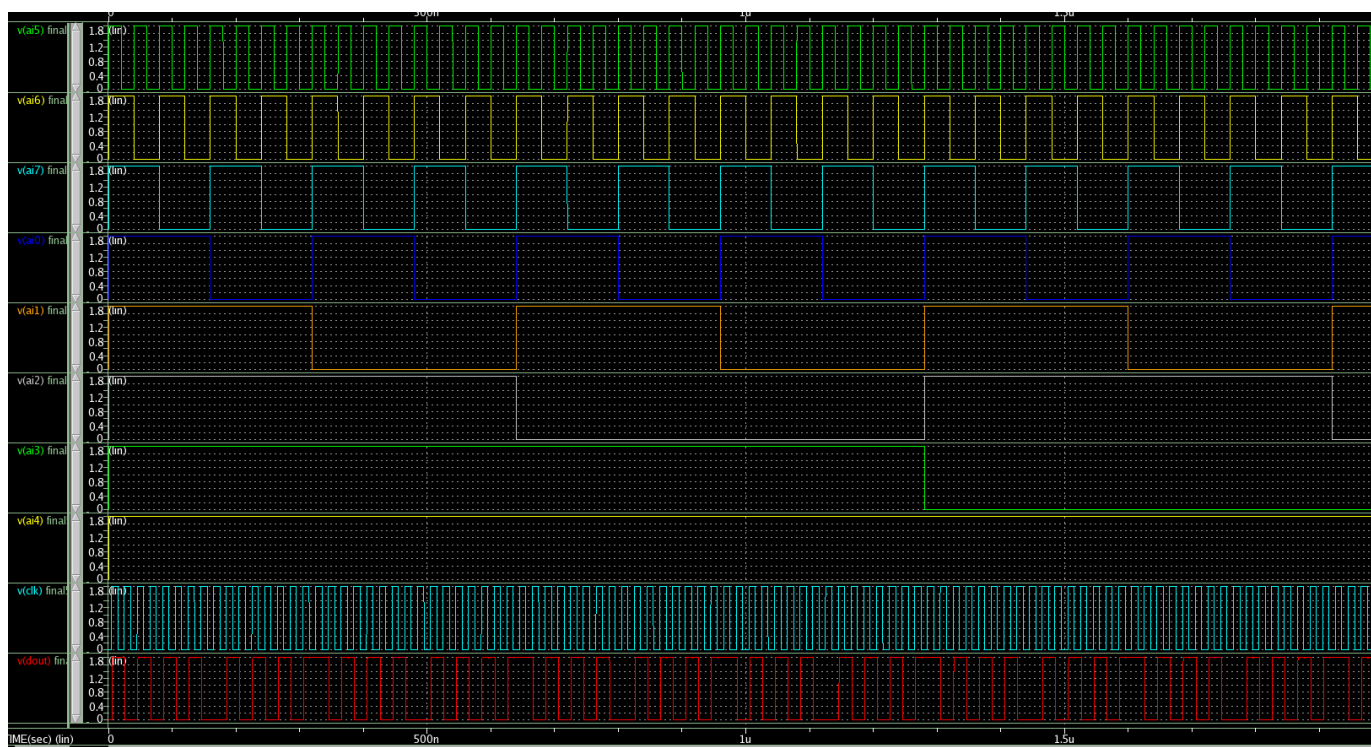
rise-time delay:1.2ns

fall-time delay:1.24ns





前三行是用在 Y-decoder 的 input，為了 y-mux 之後從 8 條 bit-line 中選擇一條當作 sense-amplifier 的 input。此三個 input 有八種組合，分別代表某個 word-line 所控制的一條 bit-line。上圖粉紅色和藍色的區塊分別代表了一條 word-line 的 8 條 bit-line。

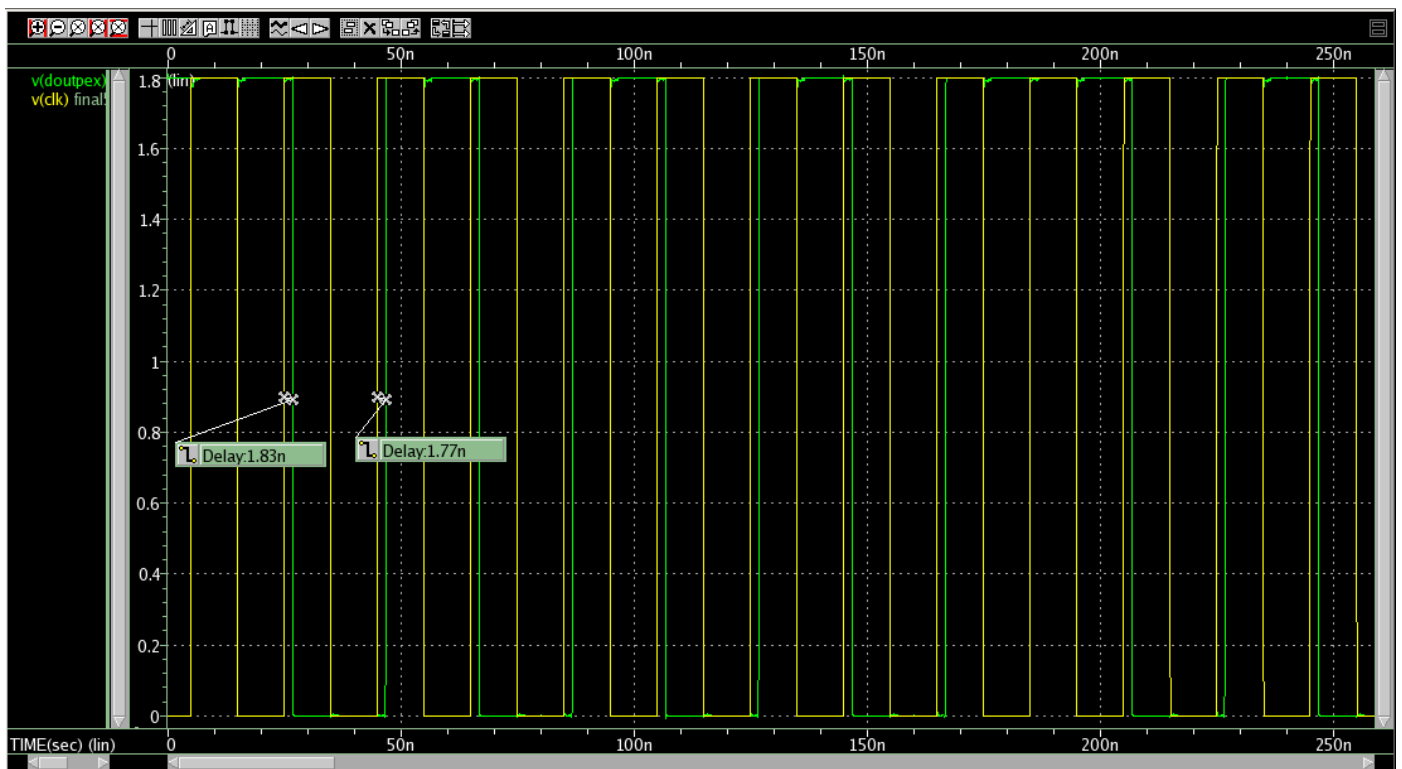
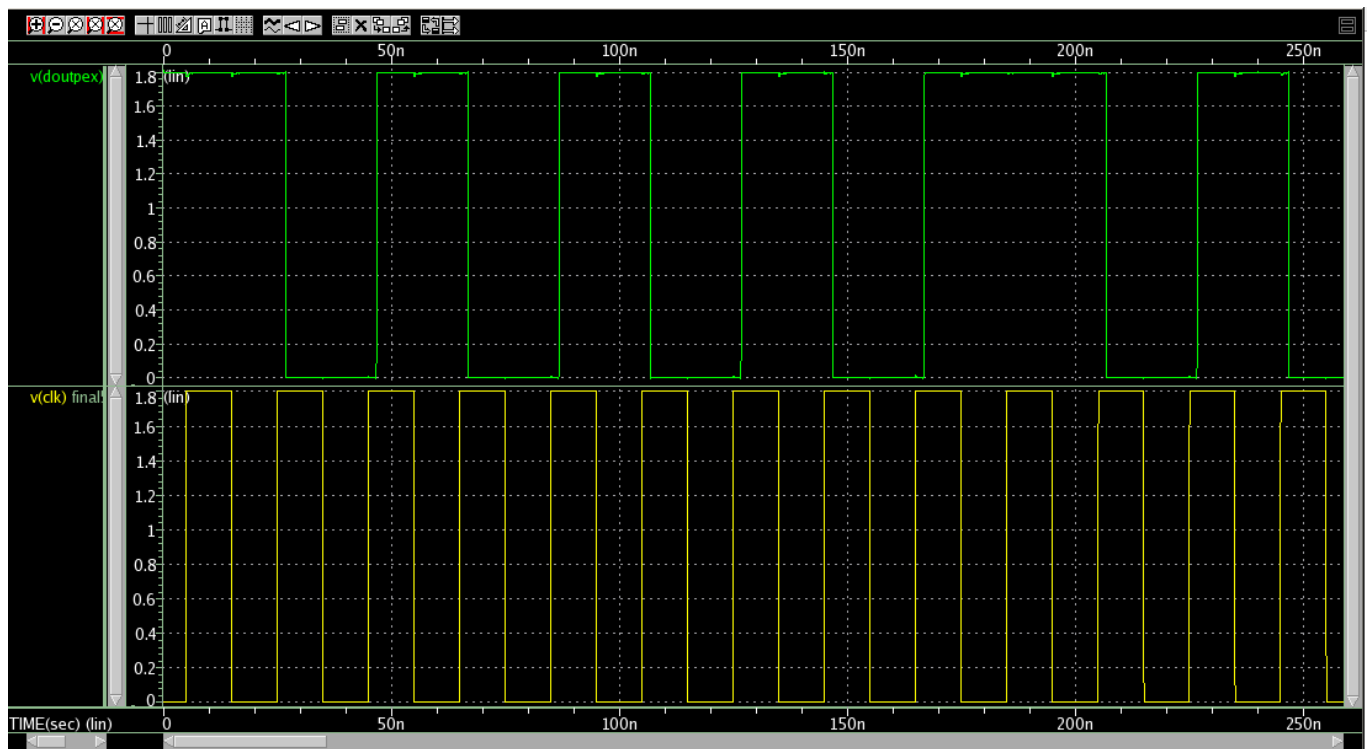


前三條是用在 Y-decoder 的 input，再來五條是用在 5-32decoder 的 input。他們都會經過 D-FLIP-FLOP，由 CLK trigger 後才進入 decoder。

2. post-sim

Rise-time delay: **1.77ns**

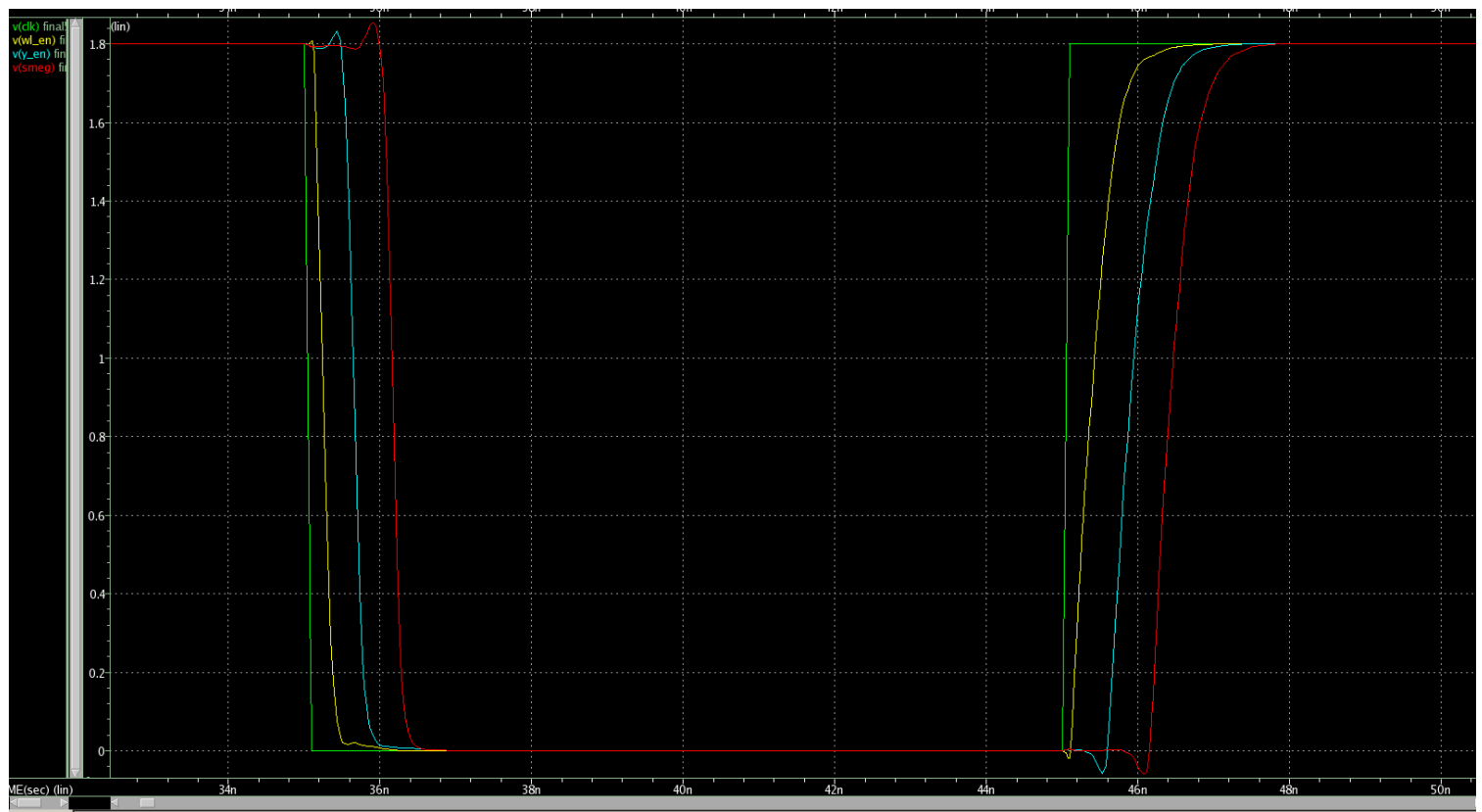
Fall-time delay: **1.83ns**



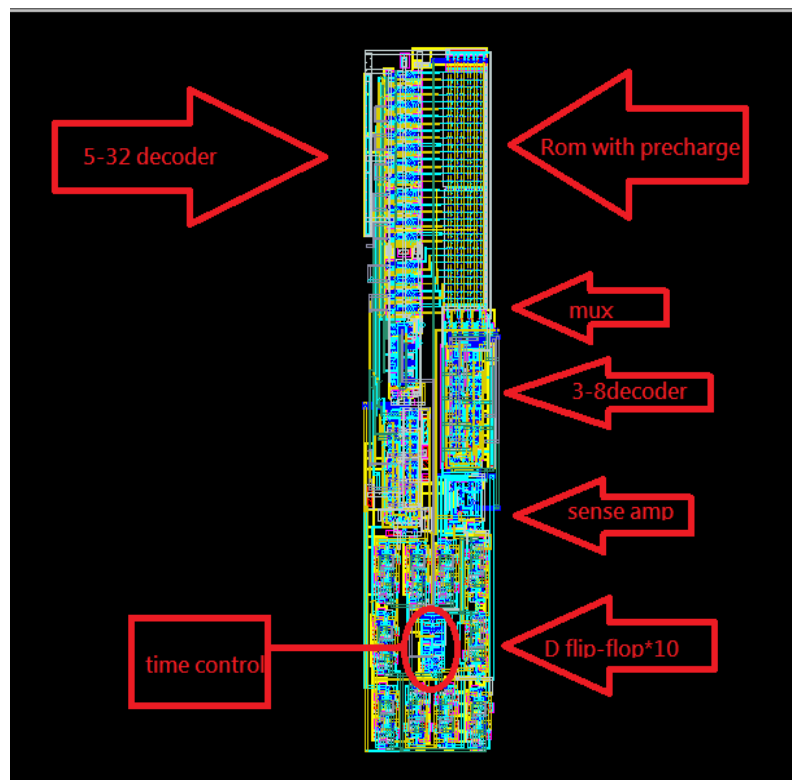
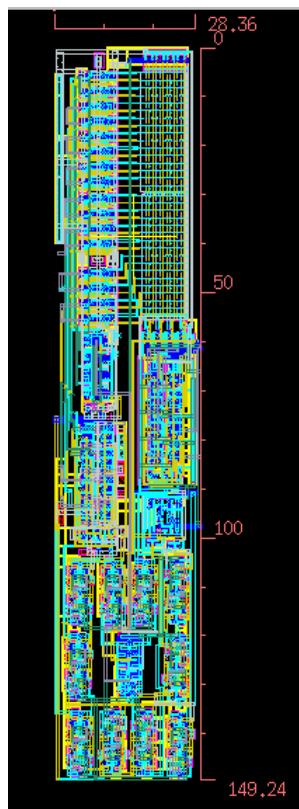
心得:加上寄生 RC 後，其效能表現多了 0.5ns，表現依舊在我們預期的範圍內。

3.time control 訊號

黃色為 WL_EN 藍色為 SA_EN 紅色為 OUT_EN



三、整體 layout 圖



面積: $149.24\mu\text{m} \times 28.36\mu\text{m} = 4232\mu\text{m}^2$

$\text{FoM} = 1/(\text{area} \times \text{delay}) = 1/(1.77\text{ns} \times 4232\mu\text{m}^2) = 1.33 \times 10^{-4} (1/(\text{ns} \times \mu\text{m}^2))$

四、心得想法與檢討改進

心得:

在追求低面積高效能時，難度會遠遠比只是把它接起來大上好幾倍。

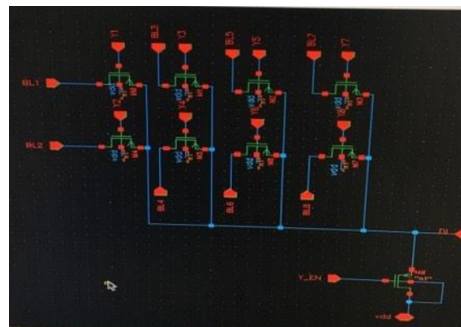
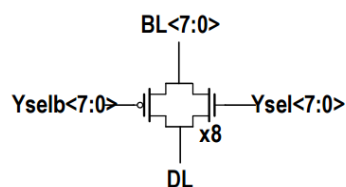
因為在低面積下我們必須將原有東西都縮小，這會造成接線上的不便，等於是我們把前幾個作業都重做一次，而且除了個別元件的面積要夠小以外，還要仔細考慮整個排版，否則只有個別元件小也沒有用，所以一開始我們就先將個別的作業縮小後再兜在一起，並且嘗試了許多不同造型，最後選定一個好畫面積又小的定案才開始接線。為了縮小面積，以下是一些想法

想法 1.

我們在 decoder 利用 NOR 和 NAND 的組合可以取代 AND，所以我想了一想先接 NAND 再接 NOR 而不是直接接兩個 AND，這樣一來每一個 AND 就可以省下 $(6-4)=2$ 個電晶體，不僅省面積也省錢! (為何接先 NAND 在 NOR: 因為今天要求的是要讓 output 只會有一個峰值的 decoder)

想法 2.

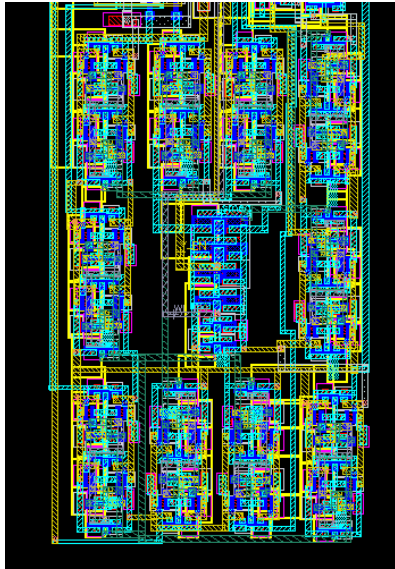
在 Y_MUX 不是用助教建議的方式(左圖)，因為這個方法每一個 bit 需要 2 個 MOS，我們是利用在設計理念那邊所提過的一個 PMOS 去選取，composer 圖(如右)，如此一來可以每一個都可以省一下 1 個 NMOS(共省下 8 個 MOS)



想法 3.

D flip flop 每個都需要 enable，把 time control 放在一堆 D flip flop 中間 (需要 enable) (如下圖)

如此一來就不需要接來接去，這樣一來會省下很多接線的麻煩，(我們的排列方法就和助教建議的都不一樣，所以我們也必須重新規劃如何接線，不過也比較方便接線)



檢討 1: 我們有計算了電路每個 block 的面積，雖然有考慮跑線問題，但是部分還是因為面積太小所以跑線空間很小，使得最後接出的 layout 出現相對沒有利用的空間。以後接線時需善用模組和更仔細預想跑線空間。

檢討 2: time control+ D flip-flop 那邊其實面積可以更縮小一點，可以看出中間還有空位，因為當初是預想一堆資料會在中間穿插，所以留一點位置給資料跑，不過留了太多反而浪費了空間。

檢討 3: 在 spice 的 spi 檔因為我們當時不知道可以利用空殼去把 ROM 接起來，所以我們都直接用人腦接線，這樣一來會比較麻煩
助教之後公布要再接 D flip-flop 上去，如果我們要再接上 composer 轉 spi 檔又很麻煩，所以我們再用人腦接。雖然麻煩了點，**但我們認為用人腦接才可以完全瞭解電路的跑向，透過這次 spice 的額外接線訓練，我們可以說我們完全瞭解 ROM 接線的來龍去脈。**

五、分工細項

1. 共同細項:

- a. 討論架構的設計與排版
- b. 如何縮小面積

2. 組員張宏暘負責項目:

- a. sense amplifier b. 3-8 decoder-ymux
- c. rom-precharge d. control signal 接線

3.羅元均負責項目:

- a. 5-32decoder b. DFF
- c. Inverter-chain d. Vdd vss 接線

最後我們要這裡感謝助教，
各位助教大大這一學期辛苦了，謝謝你們的用心指導。
祝各位助教農曆新年快樂。