实验四 模型机时序部件的实现

班级 计科 2003 姓名 袁鹏 学号 202008010321

一、实验目的

1. 了解模型机中 SM 的作用。
2. 熟悉指令寄存器、状态寄存器、指令计数器、寄存器的工作原理
3. 学会使用 VERILOG 语言设计时序电路。

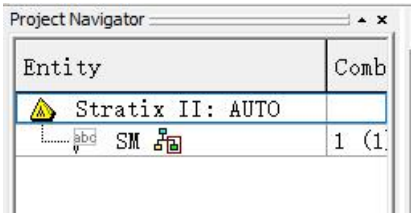
二、实验内容

1. 用 VERILOG 语言设计 SM；
2. 用 VERILOG 语言设计一个 8 位的指令寄存器 IR；
3. 用 VERILOG 语言设计一个 2 位的状态寄存器 PSW；
4. 用 VERILOG 语言设计一个 8 位的指令计数器 PC；
5. 用 VERILOG 语言设计 3 个 8 位寄存器组成的寄存器组，实现读写操作；
6. 用 LPM_RAM_IO 定制一个 256*8 的 RAM，实现对 RAM 的读写操作。

三、实验过程

1、SM

A）创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）



B）编写源代码

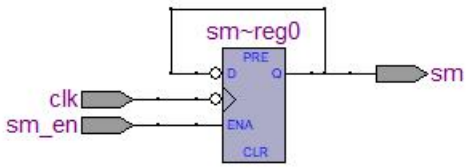
```
module SM(clk,sm_en,sm);
input clk,sm_en;
output sm;
reg sm=0;
always@(negedge clk)
    if(sm_en==1)
    sm<=~sm;
    else
    sm<=sm;
endmodule
```

C）编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

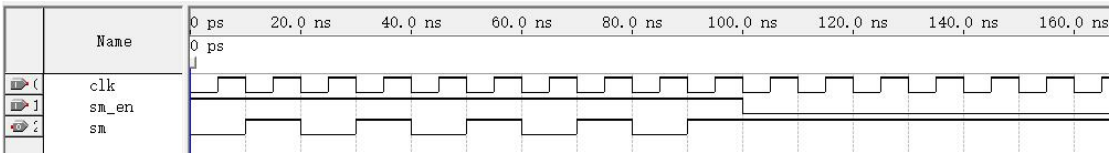
Flow Status	Successful - Wed Dec 22 21:29:43 2021
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	SM
Top-level Entity Name	SM
Family	Stratix II
Met timing requirements	Yes
Logic utilization	< 1 %
Combinational ALUTs	1 / 12,480 (< 1 %)
Dedicated logic registers	1 / 12,480 (< 1 %)
Total registers	1
Total pins	3 / 343 (< 1 %)
Total virtual pins	0
Total block memory bits	0 / 419,328 (0 %)
DSP block 9-bit elements	0 / 96 (0 %)
Total PLLs	0 / 6 (0 %)
Total DLLs	0 / 2 (0 %)
Device	EP2S15F484C3
Timing Models	Final

Type	Message
⚠	Warning: Feature LogicLock is not available with your current license
⊞ ⚠	Warning: No exact pin location assignment(s) for 3 pins of 3 total pins
⚠	Warning: Some pins have incomplete I/O assignments. Refer to the I/O Assignment Warnings report for details
⊞ ⚠	Warning: Found 1 output pins without output pin load capacitance assignment
⚠	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
⊞ ⚠	Warning: Found pins functioning as undefined clocks and/or memory enables

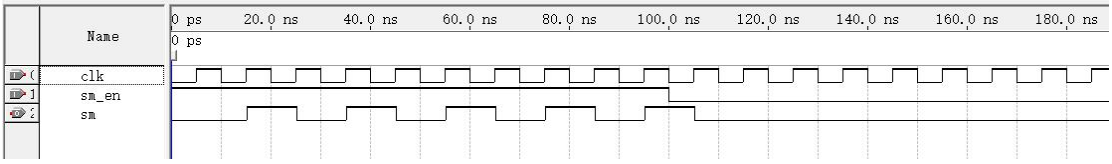
D）RTL 视图



E）功能仿真波形



F）时序仿真波形



G）结果分析及结论

SM 的结构是一个锁存器，当时钟下降沿来到时，下一状态变成当前状态取反。观察时序仿真可知延时约为 5ns。

2、指令寄存器 IR

A）创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）

Project Navigator

Entity	Logic Cells	De
Cyclone II: EP2C5T144C8		
IR	8 (8)	8

B）编写源代码

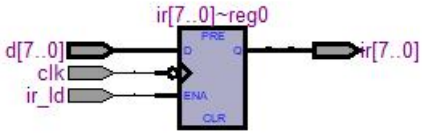
```
1  module IR(clk,ir_ld,d,ir);
2   input [7:0]d;
3   input clk,ir_ld;
4   output [7:0]ir;
5   reg [7:0]ir;
6   always@(negedge clk)
7       if(ir_ld==1)
8       ir<=d;
9       else
10      ir<=ir;
11  endmodule
12
```

C）编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

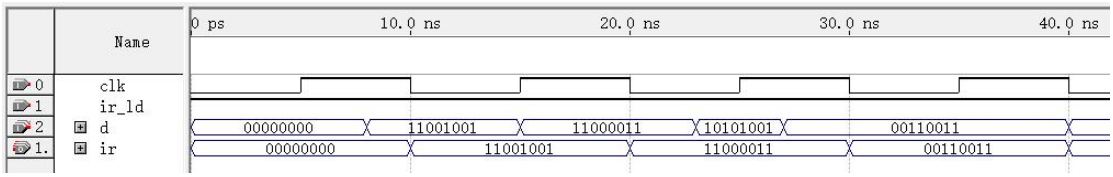
Flow Status	Successful - Fri Dec 24 21:33:34 2021
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	IR
Top-level Entity Name	IR
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	8 / 4,608 (< 1 %)
Total combinational functions	0 / 4,608 (0 %)
Dedicated logic registers	8 / 4,608 (< 1 %)
Total registers	8
Total pins	18 / 89 (20 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

Type	Message
⚠	Warning: Found clock-sensitive change during active clock edge at time 20.0 ns on register "|IR|ir[1]~reg0"
⚠	Warning: Found clock-sensitive change during active clock edge at time 20.0 ns on register "|IR|ir[3]~reg0"
⚠	Warning: Found clock-sensitive change during active clock edge at time 30.0 ns on register "|IR|ir[6]~reg0"
⚠	Warning: Found clock-sensitive change during active clock edge at time 30.0 ns on register "|IR|ir[7]~reg0"
⚠	Warning: Found clock-sensitive change during active clock edge at time 40.0 ns on register "|IR|ir[0]~reg0"
⚠	Warning: Found clock-sensitive change during active clock edge at time 40.0 ns on register "|IR|ir[5]~reg0"

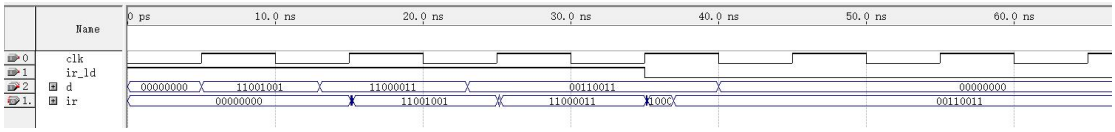
D）RTL 视图



E）功能仿真波形



F）时序仿真波形

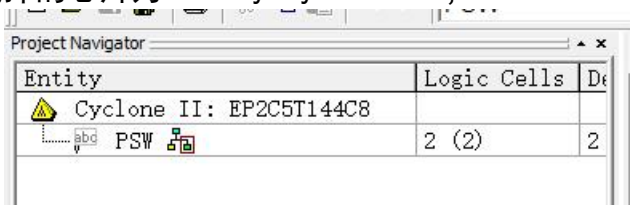


G）结果分析及结论

根据 RTL 视图可知 IR 的结构为一个 D 锁存器，ir_ld 是它的使能信号，根据时序仿真波形可知延时大概为 5ns，且 ir 输出的 8 位值的延迟不同，导致输出波形存在一段小的不正常。数据通过 IR 的延迟取决于最长的那个。

3、状态寄存器 PSW

A）创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）



B）编写源代码

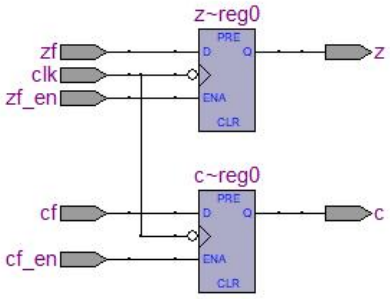
```
module PSW(clk,cf_en,zf_en,cf,zf,c,z);
 input clk,cf_en,zf_en,cf,zf;
 output c,z;
 reg c,z;
 always@(negedge clk)
begin
     if(cf_en==1)
     c<=cf;
     else
     c<=c;

     if(zf_en==1)
     z<=zf;
     else
     z<=z;
 end
 endmodule
```

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

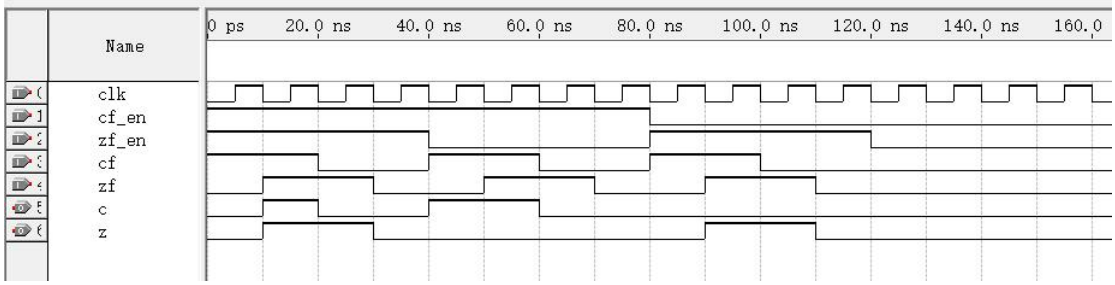
Flow Status	Successful - Fri Dec 24 21:36:27 2021
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	PSW
Top-level Entity Name	PSW
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	2 / 4,608 (< 1 %)
Total combinational functions	2 / 4,608 (< 1 %)
Dedicated logic registers	2 / 4,608 (< 1 %)
Total registers	2
Total pins	7 / 89 (8 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

Type	Message
⚠	Warning: Feature LogicLock is not available with your current license
⚠	Warning: No exact pin location assignment(s) for 7 pins of 7 total pins
⚠	Warning: Found 2 output pins without output pin load capacitance assignment
⚠	Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
⚠	Warning: Found pins functioning as undefined clocks and/or memory enables

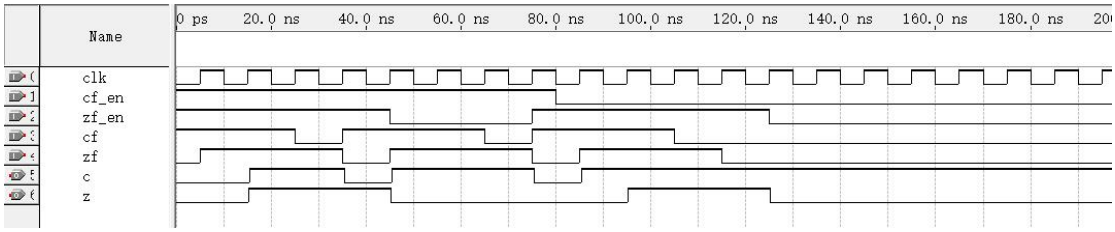
D) RTL 视图



E) 功能仿真波形



F）时序仿真波形

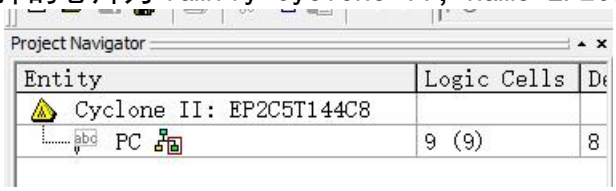


G）结果分析及结论

输出 c 和 z 存在 5ns 左右的延迟，数据信号早于下降沿 5ns 到来，晚于下降沿 5ns 撤走时，时序仿真波形正常，故该锁存器的建立时间和保持时间均小于 5ns。

4、指令计数器 PC

A）创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）



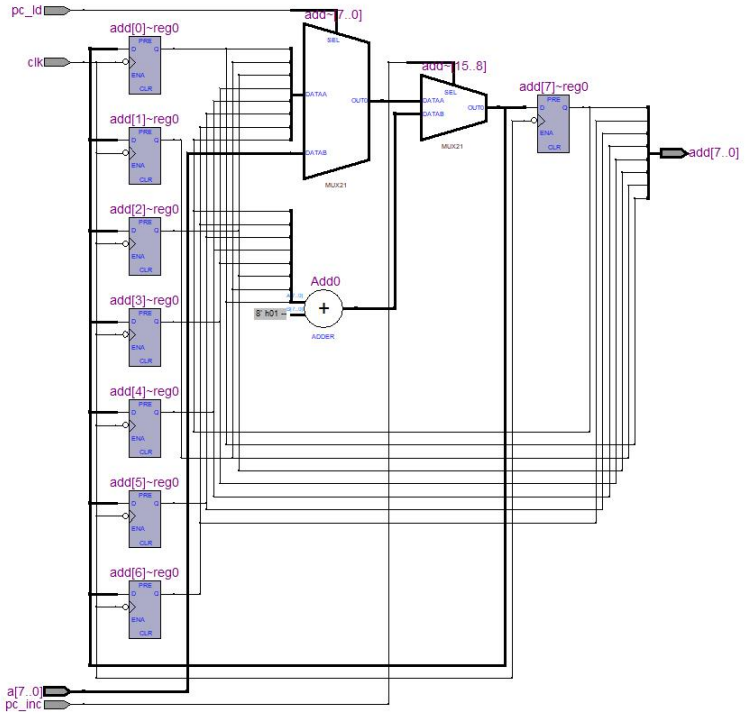
B）编写源代码

```
module PC(clk,pc_ld,pc_inc,a,add);
input clk,pc_ld,pc_inc,a;
output add;
wire [7:0]a;
reg [7:0]add=0;
always @ (negedge clk)
begin
    if(pc_inc==1)
    add<=add+1;
    else if(pc_ld==1)
    add<=a;
    else
    add<=add;
end
endmodule
```

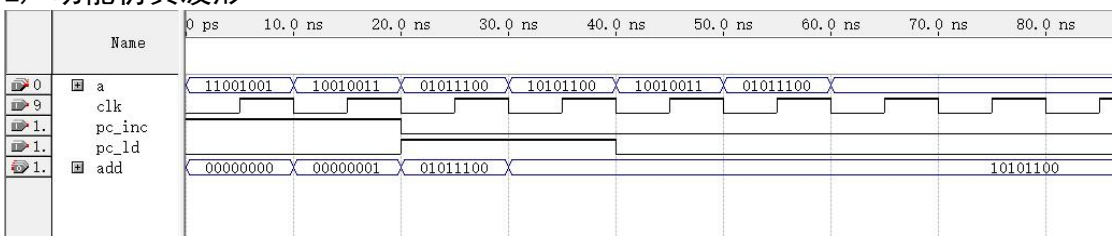
C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

```
Flow Status                          Successful - Fri Dec 24 21:34:48 2021
Quartus II Version                   9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name                        PC
Top-level Entity Name                PC
Family                               Cyclone II
Device                               EP2C5T144C8
Timing Models                        Final
Met timing requirements              Yes
Total logic elements                 9 / 4,608 ( < 1 % )
    Total combinational functions    9 / 4,608 ( < 1 % )
    Dedicated logic registers        8 / 4,608 ( < 1 % )
Total registers                      8
Total pins                           19 / 89 ( 21 % )
Total virtual pins                   0
Total memory bits                    0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements   0 / 26 ( 0 % )
Total PLLs                           0 / 2 ( 0 % )
```

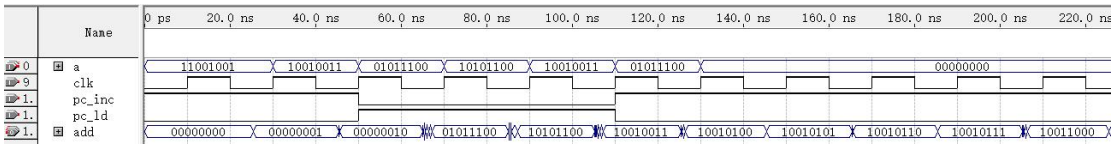
D) RTL 视图



E) 功能仿真波形



F）时序仿真波形

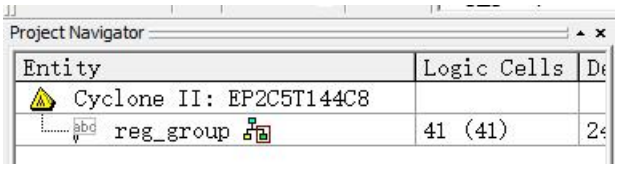


G）结果分析及结论

由于 pc 有自动+1 的功能，所以在 RTL 视图中可以看到一个加法器。其中一个加数为常量 1。而 add 的输出延迟为 5ns 左右。

5、通用寄存器组

A）创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）



B）编写源代码

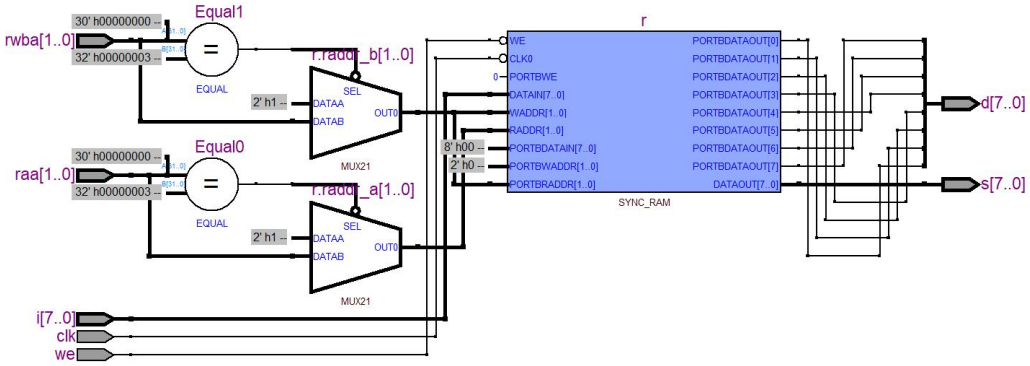
```
module reg_group(clk,we,raa,rwba,i,s,d);
input clk,we,raa,rwba,i;
output s,d;
wire [7:0]i;
wire [1:0]raa;
wire [1:0]rwba;
reg [7:0] r [2:0];
reg [7:0] s;
reg [7:0] d;
always@(we,raa,rwba,i)
    begin
    if(raa!=3)
    s<=r[raa];
    else
    s<=r[2];
    if(rwba!=3)
    d<=r[rwba];
    else
    d<=r[2];
    end
always@(negedge clk)
    if(we==0)
        if(rwba!=3)
        r[rwba]<=i;
        else
        r[2]<=i;
endmodule
```

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

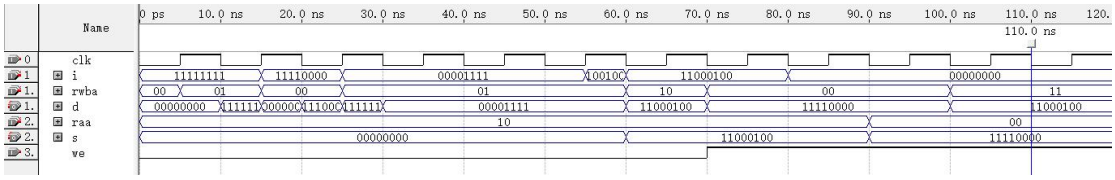
```
Flow Status                          Successful - Fri Dec 24 21:39:31 2021
Quartus II Version                   9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name                        reg_group
Top-level Entity Name                reg_group
Family                               Cyclone II
Device                               EP2C5T144C8
Timing Models                        Final
Met timing requirements              Yes
Total logic elements                 41 / 4,608 ( < 1 % )
    Total combinational functions    41 / 4,608 ( < 1 % )
    Dedicated logic registers        24 / 4,608 ( < 1 % )
Total registers                      24
Total pins                           30 / 89 ( 34 % )
Total virtual pins                   0
Total memory bits                    0 / 119,808 ( 0 % )
Embedded Multiplier 9-bit elements   0 / 26 ( 0 % )
Total PLLs                           0 / 2 ( 0 % )
```

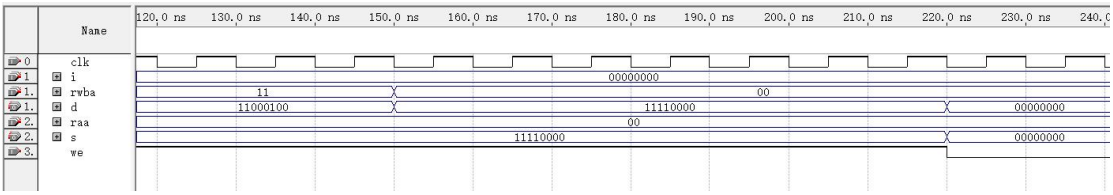
```
Type  Message
      Warning (10227): Verilog HDL Port Declaration warning at reg_group.v(5): data type declaration for "raa" declares packed dimensions but the port declaration declaration does not
      Warning (10227): Verilog HDL Port Declaration warning at reg_group.v(6): data type declaration for "rwba" declares packed dimensions but the port declaration declaration does not
      Warning (10227): Verilog HDL Port Declaration warning at reg_group.v(4): data type declaration for "i" declares packed dimensions but the port declaration declaration does not
      Warning (10227): Verilog HDL Port Declaration warning at reg_group.v(8): data type declaration for "s" declares packed dimensions but the port declaration declaration does not
      Warning (10227): Verilog HDL Port Declaration warning at reg_group.v(9): data type declaration for "d" declares packed dimensions but the port declaration declaration does not
      Warning: Feature LogicLock is not available with your current license
      Warning: No exact pin location assignment(s) for 30 pins of 30 total pins
      Warning: Some pins have incomplete I/O assignments. Refer to the I/O Assignment Warnings report for details
      Warning: Found 16 output pins without output pin load capacitance assignment
      Warning: The Reserve All Unused Pins setting has not been specified, and will default to 'As output driving ground'.
      Warning: Found pins functioning as undefined clocks and/or memory enables
```

D) RTL 视图

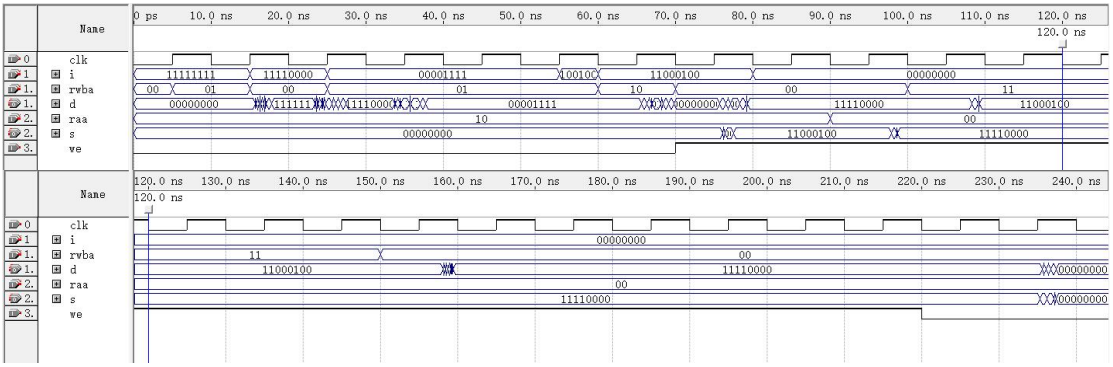


E) 功能仿真波形





F）时序仿真波形



G）时序分析

Timing Analyzer Summary

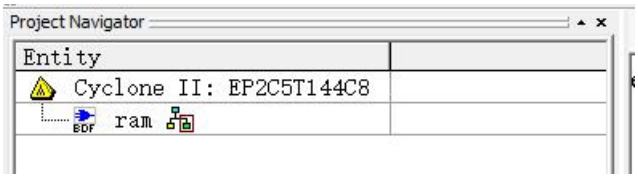
	Type	Slack	Required Time	Actual Time	From	To	From Clock	To Clock	Failed Paths
1	Worst-case tsu	N/A	None	5.473 ns	rwba[0]	r~15	--	clk	0
2	Worst-case tco	N/A	None	7.727 ns	r~12	d[4]	clk	--	0
3	Worst-case tpd	N/A	None	10.033 ns	raa[0]	s[7]	--	--	0
4	Worst-case th	N/A	None	-2.265 ns	i[3]	r~11	--	clk	0
5	Total number of failed paths								0

H）结果分析及结论

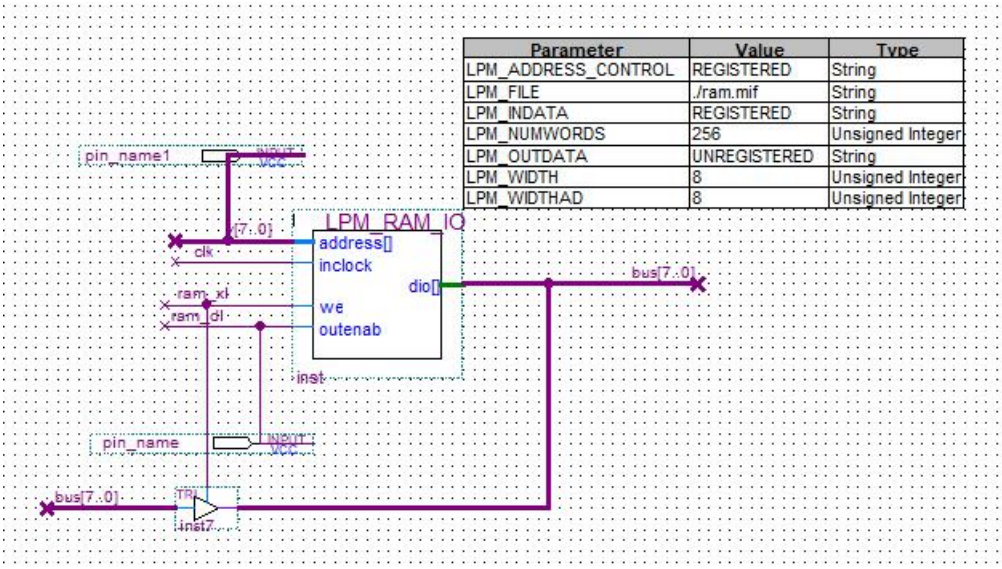
最长建立时间 stu 为 5.473ns，最长不稳定时间 tco 为 7.727ns，最长延迟为 10.033ns，最长保持时间为-2.265ns。保持时间之所以为负数，是因为锁存器的延迟要大于实际的保持时间，所以在时序电路中不需要考虑该保持时间，因为它被包含在锁存器的延迟里了。

6、RAM 的使用

A）创建工程（选择的芯片为 family=Cyclone II；name=EP2C5T144C8）



B) 电路图

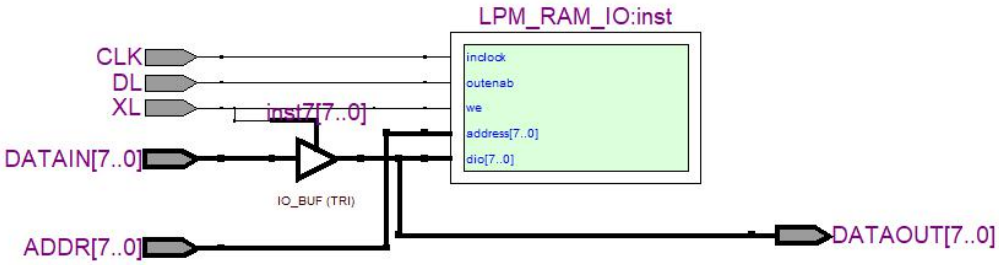


Parameter	Value	Type
LPM_ADDRESS_CONTROL	REGISTERED	String
LPM_FILE	./ram.mif	String
LPM_INDATA	REGISTERED	String
LPM_NUMWORDS	256	Unsigned Integer
LPM_OUTDATA	UNREGISTERED	String
LPM_WIDTH	8	Unsigned Integer
LPM_WIDTHAD	8	Unsigned Integer

C) 编译与调试（包含编译调试过程中的错误、警告信息以及资源消耗）

```
Flow Status                    Successful - Wed Dec 22 22:57:40 2021
Quartus II Version             9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name                  ram
Top-level Entity Name          ram
Family                         Stratix II
Met timing requirements        Yes
Logic utilization              < 1 %
    Combinational ALUTs        18 / 12,480 ( < 1 % )
    Dedicated logic registers  0 / 12,480 ( 0 % )
Total registers                0
Total pins                     27 / 343 ( 8 % )
Total virtual pins             0
Total block memory bits        2,048 / 419,328 ( < 1 % )
DSP block 9-bit elements       0 / 96 ( 0 % )
Total PLLs                     0 / 6 ( 0 % )
Total DLLs                     0 / 2 ( 0 % )
Device                         EP2S15F484C3
Timing Models                  Final
```

D) RTL 视图

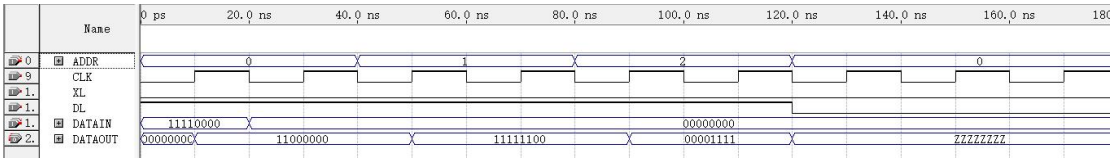


E）功能仿真波形

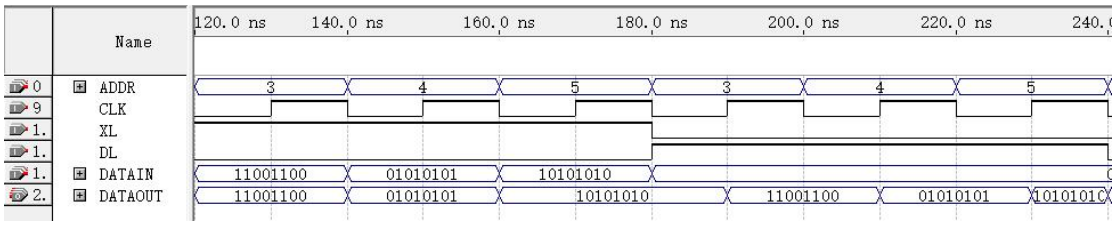
Compilation Repo... | ram.bdf | RTL Viewer | ram.mif

Addr	+0	+1	+2	+3	+4	+5	+6
00	11000000	11111100	00001111	00000000	00000000	00000000	00000000
08	00000000	00000000	00000000	00000000	00000000	00000000	00000000
10	00000000	00000000	00000000	00000000	00000000	00000000	00000000

在 mif 文件中存储 3 个数据



读取数据成功，输出高阻态成功



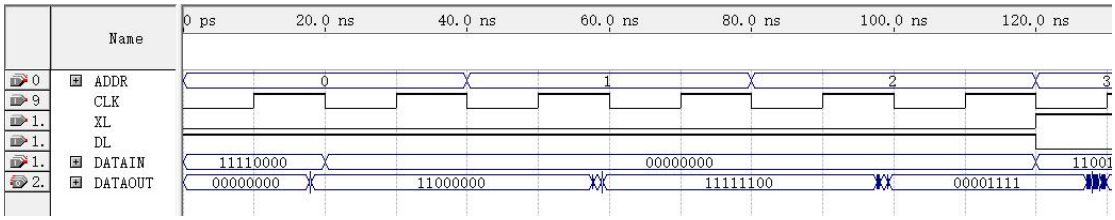
写入数据并读取成功

F）时序仿真波形

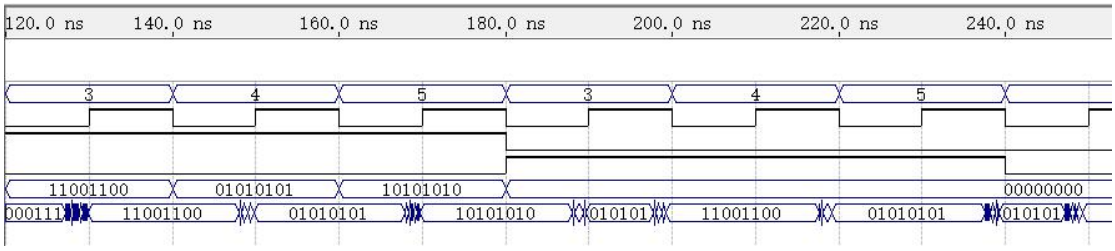
Compilation Repo... | ram.bdf | RTL Viewer | ram.mif

Addr	+0	+1	+2	+3	+4	+5	+6
00	11000000	11111100	00001111	00000000	00000000	00000000	00000000
08	00000000	00000000	00000000	00000000	00000000	00000000	00000000
10	00000000	00000000	00000000	00000000	00000000	00000000	00000000

在 mif 文件中存储 3 个数据



读取数据成功，输出高阻态成功



写入数据并读取成功

G）结果分析及结论：

通过功能仿真波形可以得知；可以将 ram 中的数据写在 mif 文件中，然后直接读取。也能够在电路工作的时候将数据写到 ram 中。

四、思考题

1．时钟周期的上升沿实现对 RAM 的读写操作，为何 PC、SM、IR、PSW 以及寄存器组的操作是下降沿完成？

SM 是模型机处于哪个周期的指示牌，SM=0 说明处于取指周期，SM=1 说明处于执行周期，模型机的逻辑关系应该是：先规定下降沿是一个周期结束，另一个周期开始的标志（即 SM 在下降沿翻转），然后就能确定 RAM 的读写操作以及 PC,IR,PSW,寄存器组的操作是在上升沿还是下降沿完成了。

现在来分析为何从 ram 中读写数据是处于上升沿：首先是一个下降沿的到来导致 SM 翻转，进入了新的周期，由于延迟的存在，控制信号需要一点时间才能到达 ram，所以很显然，在标志着这个周期开始的那个下降沿 ram 不能执行读写操作。而要将 ram 数据读出，由于延迟，需要给一定的时间才能将数据送到总线，送入总线后还需要一段建立时间才能正常写入其他模块（PC 或者通用寄存器组），故 ram 的读操作必须在上升沿完成。ram 的写操作分析方法类似，由于 SM 在下降沿翻转，故 ram 需要到下一个上升沿到来时才能执行写操作。

知道了 ram 在上升沿执行读写操作，就好理解为什么 PC,IR,PSW,寄存器组要在下降沿执行操作了。由于 ram 的数据在上升沿才开始发送，它达到总线并且满足 PC,IR,PSW,寄存器组的建立时间需要一段延迟，所以这些模块必须等到下一个下降沿到来时，才能够完成写操作，此时正好是执行周期的结束。而 PC，SM，IR，PSW，寄存器组是不能直接将数据送到总线的，所以不用担心他们的读操作出问题（即读操作并不会出现在执行周期结束）。

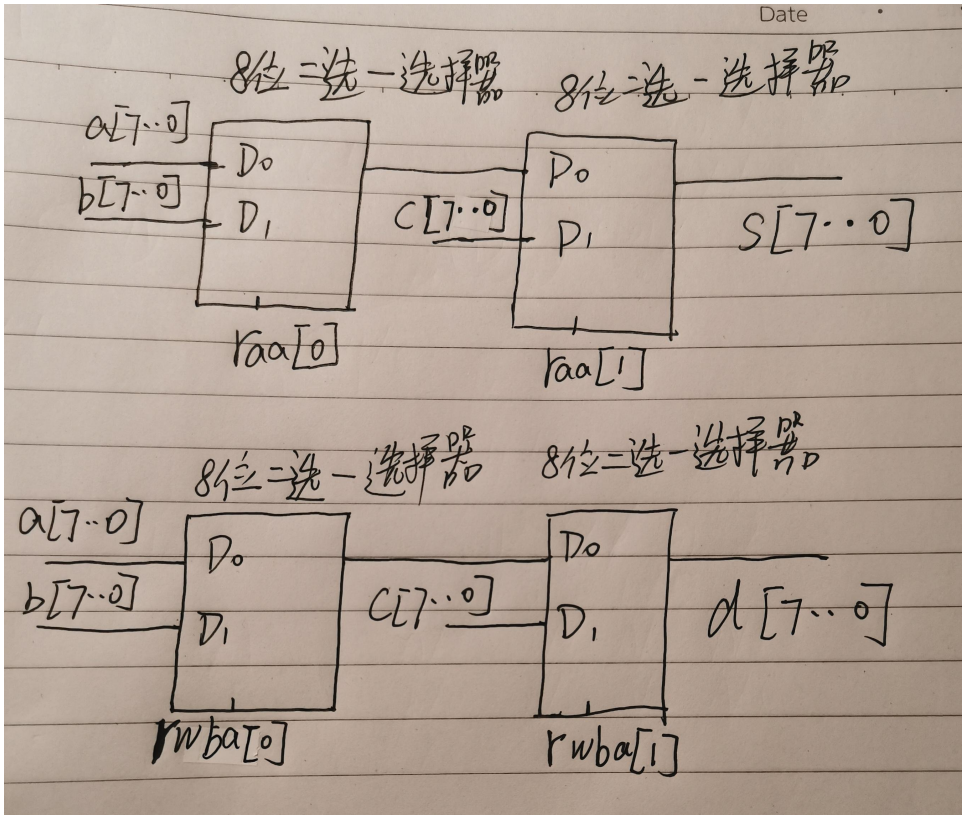
所以关键在于 RAM 是一个 IO 的模块，有一个输入输出端口和总线相连，它的读操作绝对不能在一个周期结束时才执行（也就是下降沿）。所以 RAM 只能在上升沿读写，而考虑到延迟，其余时序模块就只能在下降沿执行写操作了。

2．采用 VERILOG 语言描述时序部件应该采用阻塞赋值语句还是非阻塞赋值语句？

应该采用非阻塞赋值语句，也就是<=符号。

3、通用寄存器组只有 WE 的控制信号，实现通用寄存器组读操作的电路是组合电路还是时序电路？请大致画出对寄存器组进行读操作的电路部分。

由于 WE 信号只控制通用寄存器组的写操作，实现通用寄存器组读操作的电路是组合电路。



如图所示，当 raa=2’b00 时选择 a 寄存器，当 raa=2’b01 时选择 b 寄存器，当 raa=2’b10 或 2’b11 时选择 c 寄存器，rwba 同理。利用八位的二选一选择器组成的组合电路就可以实现读操作。

五、实验总结、必得体会及建议

从需要掌握的理论、遇到的困难、解决的办法以及经验教训等方面进行总结。

掌握的理论：了解模型机中 SM 的作用。熟悉指令寄存器、状态寄存器、指令计数器、寄存器的工作原理。学会使用 VERILOG 语言设计时序电路。

遇到的困难：
1.不知道如何使用 quartus 库中的 ram，不知道如何设置 ram 的参数。
2.对模型机的时序元件工作原理还存在一定误区。

解决的办法：
1. 在网上查找相关资料，学习 ram 的参数设置方法，并利用波形仿真来验证结果。
2. 阅读老师发的“CPU 设计”的 PPT，仔细理清楚 cpu 中各个时序部件的连接关系，以及它们和时钟触发沿的关系。

经验教训：
遇到不懂的问题，在思考无果后，可以在网上查找相关资料，再辅以实验验证，通过多次试错来加深对不懂的地方的印象。仔细阅读老师提供的资料，也可以达到事半功倍的效果。