

Zkouska LSP 2023–07–06

Course: B0B35LSP – Logické systémy a procesory | BE5B35LSP – Logic Systems and Processors **University:** CVUT FEL (CVUT) – České vysoké učení technické v Praze | Czech Technical University in Prague **Keywords:** LSP, Exam, Zkouska, 2023–07–06, Shannon expansion, arithmetic, edge detector, VHDL

[CN Version](#) | [EN Version](#) | [CZ Version](#)

Zkouska LSP 2023–07–06 (anglická verze)

AI odvozená verze – V PDF nejsou oficiální odpovědi; níže jsou odvozené poznámky/rěšení.

Informace o zkoušce

- Datum: 2023–07–06
 - Jazyk: čeština / angličtina
 - Obsahuje statistické grafy
-

Úloha 1 – Shannonův rozklad (6 b)

Zadání: Rozložte funkce obvodu $X, Y = f(A, B, C)$ pomocí Shannonova rozkladu.

$$X, Y = (\bar{C} \wedge f_0(A, B)) \vee (C \wedge f_1(A, B))$$

Úloha 2 – Aritmetika 8bitové sčítacky (4 b)

Zadání: Proveďte $96+97+98+99$ na 8bitové sčítacce.

Výpočet: – $96+97+98+99 = 390$ – $390 \bmod 256 = 134$ – Binárně 134: 10000110

Rěšení: – a) unsigned: 134 – b) signed (dvojkový doplněk): –122 (protože MSB = 1)

Úloha 3 – Návrh demultiplexoru 1:4 (5 b)

Zadání: Nakreslete logické schéma demultiplexoru.

Rovnice:

$x0 = \text{Data and (not } y1) \text{ and (not } y0)$
 $x1 = \text{Data and (not } y1) \text{ and } y0$
 $x2 = \text{Data and } y1 \text{ and (not } y0)$
 $x3 = \text{Data and } y1 \text{ and } y0$

Úloha 4 –Simulace RS záchyty (5 b)

Zadání: Pro dané hodnoty vstupů A, B, C v časech t0–t4 určete výstupy X a Y.

Vstupní posloupnost:

A =	1		0		1		0		1
B =	0		0		1		0		0
C =	0		1		0		0		0
	t0		t1		t2		t3		t4

Úloha 5 –RTL analýza VHDL kódu (10 b)

Zadání: Nakreslete RTL pohled a pojmenujte obvod.

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity XXX is port(a, b : in std_logic; c : out std_logic); end entity;
architecture beh of XXX is
begin
  process (a,b)
    variable d:std_logic:='0';
    variable e:integer range 0 to 25:=0;
  begin
    if b='0' then
      e:=0; d:='0';
    elsif rising_edge(a) then
      if e<25 then
        e:=e+1;
      else
        e:=0; d:=not d;
      end if;
    end if;
    c<=d;
  end process;
end architecture;
```

Rěšení: – Název: dělička frekvence /26 – Výstup se překlápí jednou za 26 taktů – b je asynchronní reset

Úloha 6 –VHDL popis demultiplexoru (5 b)

Zadání: Popište demultiplexor ve VHDL.

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity yyy is
  port(Data: in std_logic;
        y: in std_logic_vector(1 downto 0);
        x: out std_logic_vector(3 downto 0));
end entity;
architecture dataflow of yyy is
begin
  process(Data, y)
  begin
    x <= (others => '0');
    x(to_integer(unsigned(y))) <= Data;
  end process;
end architecture;
```

Úloha 7 –Návrh děličky /16 (10 b)

Zadání: Doplňte schéma tak, aby vznikla synchronní dělička CLK /16.

Návrh: – 4bitový čítač (DFF) – scítačka +1 – výstup DIV16 je MSB

Úloha 8 –Prediktor skoků (5 b)

Poznámka (není zkoušeno): Podle poznámek k roku 2026 se výpočty prediktoru skoků netestují; lze přeskocit.

Zadání: Program v C hledá maximum v poli:

```
int data[] = { 0, 1, -2, 3, 4, -5, -6, -7, 8, 9 };
int max = INT_MIN;
for (int i = 0; i < sizeof(data)/sizeof(int); i++)
{
  if (data[i] > max) max = data[i];
}
```

Místa pro odpověď: – 1bitový prediktor (pocátečně NT): misses = ? – 2bitový prediktor (pocátečně WT): misses = ?

Úloha 9 –Bonus: Detektor hrany (10 b)

Zadání: Když vstup D změní hodnotu, výstup Y bude '1' po jeden takt.

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity Edges is
  port (clk, Reset, D : in std_logic; Y: out std_logic);
end entity;
architecture rtl of Edges is
  signal D_reg : std_logic := '0';
begin
  process(clk)
  begin
    if rising_edge(clk) then
      if Reset = '1' then
        D_reg <= '0';
        Y <= '0';
      else
        Y <= D xor D_reg;
        D_reg <= D;
      end if;
    end if;
  end process;
end architecture;
```

Shrnutí témat

Hlavní okruhy

1. Shannonův rozklad
2. 8bitová signed/unsigned aritmetika
3. Demultiplexor
4. Simulace RS záchytu
5. RTL analýza VHDL (dělička)
6. Demultiplexor ve VHDL
7. Dělička /16
8. Prediktor skoků
9. Detektor hrany

Důležité odpovědi

- $96+97+98+99 = 390 \rightarrow$ unsigned: 134, signed: -122
- Rozpoznání děličky: /26