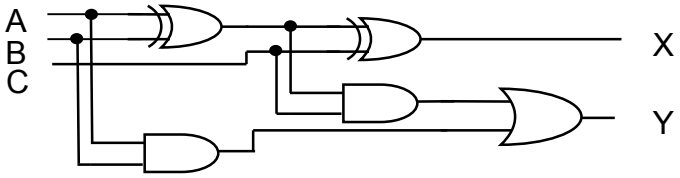
Surname and first name :.....

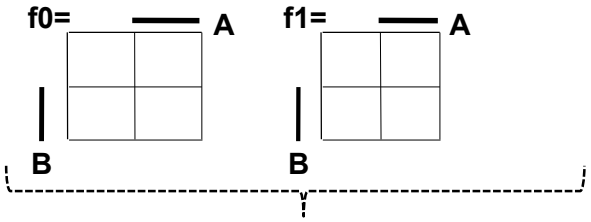
Zkouška LPS dne 24.1.2022 - pište sem jen Vaše odpovědi / *The Exam 24.1.2022- write here only your answers*

Do not write here

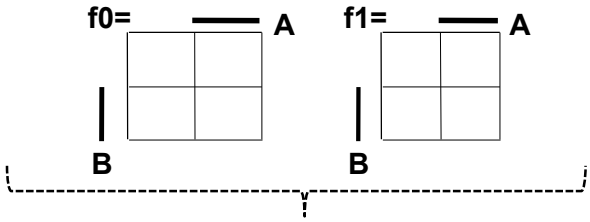


1. Funkce X,Y=f(A,B,C) obvodu, rozložte na tvar X,Y= (not C and **f0(**A, B**)**) or (C and f1(A,B**)**) pomocí Shannonovy expanze. F**unkce f0 a f1 zapište jako Karnaughovy mapy:** **X/3**

*X,Y=f(A,B,Z) function of the circuit, decompose into X,Y= (not C and **f0(**A, B**)**) or (C and **f1(**A,B**)**) using Shannon expansion.* ***Functions f0 and f1 write down as Karnaugh maps:***



X= (not C and **f0(**A, B**)**) or (C and **f1**(A,B**)**)



Y= (not C and **f0(**A, B**)**) or (C and **f1**(A,B**)**)

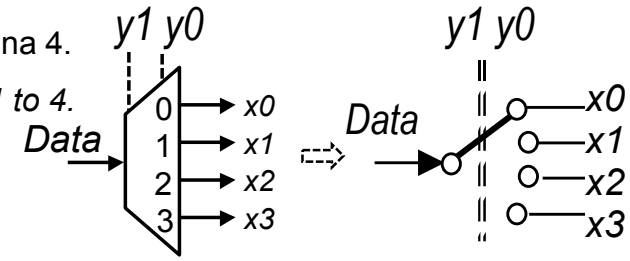
Y/3

2. Provedeme-li operaci 96+97+98+99 na 8bitové sčítačce, jaký bude výsledek, budeme-li ho brát jako 8bitové číslo **4**
If we perform 96+97+98+99 by an 8-bit adder, what is its 8-bit result converted to a decimal number?

a) unsigned ..... b) signed in two's-complement..... .....

3. Nakreslete logické schéma demultiplexoru 1 na 4.

Draw the logical schema of a demultiplexer 1 to 4.



10

4.Vstupy A, B, C měly v časech t_0, t_1, t_2, t_3 , t_4 hodnoty uvedené v obrázku. Napište hodnoty X a Y výstupů. Intervaly mezi změnami vstupů jsou dost dlouhé, takže lze zanedbat zpoždění hradel.

Inputs A, B, C have values shown in the figure in times t_0, t_1, t_2, t_3, t_4 . Write values of X and Y outputs. Assume that the intervals between input changes are so long so we can neglect delays of gates.

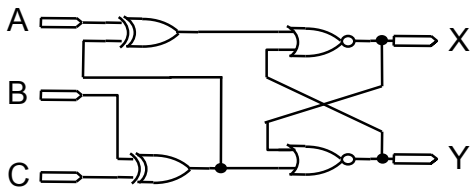
A = .**1..| 0..|..1.|..0.. |..1..|**

t_0..|..t_1..|.. t_2..|..t_3..|..t_4..|..

B = ..**0..|..0..|..1.|..0.. |..0..|**

t_0..|..t_1..|.. t_2..|..t_3..|..t_4..|..

C = ..**0..|..1..|..0.|..0.. |..0..|**



X = ...|… ….|… ….| ……|... …|

t_0..|..t_1...|.. t_2..|..t_3..|..t_4..|..

Y = ...|… ….|… ….| ……|... …|

Do not write here

5

část 1

25>8

5. Nakreslete RTL View schéma obvodu, který vznikne z následujícího VHDL kódu, a správně obvod pojmenujte.

Draw RTL View schema created from the VHDL code below. What does this circuit perform? Write its correct name.

```
library ieee;use ieee.std_logic_1164.all;use ieee.numeric_std.all;
entity XXX is port(a, b  : in std_logic; c  : out std_logic); end entity;
architecture beh of XXX is begin process (a,b)  variable d:std_logic:='0'; variable e:integer range 0 to 25:=0;
  begin if b='0' then e:=0; d:='0' ; elsif rising_edge(a) then if e<25 then e:=e+1; else e:=0; d:=not d; end if;
      end if; c<=d; end process; end architecture;
```

8

RTL

2

name

6. Demultiplexor z otázky 3 popište ve VHDL nejjednodušším možným způsobem.

Describe the demultiplexer form 3rd question in VHDL by the simplest possible way.

```
library ieee; use ieee.std_logic_1164.all;use ieee.numeric_std.all;
entity yyy is port( Data: in std_logic; y: in std_logic_vector(1 downto 0); x: out std_logic_vector(3 downto 0)); end entity;
architecture dataflow of yyy is
 ……
begin
   ……
   ……
   ……
   ……
 ……
 ……
end architecture;
```

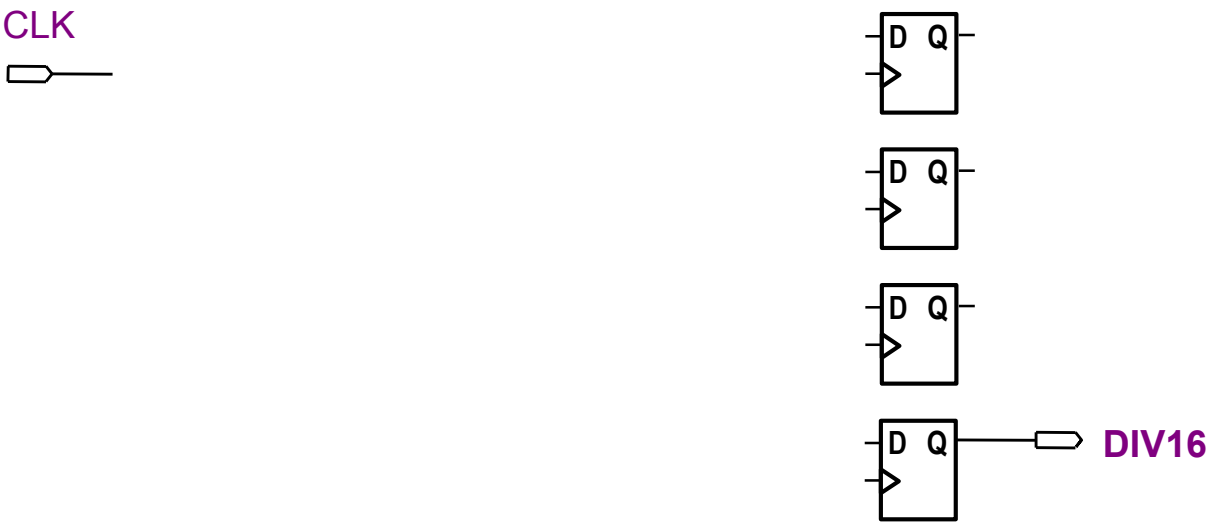
5

Surname and first name :.....

Zkouška LPS dne 24.1.2022 - pište sem jen Vaše odpovědi / Exam 24.1.2022- write here only your answers

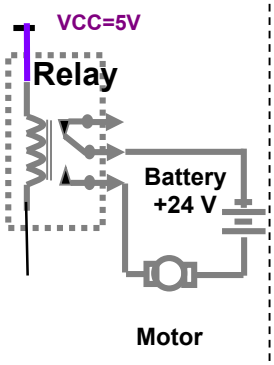
Do not write here

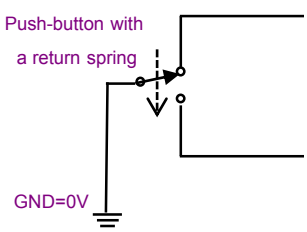
7. Doplňte potřebné minimum součástek do nedokresleného schématu dole tak, aby vznikl **synchronní** dělič 16 hodinového signálu CLK. *(Návod: použijte sčítačku +1)*
*Fill the required minimum components into the unfinished scheme below to create a **synchronous** divider by 16 of CLK signal. (Instructions: Use +1 Adder)*



5

8. Nakreslete obvod, který při jednom stisku dvoupólového tlačítka zapne motor a následujícím stiskem téhož tlačítka ho vypne. Totéž lze opakovat. Motor musí být vždy **po zapnutí napájení ve stavu vypnuto**!
Draw a circuit that turns on the motor after pushing the two-pole button. When we press the button again, the motor stops. The motor must always be off when we switch on the power supply!





5

část 2
25>8

9. **Prémiová otázka, u níž se uzná jen plně funkční řešení:**
Výstup Y jde do '1' na 1 cyklus hodin CLK jen tehdy, když D vstup změnil svou hodnotu.
RESET značí synchronní nulování, Y bude během něho '0'. Poté opět reaguje až na nové změny D.

Premium question for which only a fully functional solution is accepted:
Output Y goes to '1' for 1 CLK clock cycle only when D input has changed its value.
RESET indicates synchronous resetting, and Y will be '0' during it. Then, it reacts again to new changes of D.

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity Edges is port (clk, Reset, D : in std_logic; Y:out std_logic);
end entity;
architecture rtl of  Edges is

.....

.....

.....

. .....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

end architecture;
```

Do not write here