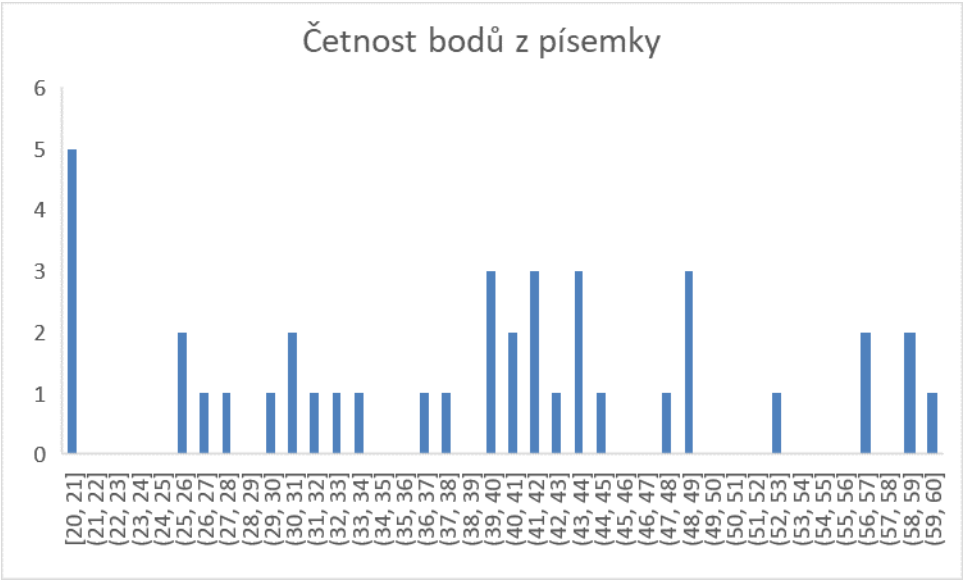


Statistika zkoušky 7. června 2023



Procenta udávají průměrný počet bodů vztažený k maximu z otázky



Do not write here

$$\begin{array}{r} X/3 \\ + Y/3 \\ \hline \end{array}$$


4



$$Y = (\text{not } C \text{ and } f_0(A, B)) \text{ or } (C \text{ and } f_1(A, B))$$



4.Vstupy A, B, C měly v časech t_0, t_1, t_2, t_3, t_4 hodnoty uvedené v obrázku. Napište hodnoty X a Y výstupů. Intervaly mezi změnami vstupů jsou dost dlouhé, takže lze zanedbat zpoždění hradel.

A = .1..| 0..|.1..|0..|.1..|
 $t_0 \dots t_1 \dots t_2 \dots t_3 \dots t_4 \dots$

B = ..0..|.0..|.1..|.0..|.0..|
 $t_0 \dots t_1 \dots t_2 \dots t_3 \dots t_4 \dots$

C = ..0..|.1..|.0..|.0..|.0..|

X =|... ..|... ..|... ..|... ..|
 $t_0 \dots t_1 \dots t_2 \dots t_3 \dots t_4 \dots$

Y =|... ..|... ..|... ..|... ..|

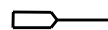
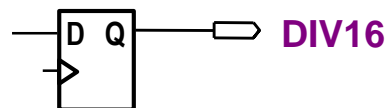
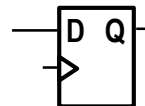
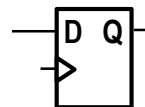
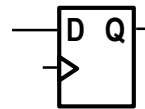
5. Nakreslete RTL View schéma obvodu, který vznikne z následujícího VHDL kódu, a správně obvod pojmenujte.

```
library ieee;use ieee.std_logic_1164.all;use ieee.numeric_std.all;
entity XXX is port(a, b : in std_logic; c : out std_logic); end entity;
architecture beh of XXX is begin process (a,b) variable d:std_logic:='0'; variable e:integer range 0 to 25:=0;
begin if b='0' then e:=0; d:='0'; elsif rising_edge(a) then if e<25 then e:=e+1; else e:=0; d:=not d; end if;
end if; c<=d; end process; end architecture;
```

6. Demultiplexor z otázky 3 popište ve VHDL nejjednodušším možným způsobem.

```
library ieee; use ieee.std_logic_1164.all;use ieee.numeric_std.all;
entity yyy is port( Data: in std_logic; y: in std_logic_vector(1 downto 0); x: out std_logic_vector(3 downto 0));
end entity;
architecture dataflow of yyy is
.....
begin
.....
.....
.....
.....
.....
end architecture;
```

7. Doplňte potřebné minimum součástek do nedokresleného schématu dole tak, aby vznikl **synchronní** dělič 16 hodinového signálu CLK. (Návod: Přidejte sčítačku +1)



CLK

10



8. C program hledá maximum v poli **data**.

```
int data[] = { 0, 1, -2, 3, 4, -5, -6, -7, 8, 9 };
int max = INT_MIN; // =-2147483648 (v <limits.h>)
for (int i = 0; i < sizeof(data)/sizeof(int); i++) // i<10
{ if (data[i] > max) max = data[i];
}
```

Kolik v něm bude chybných skokových predikcí za předpokladu, že for-loop s konstantními mezemi se úsporně přeložila cyklem do-while a procesor používá pouze:

jednabitové prediktory, které měly svůj výchozí stav Not-taken, NT , misses=.....
dvoubitové prediktory, které měly svůj výchozí stav WT, Weakly Taken, misses=.....

Ke stanovení můžete použít třeba tabulku dole:

0	1	-2	3	4	-5	-6	-7	8	9

5



9. Prémiová otázka, u níž se uzná jen plně funkční řešení:

Výstup Y jde do '1' na 1 cyklus hodin CLK jen tehdy, když D vstup změnil svou hodnotu.

RESET značí synchronní nulování, Y bude během něho '0'. Poté opět reaguje až na nové změny D.

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;  
entity Edges is port (clk, Reset, D : in std_logic; Y:out std_logic);  
end entity;  
architecture rtl of Edges is
```

```
end architecture;
```