

LSP Exam – 2016年1月25日

CVUT FEL (CVUT) – České vysoké učení technické v Praze | Czech Technical University in Prague

中文版 | English | Čeština

AI推演版本 – 以下为解析参考

题目5: RS锁存器画图 常考

题目: 仅使用NOR门画出RS锁存器, 仅使用NAND门画出RS锁存器。 [English] Draw RS latch using only NOR gates, and draw RS latch using only NAND gates.

NOR型 RS锁存器

S [>NOR] Q
 ↑

R [>NOR] Q
 ↑

特性: – S=1, R=0 → Q=1 (置位) – S=0, R=1 → Q=0 (复位) – S=0, R=0 → 保持 – S=1, R=1 → 禁止状态

NAND型 RS锁存器

S [>NAND] Q
 ↑

R [>NAND] Q
 ↑

特性 (低电平有效): – S=0, R=1 → Q=1 (置位) – S=1, R=0 → Q=0 (复位) – S=1, R=1 → 保持 – S=0, R=0 → 禁止状态

题目7: 电机控制电路设计

题目: 一个学生来考试只是想试试。完成他未完成的电路图 – 按下按钮启动电机, 再次按下关闭电机。上电后电机必须处于停转状态。 [English] A student came to the exam just to try. Complete his unfinished circuit – pressing the

button starts the motor, pressing again stops it. After power-up, the motor must be in stop mode.

提示: 需要添加7个额外元件来完成电路。

电路组成

- VCC = 5V
- GND = 0V
- 继电器 (Relay)
- 电池 24V
- 按钮 (Push-button)
- D触发器 (DFF)
- 电机 (Motor)

设计思路

1. 使用D触发器实现T触发器功能 (每次按键翻转状态)
2. 将Q反馈到D输入
3. 按钮连接到CLK (上升沿触发)
4. CLRN连接VCC确保上电复位
5. Q输出控制继电器

需要添加的元件

1. 从Q到D的连线
 2. VCC到PRN的连接
 3. 按钮去抖动电路
 4. 继电器驱动电路
 5. 保护二极管等
-

题目8: VHDL代码分析

题目: 分析格式错误的VHDL代码, 画出对应的逻辑电路图并给出描述其功能的标题。 [English] Analyze the poorly formatted VHDL code, draw the corresponding logic circuit diagram and give a title describing its function.

```
library IEEE; use IEEE.STD_LOGIC_1164.all;
entity test20140214 is port (a, b, c, d : in std_logic; e : out std_logic); end;
architecture rtl of test20140214 is begin
process(a, b) variable z:std_logic_vector(0 to 3); begin
if b = '0' then z:=(others=>'0'); elsif rising_edge(a) then
if c='1' then z:=d & z(0 to 2); else z:=z(3) & z(0 to 2); end if; end if; e<=z(3); end process; end rtl
```

格式化后的代码

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity test20140214 is
    port (
        a, b, c, d : in std_logic;
```

```

        e : out std_logic
    );
end;

architecture rtl of test20140214 is
begin
    process(a, b)
        variable z: std_logic_vector(0 to 3);
    begin
        if b = '0' then
            z := (others => '0');          --
        elsif rising_edge(a) then        --
            if c = '1' then
                z := d & z(0 to 2);        -- 1:
            else
                z := z(3) & z(0 to 2);    -- 2:
            end if;
        end if;
        e <= z(3);                        --
    end process;
end rtl;

```

电路图描述

电路名称: 4位可控双模式移位寄存器

d MUX → [DFF] → [DFF] → [DFF] → [DFF] → e
 z(0) z(1) z(2) z(3)
 c sel

()

a CLK (DFF)
 b CLRN (DFF)

功能说明

信号	功能
a	时钟信号 (上升沿)
b	异步清零 (b='0'清零)
c	模式选择
d	串行数据输入
e	输出 (z(3))

c值	模式
'1'	串行输入: d → z(0) → z(1) → z(2) → z(3)
'0'	循环移位: z(3) → z(0) → z(1) → z(2) → z(3)

知识点总结

题型	考点
RS锁存器	NOR/NAND门实现，理解置位/复位逻辑
电机控制	D触发器应用，T触发器设计
VHDL分析	代码格式化，移位寄存器理解