

# LSP 考试 2025 年 6 月 4 日 (含答案)

本文件已核对 PDF 官方答案 (Official Answers Verified from PDF)

## 考试信息

- 日期: 2025 年 6 月 4 日
  - 语言: 捷克语
  - 版本: V1.1 (已修正直方图)
  - 包含官方答案
- 

## 第 1 题 - RS 锁存器仿真 (RS Latch Simulation) (5 分)

题目: 输入 A、B、C 在时间 t0 到 t4 的值如图所示。写出 X 和 Y 输出的值。**[English]** Inputs A, B, C had values shown in the figure at times t0 to t4. Write the values of X and Y outputs.

输入序列:

A = 1   0   0   1   0
B = 0   0   0   1   0
C = 0   0   1   0   1
t0    t1    t2    t3    t4

**官方参考答案 (Official Answer):** - X = 01101 (t0=0, t1=1, t2=1, t3=0, t4=1) - Y = 11000  
(t0=1, t1=1, t2=0, t3=0, t4=0)

**补充解析:** 根据电路结构分析, A 控制 Reset (复位), B·C 控制 Set (置位)

---

## 第 2 题 - Shannon 展开 (Shannon Expansion) (8 分)

题目: 将第 1 题电路的函数  $X=f(A,B,C,X)$  用 Shannon 展开分解为:  $X=(\text{not } X \text{ and } f_0(A,B,C)) \text{ or } (X \text{ and } f_1(A,B,C))$ 。  
**[English]** Decompose the function  $X=f(A,B,C,X)$  from question 1 into the form  $X=(\text{not } X \text{ and } f_0(A,B,C)) \text{ or } (X \text{ and } f_1(A,B,C))$  using Shannon expansion.

**官方参考答案 (Official Answer):**

卡诺图 (Karnaugh Map):

f0:              B		f1:              B	
	A    0    1		A    0    1
C 0	0    1    1    1	C 0	1    1    1    1
1	0    1    1    1	1	0    1    1    1

简化表达式:

$$X = (X \text{ and not } C) \text{ or } A \text{ or } B$$

**补充解析:** Shannon 展开将含反馈的电路分解为组合逻辑 (Combinational Logic)

---

## 第 3 题 - 等价逻辑函数 (Equivalent Logic Functions) (4 分)

题目: 勾选所有与其他函数等价的逻辑函数。**[English]** Check all logic functions that have another equivalent function here.

```

x1 <= (B and not A) or (A and not B);
x2 <= (A and not C) xor (C and A);
x3 <= (B or A) and (not B or not A);
x4 <= (C xor A) or (B and not A);

```

官方参考答案 (Official Answer):  $x_1 \sim x_3$  (都等于  $A \oplus B$ )

补充解析: -  $x_1 = B \cdot \bar{A} + A \cdot B = A \oplus B$  (异或标准形式) -  $x_3 = (A+B) \cdot (\bar{A}+B) = (A+B) \cdot (A \cdot B \text{ 的补}) = A \oplus B$

---

#### 第 4 题 - 9 位寄存器运算 (9-bit Register Arithmetic) (2 分)

题目: 将  $4 \times 510$  运算结果的低位存入 9 位寄存器, 作为 9 位数的十进制值是多少? [English] If we store the lower bits of  $4 \times 510$  operation into a 9-bit register, what decimal value will it hold as a 9-bit number?

官方参考答案 (Official Answer):

计算过程:

$$4 \times 510 = 4 \times (2^9 - 2) = 2^{11} - 8$$

$$\text{取低9位: } 2^9 - 8 = 512 - 8 = 504$$

答案: - a) unsigned: 504 - b) signed: -8 (Two's Complement 补码表示)

补充解析: 504 > 256 (9 位有符号最大值 +1), 所以 signed = 504 - 512 = -8

---

#### 第 5 题 - 全加器电路 (Full Adder Circuit) (6 分)

题目: 画出一位全加器的电路图。[English] Draw the schematic of a one-bit full adder.

答案:

```

Sum = A XOR B XOR Carry_in
Carry_out = (A AND B) OR (Carry_in AND (A XOR B))

```

补充解析: 全加器由两个半加器 (Half Adder) 和一个 OR 门组成

---

#### 第 6 题 - 4 选 1 多路选择器 VHDL (4:1 MUX in VHDL) (4+4 分)

题目: 用 VHDL 分别用一条并发语句和一条顺序语句描述图中电路。[English] Describe the circuit in the figure using VHDL with both one concurrent statement and one sequential statement.

并发语句答案 (Concurrent Statement):

```
qcon <= z when a1='1' else y when a0='1' else x;
```

顺序语句答案 (Sequential Statement):

```

process(all)
begin
  if a1='1' then qseq <= z;
  elsif a0='1' then qseq <= y;
  else qseq <= x;
  end if;
end process;

```

补充解析: when...else 是并发语句, if...elsif 必须在 process 内使用

---

## 第 7 题 - 移位寄存器分析 (Shift Register Analysis) (8+2 分)

题目：根据以下代码画出电路的方框图，并正确命名该电路。[English] Draw the block diagram of the circuit described by the following code, and name the circuit correctly.

```
library ieee; use ieee.std_logic_1164.all;
entity Test20250604q7 is
    port (A, B : in std_logic;
          C : in std_logic_vector(3 downto 0);
          D : out std_logic);
end entity;
architecture rtl of Test20250604q7 is
begin
    process(A)
        variable rg: std_logic_vector(C'RANGE);
    begin
        if rising_edge(A) then
            if B='1' then rg := C;
            else rg := rg(2 downto 0) & not rg(3);
            end if;
        end if;
        D <= rg(0);
    end process;
end architecture;
```

电路名称：带预置的环形移位寄存器 / 约翰逊计数器 (Johnson Counter)

补充解析：-  $rg(2 \text{ downto } 0) \& \text{not } rg(3)$  = 左移并取反最高位 - 这是 Johnson 计数器的特征：反馈取反 - 序列：0000→1000→1100→1110→1111→0111→0011→0001→0000

---

## 第 8 题 - Cache 映射 (Direct-Mapped Cache) (分)

非考点提示 (Not on Exam): 根据 2026 年 1 月考试说明，Cache 相关内容本次不考，可战略性跳过。

题目：32 位处理器有 128 字节直接映射 cache，行大小为 2 字。填写地址映射表。[English] A 32-bit processor has 128-byte direct-mapped cache with line size of 2 words. Fill in the address mapping table.

Cache 参数： $128/(2 \times 4) = 16$  sets

地址映射表：| 地址 | tag | set | block-offset | |——|——|——|——| | 0x10 | 0 | 2 | 0 | | 0x14 | 0 | 2 | 1 | | 0x28 | 0 | 5 | 0 | | 0x2C | 0 | 5 | 1 | | 0x94 | 1 | 2 | 1 | | 0xA8 | 1 | 5 | 0 | | 0xAC | 1 | 5 | 1 |

Cache Hit 分析：| 地址 | Hit/Miss | |——|——| | 0x10 | Miss | | 0x14 | Hit | | 0x28 | Miss | | 0x94 | Miss | | 0x2C | Hit | | 0x10 | Miss | | 0xA8 | Miss | | 0xAC | Hit |

补充解析：- 行大小 2 字 = 8 字节 → offset = 3 位 - 16 sets → set index = 4 位 - 地址位划分：[tag] [4 位 set] [3 位 offset]