

```
# LSP Zkouška - 25. ledna 2016
```

```
> **CVUT FEL (ČVUT) - České vysoké učení technické v Praze | Czech Technical University in Prague**  
>  
> [ ](2016-01-25_Exam_CN.md) | [English](2016-01-25_Exam_EN.md) | [Čeština](2016-01-25_Exam_CZ.md)  
> **AI-generované řešení** - Referenční analýza níže
```

```
---
```

```
## Úloha 5: Kreslení RS klopného obvodu Často testováno
```

```
**Zadání**:
```

Nakreslete RS klopný obvod pouze pomocí hradel NOR a nakreslete RS klopný obvod pouze pomocí hradel NAND.

```
### RS klopný obvod typu NOR
```

```
...
```

```
S      [>NOR]      Q  
      ↑
```

```
R      [>NOR]      Q  
      ↑
```

```
...
```

```
**Charakteristiky**:
```

- S=1, R=0 → Q=1 (Nastavení)
- S=0, R=1 → Q=0 (Reset)
- S=0, R=0 → Uchování
- S=1, R=1 → Zakázaný stav

```
### RS klopný obvod typu NAND
```

```
...
```

```
S      [>NAND]      Q  
      ↑
```

```
R      [>NAND]      Q  
      ↑
```

```
...
```

```
**Charakteristiky** (aktivní v nízké úrovni):
```

- S=0, R=1 → Q=1 (Nastavení)

- S=1, R=0 → Q=0 (Reset)
- S=1, R=1 → Uchování
- S=0, R=0 → Zakázaný stav

Úloha 7: Návrh obvodu pro řízení motoru

****Zadání**:** Student přišel ke zkoušce jen to zkusit. Doplňte jeho nedokončený obvod - stisknutím tlačítka.

****Nápověda**:** Pro dokončení obvodu je třeba přidat 7 dalších součástek.

Součásti obvodu

- VCC = 5V
- GND = 0V
- Relé
- Baterie 24V
- Tlačítko
- D klopný obvod (DFF)
- Motor

Návrhový přístup

1. Použijte D klopný obvod pro implementaci funkce T klopného obvodu (přepínání stavu při každém stisknutí tlačítka)
2. Přiveďte Q zpět na vstup D
3. Připojte tlačítko k CLK (spouštěno náběžnou hranou)
4. Připojte CLRN k VCC pro zajištění resetu při zapnutí
5. Výstup Q řídí relé

Součástky k přidání

1. Vodič z Q do D
2. Připojení VCC k PRN
3. Obvod pro odskakování tlačítka
4. Budič relé
5. Ochranná dioda atd.

Úloha 8: Analýza VHDL kódu

****Zadání**:** Analyzujte špatně naformátovaný VHDL kód, nakreslete odpovídající schéma logického obvodu a

```

```vhdl
library IEEE; use IEEE.STD_LOGIC_1164.all;
entity test20140214 is port (a, b, c, d : in std_logic; e : out std_logic); end;
architecture rtl of test20140214 is begin
process(a, b) variable z:std_logic_vector(0 to 3); begin
if b = '0' then z:=(others=>'0'); elsif rising_edge(a) then
if c='1' then z:=d & z(0 to 2); else z:=z(3) & z(0 to 2); end if; end if; e<=z(3); end process; end rtl
```

```

Naformátovaný kód

```

```vhdl
library IEEE;

```

```

use IEEE.STD_LOGIC_1164.all;

entity test20140214 is
 port (
 a, b, c, d : in std_logic;
 e : out std_logic
);
end;

architecture rtl of test20140214 is
begin
 process(a, b)
 variable z: std_logic_vector(0 to 3);
 begin
 if b = '0' then
 z := (others => '0'); -- Asynchronní nulování
 elsif rising_edge(a) then -- Spouštěno náběžnou hranou
 if c = '1' then
 z := d & z(0 to 2); -- Režim 1: Sériový vstup
 else
 z := z(3) & z(0 to 2); -- Režim 2: Kruhový posun
 end if;
 end if;
 e <= z(3); -- Výstup MSB
 end process;
end rtl;

```

### ### Popis schématu obvodu

**\*\*Název obvodu\*\*:** 4bitový říditelný dvourežimový posuvný registr

```

...

d MUX → [DFF] → [DFF] → [DFF] → [DFF] → e
 z(0) z(1) z(2) z(3)
c sel

 (kruhová zpětná vazba)

a CLK (všechny DFF)
b CLRN (všechny DFF)
...

```

### ### Funkční popis

Signál	Funkce
a	Hodinový signál (náběžná hrana)
b	Asynchronní nulování (b='0' nuluje)
c	Výběr režimu
d	Sériový datový vstup
e	Výstup (z(3))

Hodnota c	Režim
'1'	Sériový vstup: $d \rightarrow z(0) \rightarrow z(1) \rightarrow z(2) \rightarrow z(3)$
'0'	Kruhový posun: $z(3) \rightarrow z(0) \rightarrow z(1) \rightarrow z(2) \rightarrow z(3)$

---

## ## Shrnutí znalostí

Typ úlohy	Klíčové body
RS klopný obvod	Implementace hradly NOR/NAND, porozumění logice nastavení/resetu
Řízení motoru	Aplikace D klopného obvodu, návrh T klopného obvodu
Analýza VHDL	Formátování kódu, porozumění posuvnému registru