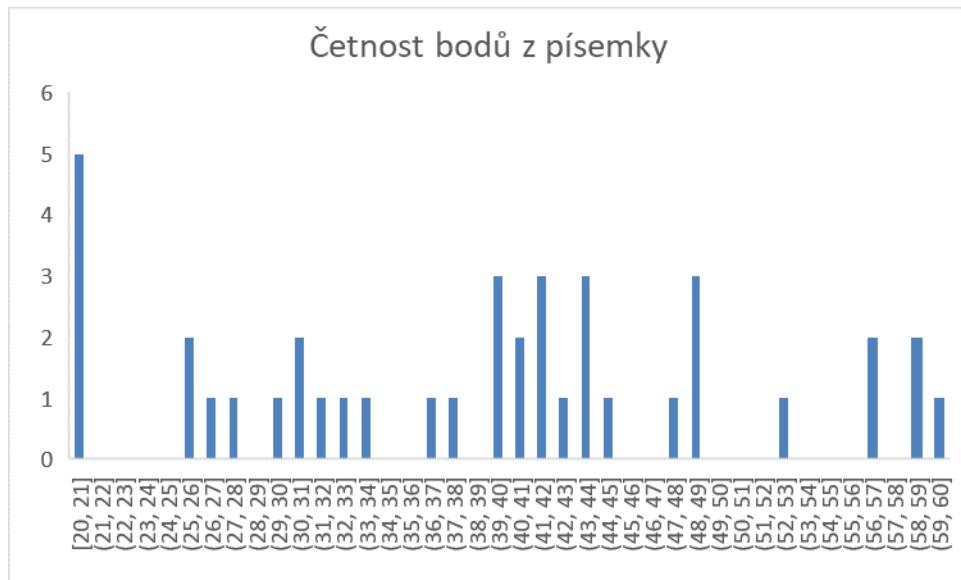
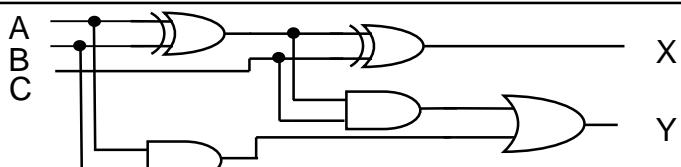


Statistika zkoušky 7. června 2023



Procenta udávají průměrný počet bodů vztažený k maximu z otázky





1. Funkce $X, Y = f(A, B, C)$ obvodu, rozložte na tvar $X, Y = (\text{not } C \text{ and } f_0(A, B)) \text{ or } (C \text{ and } f_1(A, B))$ pomocí Shannonovy expanze. **Funkce f_0 a f_1 zapište jako Karnaughovy mapy:**

$$f_0 = \begin{array}{|c|c|} \hline & \text{---} & \text{A} \\ \hline \text{B} & | & | \\ \hline \end{array} \quad f_1 = \begin{array}{|c|c|} \hline & \text{---} & \text{A} \\ \hline \text{B} & | & | \\ \hline \end{array}$$

$$f_0 = \begin{array}{|c|c|} \hline & \text{---} & \text{A} \\ \hline \text{B} & | & | \\ \hline \end{array} \quad f_1 = \begin{array}{|c|c|} \hline & \text{---} & \text{A} \\ \hline \text{B} & | & | \\ \hline \end{array}$$

$$X = (\text{not } C \text{ and } f_0(A, B)) \text{ or } (C \text{ and } f_1(A, B)) \quad Y = (\text{not } C \text{ and } f_0(A, B)) \text{ or } (C \text{ and } f_1(A, B))$$

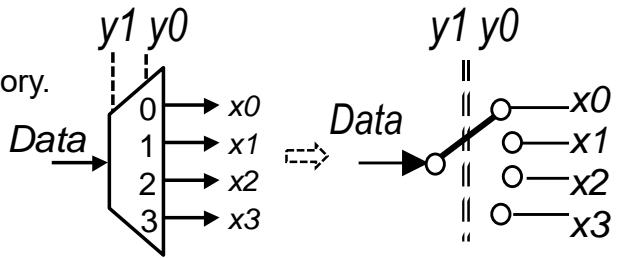
X/3
+Y/3

4

2. Provedeme-li operaci $96+97+98+99$ na 8bitové sčítacce, jaký bude výsledek, budeme-li ho brát jako 8bitové číslo

a) unsigned b) signed in two's-complement

3. Nakreslete logické schéma demultiplexoru na obrázku. Použijte v něm jen hradla a invertory.



5

write here

5

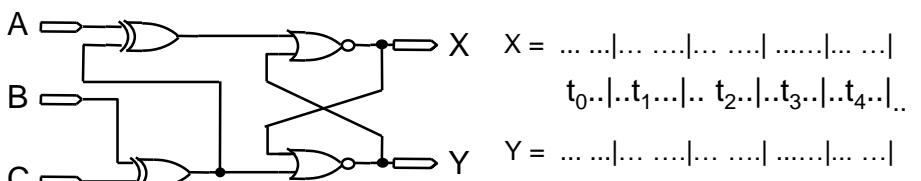
8

2

5

4. Vstupy A, B, C měly v časech t_0, t_1, t_2, t_3, t_4 hodnoty uvedené v obrázku. Napište hodnoty X a Y výstupů. Intervaly mezi změnami vstupů jsou dost dlouhé, takže lze zanedbat zpoždění hradel.

$$\begin{aligned}
 A &= .1..|0..|.1.|..0..|..1..| \\
 B &= ..0..|..0..|.1.|..0..|..0..| \\
 C &= ..0..|.1..|..0..|.0..|..0..|
 \end{aligned}$$



5. Nakreslete RTL View schéma obvodu, který vznikne z následujícího VHDL kódu, a správně obvod pojmenujte.

```

library ieee;use ieee.std_logic_1164.all;use ieee.numeric_std.all;
entity XXX is port(a, b : in std_logic; c : out std_logic); end entity;
architecture beh of XXX is begin process (a,b) variable d:std_logic:='0'; variable e:integer range 0 to 25:=0;
begin if b='0' then e:=0; d:='0'; elsif rising_edge(a) then if e<25 then e:=e+1; else e:=0; d:=not d; end if;
end if; c<=d; end process; end architecture;
```

6. Demultiplexor z otázky 3 popište ve VHDL nejjednodušším možným způsobem.

```
library ieee; use ieee.std_logic_1164.all;use ieee.numeric_std.all;
entity yyy is port( Data: in std_logic; y: in std_logic_vector(1 downto 0); x: out std_logic_vector(3 downto 0));
end entity;
architecture dataflow of yyy is
```

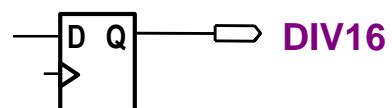
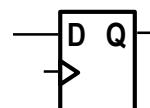
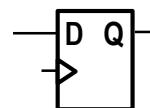
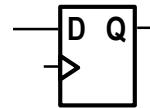
begin

end architecture:

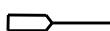
Příjmení a jméno :

Zkouška LPS dne 7.6.2023 - pište sem jen Vaše odpovědi

7. Doplňte potřebné minimum součástek do nedokresleného schématu dole tak, aby vznikl **synchronní** dělič 16 hodinového signálu CLK. (Návod: Přidejte sčítáčku +1)



10



CLK

8. C program hledá maximum v poli **data**.

```
int data[] = { 0, 1, -2, 3, 4, -5, -6, -7, 8, 9 };
int max = INT_MIN; // =-2147483648 (v <limits.h>)
for (int i = 0; i < sizeof(data)/sizeof(int); i++) // i<10
{ if (data[i] > max) max = data[i];
}
```

Kolik v něm bude chybných skokových predikcí za předpokladu, že for-loop s konstantními

mezemí se úsporně přeložila cyklem do-while a procesor používá pouze:

jednohitové prediktory, které měly svůj výchozí stav Not-taken NT misses =

dvojí bitové prediktory, které měly svůj výchozí stav WT taken, NT, misses=

Ke stanovení můžete použít třeba tabulku dole:

9. Prémiová otázka, u níž se uzná jen plně funkční řešení:

Výstup Y jde do '1' na 1 cyklus hodin CLK jen tehdy, když D vstup změnil svou hodnotu.

RESET značí synchronní nulování, Y bude během něho '0'. Poté opět reaguje až na nové změny D.

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;  
entity Edges is port (clk, Reset, D : in std_logic; Y:out std_logic);  
end entity;  
architecture rtl of Edges is
```