

LSP 考试 2021 年 12 月 21 日

AI 推演版本 - 本试卷 PDF 无官方答案, 以下为推演解析 注意: 本场考试 RS 锁存器为 4 输入 (A,B,C,D) 变体

考试信息

- 日期: 2021 年 12 月 21 日
- 语言: 捷克语
- 总分: 60 分 (第一部分 30 分 + 第二部分 30 分)

第 1 题 - 等价逻辑函数 (8 分)

题目: 勾选所有具有等价函数的逻辑函数: [English] Check all logic functions that have an equivalent function:

```
y1 <= (D and not C) or (not C and A) or (D and B);
y2 <= (D and C) xor (B and A);
y3 <= (D or A) and (not C or B) and (D or not C);
y4 <= (D and B) or (D and not C and not B) or ((D xor A) and not C);
```

解题方法: 使用卡诺图验证各函数是否等价

第 2 题 - RS 锁存器仿真 (5 分)

题目: 给定输入 A, B, C, D 在时间 t0-t4 的值, 写出 X 和 Y 输出的值 [English] Given inputs A, B, C, D values at times t0-t4, write the values of X and Y outputs

输入序列:

A	=	0		1		1		1		1
B	=	0		0		1		0		0
C	=	0		0		1		1		0
D	=	1		1		0		0		1
		t0		t1		t2		t3		t4

解题方法: 分析 RS 锁存器的时序行为

第 3 题 - Shannon 展开 (8 分)

题目: 将第 2 题中的函数 $X=f(A,B,C,D,X)$ 用 Shannon 展开分解为: [English] Decompose the function $X=f(A,B,C,D,X)$ from question 2 using Shannon expansion into:

$$X = (\overline{X} \wedge f_0(A, B, C, D)) \vee (X \wedge f_1(A, B, C, D))$$

将 f 和 \overline{f} 写成卡诺图形式

Shannon 展开公式: $\overline{f} = f(A,B,C,D,0)$ - 当 $X=0$ 时的函数值 $f = f(A,B,C,D,1)$ - 当 $X=1$ 时的函数值

第 4 题 - 用 NAND 门实现 XOR (3 分)

题目: 只使用 2 输入 NAND 门和导线创建 XOR 门 [English] Create an XOR gate using only 2-input NAND gates and wires

解答:

$$Y = A \text{ xor } B = (A \text{ NAND } (A \text{ NAND } B)) \text{ NAND } (B \text{ NAND } (A \text{ NAND } B))$$

需要 4 个 NAND 门

第 5 题 - 全加器电路 (3 分)

题目: 完成一位全加器的电路图 [English] Complete the circuit diagram of a one-bit full adder

全加器公式: $\text{Sum} = A \oplus B \oplus \text{Cin}$ $\text{Cout} = (A \oplus B) \text{ AND } (\text{Cin} \text{ OR } (A \text{ AND } B))$

第 6 题 - +1 加法器 (3 分)

题目: 使用 6 个逻辑门实现 4 位二进制 +1 加法器 [English] Implement a 4-bit binary +1 adder using 6 logic gates

设计思路:

$$Y0 = \text{not } A0$$

$$Y1 = A1 \text{ xor } A0$$

$$Y2 = A2 \text{ xor } (A1 \text{ and } A0)$$

$$Y3 = A3 \text{ xor } (A2 \text{ and } A1 \text{ and } A0)$$

第 7 题 - VHDL 代码分析

题目: 分析给定的 VHDL 代码并画出 RTL 视图 [English] Analyze the given VHDL code and draw the RTL view

第 8 题 - 状态机设计

题目: 设计指定功能的 Moore/Mealy 状态机 [English] Design a Moore/Mealy state machine with specified functionality