

Zkouska LSP 2023-06-13

Course: B0B35LSP – Logické systémy a procesory | BE5B35LSP – Logic Systems and Processors **University:** CVUT FEL (CVUT) – České vysoké učení technické v Praze | Czech Technical University in Prague **Keywords:** LSP, Exam, Zkouska, 2023-06-13, logic equivalence, arithmetic, RS latch, VHDL

[CN Version](#) | [EN Version](#) | [CZ Version](#)

Zkouska LSP 2023-06-13

AI odvozená verze – V PDF nejsou oficiální odpovědi; níže jsou odvozené poznámky/rěšení.

Informace o zkoušce

- Datum: 2023-06-13
 - Jazyk: čeština
 - Obsahuje statistické grafy
 - Poznámka: v této zkoušce je RS záchyt 4vstupová varianta (A,B,C,D)
-

Úloha 1 – Ekvivalentní logické funkce (4 b)

Zadání: Zasmkněte všechny logické funkce, které jsou ekvivalentní:

```
y1 <= (D and not C) or (not C and A) or (D and B);  
y2 <= (D and C) xor (B and A);  
y3 <= (D or A) and (not C or B) and (D or not C);  
y4 <= (D and B) or (D and not C and not B) or ((D xor A) and not C);
```

Postup: Sestavte Karnaughovy mapy a porovnejte.

Úloha 2 – Aritmetika 12bitové scítacky (2 b)

Zadání: Proveďte 510+512+514+516 na 12bitové binární scítacke; výsledek jako 12bitové číslo.

Výpočet: – 510+512+514+516 = 2052 – 2052 mod 4096 = 2052 (bez přetecení) – 2052 = 0x804 = 0b100000000100

Rěšení: – a) unsigned: 2052 – b) signed (dvojkový doplněk): 2052 (kladné, v rozsahu)

Úloha 3 –Simulace RS záchyty (4 b)

Zadání: Pro dané hodnoty vstupů A, B, C, D v časech t0–t4 určete výstupy X a Y.

Vstupní posloupnost:

A =	0		1		1		1		1
B =	0		0		1		0		0
C =	0		0		1		1		0
D =	1		1		0		0		1
	t0		t1		t2		t3		t4

Úloha 4 –Shannonův rozklad (8 b)

Zadání: Rozložte $X = f(A, B, C, D, X)$ z Úlohy 3 do tvaru:

$$X = (\overline{X} \wedge f_0(A, B, C, D)) \vee (X \wedge f_1(A, B, C, D))$$

Úloha 5 –Definice automatu Moore/Mealy (4 b)

Zadání: Doplňte definici.

$$M = \langle X, S, Z, \omega, \delta, s_0 \in S \rangle$$

Rěšení: – **X:** konečná vstupní abeceda – **S:** konečná množina stavů – **Z:** konečná výstupní abeceda – **δ:** přechodová funkce – Moore: $S \times X \rightarrow S$ – Mealy: $S \times X \rightarrow S$ – **ω:** výstupní funkce – Moore: $S \rightarrow Z$ – Mealy: $S \times X \rightarrow Z$ – **s₀:** počáteční stav

Úloha 6 –Návrh RS záchyty (8 b)

Zadání: Nakreslete RS záchyt pomocí hradel NOR i NAND a doplňte pravdivostní tabulky.

Pravdivostní tabulka (NOR)

S	R	Q	QN
0	0	drž	drž
0	1	0	1
1	0	1	0
1	1	0	0

Pravdivostní tabulka (NAND)

S	R	Q	QN
0	0	1	1
0	1	1	0
1	0	0	1
1	1	drž	drž

Úloha 7 –Analýza VHDL kódu (10 b)

Zadání: Analyzujte kód a nakreslete schéma.

```
library IEEE; use IEEE.STD_LOGIC_1164.all;
entity xxx is port (a, b : in std_logic; q : out std_logic); end entity;
architecture rtl of xxx is
begin
  process(a,b)
    variable z:std_logic_vector(0 to 3);
  begin
    if rising_edge(b) then
      if a= '0' then
        z:="0001";
      else
        z:=z(1 to 3) & z(0);
      end if;
    end if;
    q<=z(3);
  end process;
end rtl;
```

Funkční analýza: – Spouštění na náběžnou hranu b – Při a='0' se nastaví na "0001" – Při a='1' probíhá cyklický posuv doleva – Výstup je z(3) – Název: kruhový posuvný registr se synchronním resetem

Úloha 8 –Popis obvodu ve VHDL (10 b)

Zadání: Popište dané schéma ve VHDL.

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity Test2 is
  port(ACLRN, CLK, X : in std_logic;
        Q, Q2 : out std_logic);
end entity;
```

```

architecture rtl of Test2 is
    signal q_int : std_logic;
begin
    process(ACLRN, CLK)
    begin
        if ACLRN = '0' then
            q_int <= '0';
        elsif rising_edge(CLK) then
            q_int <= X;
        end if;
    end process;
    Q <= q_int;
    Q2 <= not q_int;
end architecture rtl;

```

Úloha 9 –Bonus: Generátor “pilového” průběhu (10 b)

Zadání: Implementujte 3bitový synchronní čítač: 0,1,2,3,4,5,6,7,6,5,4,3,2,1,0,1,...

```

library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity pila is
    port (clk : in std_logic;
          q: out std_logic_vector(2 downto 0));
end entity;
architecture rtl of pila is
    signal cnt : unsigned(2 downto 0) := "000";
    signal dir : std_logic := '1';
begin
    process(clk)
    begin
        if rising_edge(clk) then
            if dir = '1' then
                if cnt = 7 then
                    dir <= '0';
                    cnt <= "110";
                else
                    cnt <= cnt + 1;
                end if;
            else
                if cnt = 0 then
                    dir <= '1';
                    cnt <= "001";
                else
                    cnt <= cnt - 1;
                end if;
            end if;
        end if;
    end process;
end architecture rtl;

```

```
    end if;  
  end if;  
end process;  
q <= std_logic_vector(cnt);  
end architecture;
```

Shrnutí témat

Hlavní okruhy

1. Ekvivalentní logické funkce
2. Aritmetika 12bitové scítačky
3. Simulace RS záchyty (4 vstupy)
4. Shannonův rozklad
5. **Definice automatu Moore/Mealy**
6. Návrh RS záchyty (NOR i NAND)
7. Analýza VHDL kódu (posuvný registr)
8. Popis obvodu ve VHDL
9. Generátor pilového průběhu