

LSP 考试 2024 年 6 月 14 日 (含答案)

本文件已核对 PDF 官方答案 (Official Answers Verified from PDF)

考试信息

- 日期: 2024 年 6 月 14 日
- 语言: 捷克语
- 包含官方答案

第 1 题 - RS 锁存器仿真 (RS Latch Simulation) (4 分)

题目: 给定输入 A, B, C 在时间 t0-t4 的值, 写出 X 和 Y 输出的值 [English] Given inputs A, B, C values at times t0-t4, write the values of X and Y outputs

输入序列:

A	=	0		0		1		1		0
B	=	1		0		1		1		1
C	=	1		0		0		1		1
		t0		t1		t2		t3		t4

官方参考答案 (Official Answer): - X = 11001 (t0=1, t1=1, t2=0, t3=0, t4=1) - Y = 01100 (t0=0, t1=1, t2=1, t3=0, t4=0)

补充解析: t0 时 B·C=1 触发 Set, t2 时 A=1 触发 Reset

第 2 题 - Shannon 展开 (Shannon Expansion) (6 分)

题目: 将 $X=f(A,B,C,X)$ 分解为 Shannon 展开形式 [English] Decompose $X=f(A,B,C,X)$ using Shannon expansion

补充解析: 使用卡诺图 (Karnaugh Map) 分别求 f 和 \bar{f}

第 3 题 - 等价逻辑函数 (Equivalent Logic Functions) (4 分)

题目: 勾选所有具有等价函数的逻辑函数 [English] Check all logic functions that have an equivalent function

y1 <= ((not A or C) and B and not D) or (A and D);
y2 <= ((B and (not A or C)) or D) and (A or not D);
y3 <= (A or C or D) and (A or B) and (not D or C);
y4 <= (((not A and not D) or (A and C)) and B) or (A and D);

官方答案: y1 = y4

补充解析: 复杂表达式可用真值表或卡诺图验证

第 4 题 - 8 位加法器运算 (8-bit Adder Arithmetic) (2 分)

题目: 255+253+251 在 8 位加法器上的结果 [English] Result of 255+253+251 on an 8-bit adder

计算: - 255+253+251 = 759 - 759 mod 256 = 247

官方答案: - a) unsigned: 247 - b) signed: -9 (Two's Complement: 247 - 256)

补充解析: 8 位 signed 范围: -128~127

第 5 题 - -1 加法器 VHDL (Decrementer in VHDL) (4 分)

题目: 识别电路并用 VHDL 描述 [English] Identify the circuit and describe in VHDL

官方答案:

```
y <= x - 1;  -- Decrementer (-1 Adder)
```

名称: -1 加法器 (减法器 / Decrementer)

补充解析: 减 1 器可用 NOT 后 +1 实现: $y = \text{NOT } x + 1 - 1 = \text{NOT } x$

第 6 题 - 用 NOR 门实现 XOR (XOR using NOR Gates) (6 分)

题目: 仅使用 2 输入 NOR 门创建 XOR 门 [English] Create XOR gate using only 2-input NOR gates

补充解析: 需要 4 个 NOR 门, 运用 De Morgan 定理

第 7 题 - 异步总线时序 (Asynchronous Bus Timing) (4 分)

题目: 完成 RDY-ACK 异步总线通信的信号和波形 [English] Complete the RDY-ACK asynchronous bus communication signals and waveforms

补充解析: 四相握手协议 (Four-Phase Handshake): 1. Master 置 RDY=1 2. Slave 检测 RDY, 置 ACK=1
3. Master 检测 ACK, 置 RDY=0 4. Slave 检测 RDY=0, 置 ACK=0

第 8 题 - 分支预测器和 Cache (Branch Prediction & Cache) (10 分)

题目: 分析以下程序的分支预测和 Cache 行为 [English] Analyze branch prediction and cache behavior for the following program

```
int i, j; double pole[2000];
for (i=0; i<5; i++) {
    for (j=0; j<2000; j++) pole[j]++;
}
```

A) 分支预测器 (Branch Predictor)

官方答案: - 1 位预测器 (初始 NT): 12 次 miss - 2 位预测器 (初始 WT): 6 次 miss

补充解析: - 外循环 5 次 + 内循环 5×2000 次 - 1 位: 每循环 2 次 miss $\rightarrow 2 + 5 \times 2 = 12$ - 2 位: 每循环 1 次 miss $\rightarrow 1 + 5 \times 1 = 6$

B) Cache Miss 计算 (Cache Miss Calculation)

官方答案: - Cache miss 数 = $2000/4 = 500$ 次 miss

补充解析: - 每块 4 字 = 4 个 double (假设 64 位系统) - 2000 个元素 / 4 个/块 = 500 次 miss

第 9 题 - VHDL 代码分析 (VHDL Code Analysis) (10 分)

题目：分析代码并画出电路 **[English]** Analyze the code and draw the circuit

补充解析：识别时序元件 (DFF) 和组合逻辑

知识点总结

重要答案速记

题号	类型	答案
1	RS 仿真	X=00110, Y=10001
3	等价函数	y1=y4
4	8 位运算	unsigned:247, signed:-9
5	电路识别	-1 加法器 (Decrementer)
8A	分支预测	1 位:12, 2 位:6
8B	Cache	500 次 miss