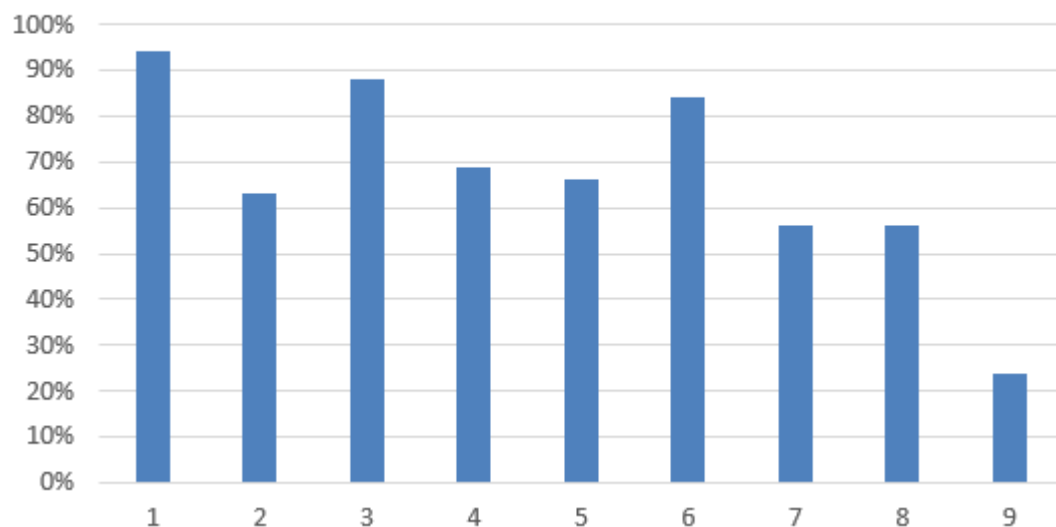
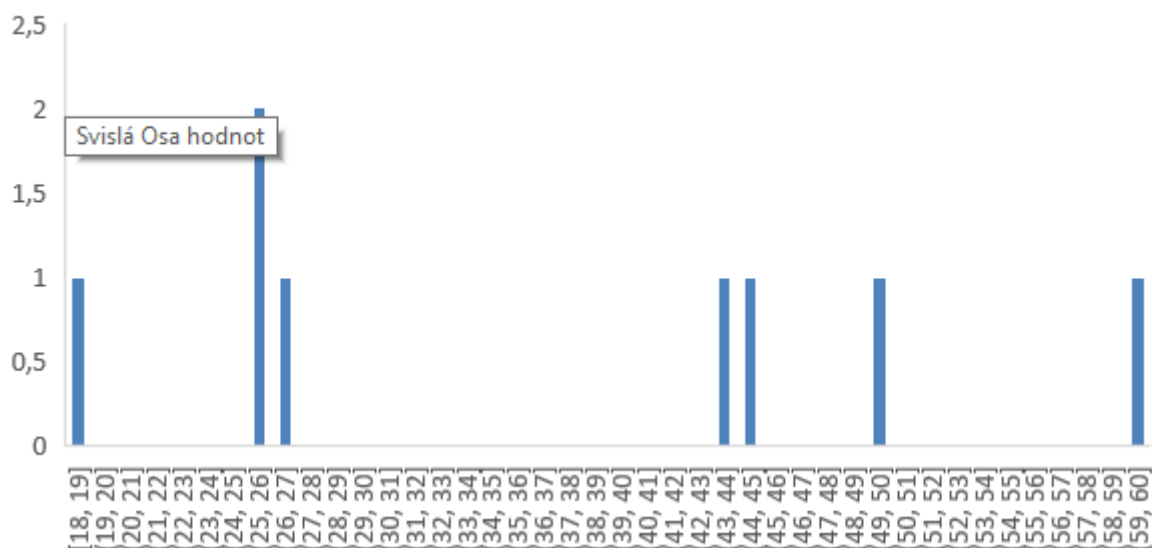


Statistika zkoušky 13. června 2023**Úspěšnost u otázek 1 až 9**

Procenta udávají průměrný počet bodů vztažený k maximu z otázky

Četnost bodů z písemky

-2 za Zde
aždou nepište
chybu

4

2

y1 ☐

y2 ☐


v3 ☐v4 ☐

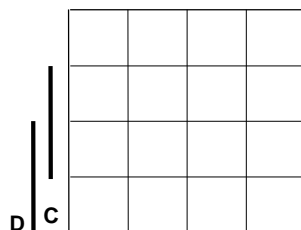
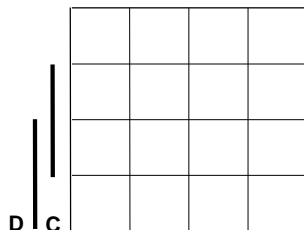
1800

4

4+4	8

$$X = \dots \dots | \dots \dots | \dots \dots | \dots \dots | \dots \dots$$
$$t_0..|..t_1...|..t_2...|..t_3...|..t_4..$$
$$Y = \dots \dots | \dots \dots | \dots \dots | \dots \dots | \dots \dots$$
$$Y = \dots \dots | \dots \dots | \dots \dots | \dots \dots | \dots \dots$$

f1  B



100

4

6. Nakreslete klopný obvod typu R-S složený jen z hradel **NOR** a tentýž jen pomocí z hradel **NAND** a doplňte nevyplněné řádky v jejich pravdivostních tabulkách.

NOR

S →

→ Q

→ QN

R →

S	R	Q	QN
0	0		
0	1	0	1
1	0		
1	1		

NAND

S →

→ Q

→ QN

R →

S	R	Q	QN
0	0		
0	1	0	1
1	0		
1	1		

8

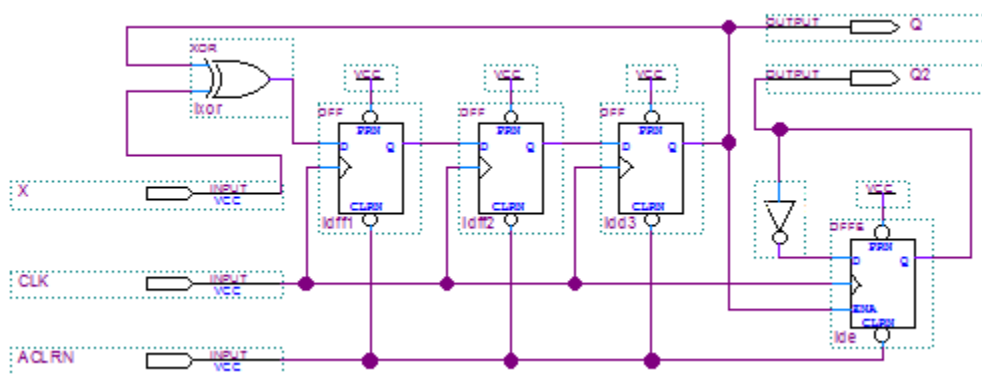
7. Tiskař Vás požádal o rozluštění následujícího špatně naformátovaného kódu.

```
library IEEE; use IEEE.STD_LOGIC_1164.all;
entity xxx is port (a, b : in std_logic; q : out std_logic); end entity;
architecture rtl of xxx is begin  process(a,b) variable z:std_logic_vector(0 to 3);
begin if rising_edge(b) then  if a= '0' then z:="0001"; else z:=z(1 to 3) & z(0) ; end if; end if; q<=z(3);
end process; end rtl;
```

Nakreslete výstižné schéma logického obvodu odpovídajícího VHDL kódu a napište vhodný popisek činnosti obvodu.

Odpovědní arch písemky SPS dne 13.06.2023 - pište sem jen Vaše odpovědi

8. Obvod na obrázku popište VHDL příkazy



```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity Test2 is port( ACLRN, CLK, X : in std_logic; Q, Q2 : out std_logic );
end entity;
architecture rtl of Test2 is
```

begin

```
end architecture rtl;
```

10

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity pila is port (clk : in std_logic; q: out std_logic_vector(2 downto 0));
end entity;
architecture rtl of pila is
begin
```

end architecture;