

LSP Exam 2023-06-13 / Zkouska LSP 2023-06-13 / LSP 考试 2023 年 6 月 13 日

Course: B0B35LSP – Logické systémy a procesory | BE5B35LSP – Logic Systems and Processors **University:** CVUT FEL (CVUT) – České vysoké učení technické v Praze | Czech Technical University in Prague **Keywords:** LSP, Exam, Zkouska, 2023-06-13, logic equivalence, arithmetic, RS latch, VHDL

[CN Version](#) | [EN Version](#) | [CZ Version](#)

LSP 考试 2023 年 6 月 13 日

AI 推演版本 – 本试卷 PDF 无官方答案，以下为推演解析

考试信息

- 日期：2023 年 6 月 13 日
 - 语言：捷克语
 - 包含统计数据图表
 - 注意：本场考试 RS 锁存器为 4 输入 (A,B,C,D) 变体
-

第 1 题 – 等价逻辑函数 (4 分)

题目：勾选所有具有等价函数的逻辑函数：[English] Check all logic functions that have an equivalent function:

```
y1 <= (D and not C) or (not C and A) or (D and B);
y2 <= (D and C) xor (B and A);
y3 <= (D or A) and (not C or B) and (D or not C);
y4 <= (D and B) or (D and not C and not B) or ((D xor A) and not C);
```

解题方法：构建卡诺图比较

第 2 题 – 12 位加法器运算 (2 分)

题目：在 12 位二进制加法器上执行 $510+512+514+516$ ，结果作为 12 位数：[English] Perform $510+512+514+516$ on a 12-bit binary adder, result as a 12-bit number:

计算： $- 510+512+514+516 = 2052 - 2052 \bmod 4096 = 2052$ (未溢出) $- 2052 = 0x804 = 0b1000000000100$

答案： $- a)$ unsigned (无符号) : 2052 $- b)$ signed (二进制补码有符号) : 2052 (正数, 未超过 2047)

第 3 题 – RS 锁存器仿真 (4 分)

题目：给定输入 A, B, C, D 在时间 t0–t4 的值，写出 X 和 Y 输出的值 [English] Given inputs A, B, C, D values at times t0–t4, write the values of X and Y outputs

输入序列：

A =	0		1		1		1		1
B =	0		0		1		0		0
C =	0		0		1		1		0
D =	1		1		0		0		1
	t0		t1		t2		t3		t4

第 4 题 – Shannon 展开 (8 分)

题目：将第 3 题的 $X=f(A,B,C,D,X)$ 分解为： [English] Decompose $X=f(A,B,C,D,X)$ from question 3 into:

$$X = (\overline{X} \wedge f_0(A, B, C, D)) \vee (X \wedge f_1(A, B, C, D))$$

第 5 题 – Moore/Mealy 自动机定义 (4 分)

题目：完成定义 [English] Complete the definition

$M = \langle X, S, Z, \omega, \delta, s_0 \in S \rangle$

答案： – **X**: 有限输入符号集合 / Finite input alphabet – **S**: 有限状态集合 / Finite set of states
– **Z**: 有限输出符号集合 / Finite output alphabet – **δ** : 状态转移函数 / State transition function –
Moore: $S \times X \rightarrow S$ – Mealy: $S \times X \rightarrow S$ – **ω** : 输出函数 / Output function – Moore: $S \rightarrow Z$ –
Mealy: $S \times X \rightarrow Z$ – **s_0** : 初始状态 / Initial state

第 6 题 – RS 锁存器设计 (8 分)

题目：分别用 NOR 门和 NAND 门画出 RS 锁存器，并完成真值表 [English] Draw RS latch using NOR gates and NAND gates respectively, and complete the truth tables

NOR 门 RS 锁存器真值表

S	R	Q	QN
0	0	保持	保持
0	1	0	1

S	R	Q	QN
1	0	1	0
1	1	0	0

NAND 门 RS 锁存器真值表

S	R	Q	QN
0	0	1	1
0	1	1	0
1	0	0	1
1	1	保持	保持

第 7 题 – VHDL 代码分析 (10 分)

题目：分析代码并画出电路图 [English] Analyze the code and draw the circuit diagram

```
library IEEE; use IEEE.STD_LOGIC_1164.all;
entity xxx is port (a, b : in std_logic; q : out std_logic); end entity;
architecture rtl of xxx is
begin
    process(a,b)
        variable z:std_logic_vector(0 to 3);
    begin
        if rising_edge(b) then
            if a= '0' then
                z:="0001";
            else
                z:=z(1 to 3) & z(0);
            end if;
        end if;
        q<=z(3);
    end process;
end rtl;
```

功能分析： – b 上升沿触发 – a='0'时复位为"0001" – a='1'时循环左移 – 输出 z(3) – 名称：带同步复位的环形移位寄存器

第 8 题 – VHDL 电路描述 (10 分)

题目：用 VHDL 描述给定电路图 [English] Describe the given circuit diagram in VHDL

```

library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity Test2 is
    port(ACL RN, CLK, X : in std_logic;
          Q, Q2 : out std_logic);
end entity;
architecture rtl of Test2 is
    signal q_int : std_logic;
begin
    process(ACL RN, CLK)
    begin
        if ACL RN = '0' then
            q_int <= '0';
        elsif rising_edge(CLK) then
            q_int <= X;
        end if;
    end process;
    Q <= q_int;
    Q2 <= not q_int;
end architecture rtl;

```

第 9 题 – 附加题：锯齿波发生器 (10 分)

题目：实现 3 位同步计数器：0,1,2,3,4,5,6,7,6,5,4,3,2,1,0,1...[English] Implement a 3-bit synchronous counter: 0,1,2,3,4,5,6,7,6,5,4,3,2,1,0,1...

```

library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity pila is
    port (clk : in std_logic;
          q : out std_logic_vector(2 downto 0));
end entity;
architecture rtl of pila is
    signal cnt : unsigned(2 downto 0) := "000";
    signal dir : std_logic := '1';
begin
    process(clk)
    begin
        if rising_edge(clk) then
            if dir = '1' then
                if cnt = 7 then
                    dir <= '0';
                    cnt <= "110";
                else
                    cnt <= cnt + 1;
                end if;
            else

```

```
    if cnt = 0 then
        dir <= '1';
        cnt <= "001";
    else
        cnt <= cnt - 1;
    end if;
end if;
end if;
end process;
q <= std_logic_vector(cnt);
end architecture;
```

知识点总结

本次考试重点

1. 等价逻辑函数
2. 12 位加法器运算
3. RS 锁存器仿真
4. Shannon 展开
5. Moore/Mealy 自动机定义
6. RS 锁存器设计 (NOR 和 NAND)
7. VHDL 代码分析 (移位寄存器)
8. VHDL 电路描述
9. 锯齿波发生器