

LSP Zkouška - 30. ledna 2015

> **CVUT FEL (ČVUT) - České vysoké učení technické v Praze | Czech Technical University in Prague**
>
> [](2015-01-30_Exam_CN.md) | [English](2015-01-30_Exam_EN.md) | [Čeština](2015-01-30_Exam_CZ.md)
> **AI-generované řešení** - Referenční analýza níže

Úloha 1: Zjednodušení logického výrazu

Zadání: Přepište logický výraz F tak, aby se operátory NOT objevovaly pouze před proměnnými, ověrte

~~~

$$F = \text{not} ( (A \text{ or } \text{not } B \text{ or } \text{not } C) \text{ or } ( (A \text{ or } B) \text{ and } \text{not} (A \text{ or } \text{not } C)) )$$

~~~

Postup řešení

1. Aplikujte De Morganův zákon: $\text{not}(X \text{ or } Y) = \text{not } X \text{ and } \text{not } Y$
2. Postupně zjednodušíte...

~~~

$$\begin{aligned} F &= \text{not}(A \text{ or } B \text{ or } C) \text{ and } \text{not}((A \text{ or } B) \text{ and } \text{not}(A \text{ or } C)) \\ &= \bar{A} \cdot \bar{B} \cdot C \text{ and } (\text{not}(A \text{ or } B) \text{ or } (A \text{ or } C)) \\ &= \bar{A} \cdot \bar{B} \cdot C \text{ and } ((\bar{A} \cdot B) \text{ or } A \text{ or } C) \end{aligned}$$

~~~

Pokračujte ve zjednodušování pro získání konečného výsledku...

Ověření Karnaughovou mapou

F	C=0	C=1
---	-----	-----
AB=00		
AB=01		
AB=11		
AB=10		

Úloha 2: Simulace obvodu RS klopného obvodu Často testováno

Zadání: Při hodnotách vstupů A, B, C v časech t0, t1, t2, t3 zobrazených níže napište hodnotu výstupu

~~~

$$\begin{aligned} A &= \dots 0 \dots / \dots 1 \dots / \dots 1 \dots / \dots 1 \dots / \\ B &= \dots 0 \dots / \dots 0 \dots / \dots 0 \dots / \dots 1 \dots / \\ C &= \dots 1 \dots / \dots 1 \dots / \dots 0 \dots / \dots 0 \dots / \end{aligned}$$

t0    t1    t2    t3

$$Q = \underline{\hspace{2cm}} / \underline{\hspace{2cm}} / \underline{\hspace{2cm}} / \underline{\hspace{2cm}} /$$

---

Předpokládejte, že intervaly mezi změnami vstupů jsou dostatečně dlouhé, aby bylo možné zanedbat zpoždění.

---

### ## Úloha 3: Shannonův rozklad Často testováno

\*\*Zadání\*\*: Rozložte funkci  $Q=f(A,B,C,Q)$  z úlohy 2 do tvaru:

---

$Q = (\text{not } Q \text{ and } f_0(A,B,C)) \text{ or } (Q \text{ and } f_1(A,B,C))$

---

Napište Karnaughovy mapy pro  $f_0$  a  $f_1$ .

#### ### Postup řešení

1. Nastavte  $Q=0$ , najděte  $f_0$
2. Nastavte  $Q=1$ , najděte  $f_1$
3. Nakreslete Karnaughovy mapy

---

### ## Úloha 4: Znaménkové/Neznaménkové bitové hodnoty Často testováno

\*\*Zadání\*\*: Jaká je desetinná hodnota 10bitového binárního čísla  $10\ 0000\ 1111$ ?

a) \*\*Neznaménkové (unsigned)\*\*: \_\_\_\_\_

b) \*\*Dvojkový doplněk (signed)\*\*: \_\_\_\_\_

#### ### Odpověď

---

$10\ 0000\ 1111$  (binárně)

a) Neznaménkové:

$$\begin{aligned} &= 2^9 + 2^8 + 2^7 + 2^6 + 2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 2^0 \\ &= 512 + 256 + 128 + 64 + 32 + 16 + 8 + 4 + 2 + 1 \\ &= 527 \end{aligned}$$

b) Dvojkový doplněk (znaménkové):

MSB je 1, což označuje záporné číslo  
Metoda 1:  $= -2^9 + (\text{hodnota zbývajících bitů})$   
 $= -512 + 15 = -497$

Metoda 2: Invertovat a přičíst 1  
 $01\ 1111\ 0000 + 1 = 01\ 1111\ 0001 = 497$   
Tedy původní číslo = -497

---

---

### ## Úloha 5: Ekvivalentní logické funkce Často testováno

**\*\*Zadání\*\*:** Označte všechny logické funkce, které jsou ekvivalentní s jinými funkcemi:

```
```vhdl
f1 <= (A xor C) or (A and not C);
f2 <= (B or C) and (not A or B or C);
f3 <= ((C and not B) or (B and A));
f4 <= (A or C) and (not A or not C);
f5 <= (A and not B) xor (A and C);
f6 <= (A and not C) or (C and not A);
````
```

### ### Postup řešení

Nakreslete Karnaughovy mapy pro každou funkci:

**\*\*f1\*\*:**  $(A \text{ xor } C) \text{ or } (A \text{ and not } C) = A \text{ or } (A \text{ xor } C) = A \text{ or } C \cdot C \dots$

**\*\*f4\*\*:**  $(A \text{ or } C) \text{ and } (\text{not } A \text{ or not } C) = A \cdot C$

**\*\*f6\*\*:**  $(A \text{ and not } C) \text{ or } (C \text{ and not } A) = A \cdot C$

**\*\*Závěr\*\*:** f4 f6 (obě jsou A XOR C)

---

### ## Úloha 6: Kreslení RS klopného obvodu Často testováno

**\*\*Zadání\*\*:** Nakreslete RS klopný obvod pouze pomocí hradel NOR a nakreslete RS klopný obvod pouze pomocí hradel NAND.

**### RS klopný obvod typu NOR (aktivní v vysoké úrovni)**

---

$S$  > NOR  $Q$

$R$  > NOR  $Q$

---

**### RS klopný obvod typu NAND (aktivní v nízké úrovni)**

---

$S$  > NAND  $Q$

R > NAND Q

---

---

## ## Úloha 7: Návrh asynchronní děličky 18

**\*\*Zadání\*\*:** Přidejte hradla a propojení do neúplného diagramu pro vytvoření asynchronní děličky hodinového signálu.

### ### Návrhový přístup

- Dělení 18 vyžaduje počítání 0-17, celkem 18 stavů
- 17 v binárním tvaru: 10001
- Resetovat všechny klopné obvody při detekci 17

### ### Klíčová propojení

- Použijte 5 D klopných obvodů v kaskádě
- Použijte hradlo AND pro detekci stavu 10001
- Připojte výstup detekce k CLRn všech DFF

---

## ## Úloha 8: Analýza VHDL kódu

**\*\*Zadání\*\*:** Analyzujte špatně naformátovaný VHDL kód a nakreslete odpovídající schéma logického obvodu.

```
```vhdl
library IEEE; use IEEE.STD_LOGIC_1164.all;
entity test20140214 is port (a, b, c, d : in std_logic; e : out std_logic); end;
architecture rtl of test20140214 is begin
process(a, b) variable z:std_logic_vector(0 to 3); begin
if b = '0' then z:=(others=>'0');
elsif rising_edge(a) then
  if c='1' then z:=d & z(0 to 2);
  else z:=z(3) & z(0 to 2);
  end if;
end if;
e<=z(3);
end process;
end rtl;
````
```

### ### Naformátovaný kód

```
```vhdl
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity test20140214 is
  port (a, b, c, d : in std_logic;
```

```

        e : out std_logic);
end;

architecture rtl of test20140214 is
begin
    process(a, b)
        variable z: std_logic_vector(0 to 3);
    begin
        if b = '0' then
            z := (others => '0');      -- Asynchronní nulování
        elsif rising_edge(a) then
            if c = '1' then
                z := d & z(0 to 2);  -- Sériový vstup d
            else
                z := z(3) & z(0 to 2); -- Kruhový posun
            end if;
        end if;
        e <= z(3);
    end process;
end rtl;
```

```

### ### Funkční analýza

- \*\*Název obvodu\*\*: 4bitový řiditelný posuvný registr
  - \*\*a\*\*: Hodinový signál (spouštěný náběžnou hranou)
  - \*\*b\*\*: Asynchronní nulování (nuluje když  $b='0'$ )
  - \*\*c\*\*: Řízení režimu
    - $c='1'$ : Režim sériového vstupu,  $d$  vstupuje do  $z(0)$
    - $c='0'$ : Režim kruhového posunu
  - \*\*e\*\*: Výstup  $z(3)$
- 

### ## Shrnutí znalostí

| Úloha | Typ                                | Obtížnost |
|-------|------------------------------------|-----------|
| 1     | Zjednodušení logického výrazu      |           |
| 2     | Simulace RS klopného obvodu        |           |
| 3     | Shannonův rozklad                  |           |
| 4     | Znaménková/Neznaménková čísla      |           |
| 5     | Identifikace ekvivalentních funkcí |           |
| 6     | Kreslení RS klopného obvodu        |           |
| 7     | Návrh děličky                      |           |
| 8     | Analýza VHDL                       |           |