

LSP Exam - 2015 年 1 月 30 日

AI 推演版本 - 以下为解析参考

题目 1：逻辑表达式化简

题目：重写逻辑表达式 F，使 NOT 运算符只出现在变量前面，用卡诺图验证！[English] Rewrite the logic expression F so that NOT operators only appear before variables, verify with Karnaugh map!

$$F = \text{not} ((A \text{ or } \text{not } B \text{ or } \text{not } C) \text{ or } ((A \text{ or } B) \text{ and } \text{not} (A \text{ or } \text{not } C)))$$

解答步骤

1. 应用德摩根定律: $\text{not}(X \text{ or } Y) = \text{not } X \text{ and } \text{not } Y$
2. 逐步化简...

$$\begin{aligned} F &= \text{not}(A \text{ or } B \text{ or } C) \text{ and } \text{not}((A \text{ or } B) \text{ and } \text{not}(A \text{ or } C)) \\ &= \bar{A} \cdot B \cdot C \text{ and } (\text{not}(A \text{ or } B) \text{ or } (A \text{ or } C)) \\ &= \bar{A} \cdot B \cdot C \text{ and } ((\bar{A} \cdot B) \text{ or } A \text{ or } C) \end{aligned}$$

继续化简得到最终结果...

卡诺图验证

F	C=0	C=1
AB=00		
AB=01		
AB=11		
AB=10		

题目 2：RS 锁存器电路仿真 常考

题目：输入 A, B, C 在时刻 t0, t1, t2, t3 的值如下，写出 Q 输出值。[English] Given inputs A, B, C values at times t0, t1, t2, t3 as shown, write the Q output value.

$$\begin{aligned} A &= \dots | \dots | \dots | \dots | \dots | \\ B &= \dots | \dots | \dots | \dots | \dots | \\ C &= \dots | \dots | \dots | \dots | \dots | \end{aligned}$$

t0 t1 t2 t3

$$Q = _ | _ | _ | _ |$$

假设输入变化之间的间隔足够长，可以忽略门延迟。

题目 3：香农展开 常考

题目：将题目 2 中的函数 $Q=f(A, B, C, Q)$ 分解为：[English] Decompose the function $Q=f(A, B, C, Q)$ from question 2 into:

$$Q = (\text{not } Q \text{ and } f0(A, B, C)) \text{ or } (Q \text{ and } f1(A, B, C))$$

写出 f0 和 f1 的卡诺图。

解题方法

1. 令 $Q=0$, 求 f_0
 2. 令 $Q=1$, 求 f_1
 3. 画卡诺图
-

题目 4: 有符号/无符号数位值 常考

题目: 10 位二进制数 10 0000 1111 的十进制值是多少? [English] What is the decimal value of the 10-bit binary number 10 0000 1111?

- a) 无符号数 (unsigned): _____
- b) 有符号数 (two's-complement): _____

解答

10 0000 1111 (二进制)

a) 无符号:

$$\begin{aligned} &= 2^9 + 2^3 + 2^2 + 2^1 + 2^0 \\ &= 512 + 8 + 4 + 2 + 1 \\ &= 527 \end{aligned}$$

b) 有符号(补码):
最高位是1, 表示负数
方法1: $= -2^9 + (\text{剩余位的值})$
 $= -512 + 15 = -497$

方法2: 取反加1
 $01\ 1111\ 0000 + 1 = 01\ 1111\ 0001 = 497$
所以原数 = -497

题目 5: 等价逻辑函数 常考

题目: 标记所有与其他函数等价的逻辑函数: [English] Mark all logic functions that are equivalent to other functions:

```
f1 <= (A xor C) or (A and not C);  
f2 <= (B or C) and (not A or B or C);  
f3 <= ((C and not B) or (B and A));  
f4 <= (A or C) and (not A or not C);  
f5 <= (A and not B) xor (A and C);  
f6 <= (A and not C) or (C and not A);
```

解题方法

画出每个函数的卡诺图:

f1: $(A \text{ xor } C) \text{ or } (A \text{ and not } C) = A \text{ or } (A \text{ xor } C) = A \text{ or } C \cdot C \dots$

f4: $(A \text{ or } C) \text{ and } (\text{not } A \text{ or not } C) = A \cdot C$

f6: $(A \text{ and not } C) \text{ or } (C \text{ and not } A) = A \cdot C$

结论: f4 f6 (都是 A XOR C)

题目 6: RS 锁存器画图 常考

题目: 仅使用 NOR 门画出 RS 锁存器, 仅使用 NAND 门画出 RS 锁存器。[English] Draw RS latch using only NOR gates, and draw RS latch using only NAND gates.

NOR 型 RS 锁存器 (高电平有效)

S > NOR Q

R > NOR Q

NAND 型 RS 锁存器 (低电平有效)

S > NAND Q

R > NAND Q

题目 7: 异步 18 分频器设计

题目: 在未完成的图中添加门和连线, 创建 CLK 时钟信号的 18 分频异步分频器, 带异步复位 ACLRN。[English] Add gates and connections to the incomplete diagram to create an asynchronous divide-by-18 divider of CLK clock signal with asynchronous reset ACLRN.

设计思路

- 18 分频需要计数 0-17, 共 18 个状态
- 17 的二进制: 10001
- 检测到 17 时复位所有触发器

关键连接

- 使用 5 个 D 触发器级联

- 用 AND 门检测状态 10001
 - 检测输出连接到所有 DFF 的 CLRN
-

题目 8: VHDL 代码分析

题目: 分析格式错误的 VHDL 代码, 画出对应的逻辑电路图。[English] Analyze the poorly formatted VHDL code and draw the corresponding logic circuit diagram.

```
library IEEE; use IEEE.STD_LOGIC_1164.all;
entity test20140214 is port (a, b, c, d : in std_logic; e : out std_logic); end;
architecture rtl of test20140214 is begin
process(a, b) variable z:std_logic_vector(0 to 3); begin
if b = '0' then z:=(others=>'0');
elsif rising_edge(a) then
  if c='1' then z:=d & z(0 to 2);
  else z:=z(3) & z(0 to 2);
  end if;
end if;
e<=z(3);
end process;
end rtl;
```

格式化代码

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity test20140214 is
  port (a, b, c, d : in std_logic;
        e : out std_logic);
end;

architecture rtl of test20140214 is
begin
  process(a, b)
    variable z: std_logic_vector(0 to 3);
  begin
    if b = '0' then
      z := (others => '0');          -- 异步清零
    elsif rising_edge(a) then
      if c = '1' then
        z := d & z(0 to 2);       -- 串行输入 d
      else
        z := z(3) & z(0 to 2);   -- 循环移位
      end if;
    end if;
    e <= z(3);
  end process;
end rtl;
```

功能分析

- 电路名称: 4 位可控移位寄存器
- a: 时钟信号 (上升沿触发)

- **b**: 异步清零 ($b='0'$ 时清零)
 - **c**: 模式控制
 - $c='1'$: 串行输入模式, d 进入 $z(0)$
 - $c='0'$: 循环移位模式
 - **e**: 输出 $z(3)$
-

知识点总结

题号	题型	难度
1	逻辑表达式化简	
2	RS 锁存器仿真	
3	香农展开	
4	有符号 / 无符号数	
5	等价函数判断	
6	RS 锁存器画图	
7	分频器设计	
8	VHDL 分析	