

4. Doplňte chybějící části definice

Automat Moore (Mealy) je uspořádaná šestice $M = \langle X, S, Z, \omega, \delta, s_0 \in S \rangle$, kde

X je.....

S je.....

Z je.....

δ je zobrazení pro Moore..... pro Mealy.....

ω je zobrazení pro Moore..... pro Mealy.....

s_0 je

5. Tiskar Vás požádal o rozluštění následujícího špatně naformátovaného kódu.

```
library IEEE; use IEEE.STD_LOGIC_1164.all;
entity zzz is port (a : in std_logic; data : in std_logic; q, qn : out std_logic); end;
architecture rtl of zzz is signal qv : std_logic;
begin process(a) begin if rising_edge(a) then qv <= not data; q <= qv; end if; qn <= not qv;
end process; end;
```

Nakreslete výstížné schéma logického obvodu odpovídajícího VHDL kódu.

6. Nakreslete schéma úplné jednobitové sčítací se vstupy A, B, Cin a výstupy Y a Cout.

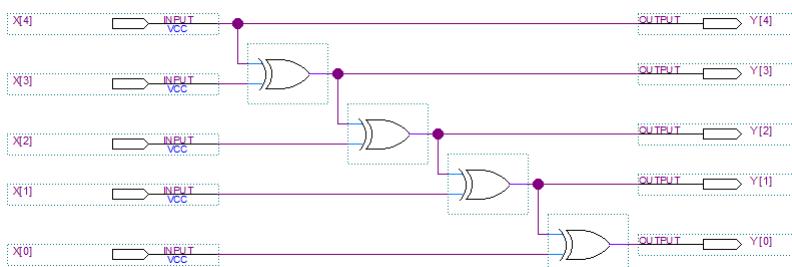
Příjmení a jméno:.....

Odpovědní arch písemky LPS dne 19.1.2022 - pište sem jen Vaše odpovědi

7. Obvod na obrázku

popište VHDL příkazy.

Volte co nejkratší kód s využitím vektorových operací.



```
library ieee; use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity Zahadum is port(
```

);

end entity;

architecture rtl of Zahadum is

begin

end architecture rtl;

7

5

2. část

25

> 9

end architecture;

8. Analyzujte funkci obvodu z otázky 1 a vyjádřete ji jednoduššími souběžnými příkazy, tj. bez použití process. Správné řešení není přímým přepisem logické rovnice pro Y.

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entityyyy is port( a,b,c,d: in std_logic; y: out std_logic); end entity;
architecture dataflow ofyyy is
```

begin

end architecture;

9. Prémiová otázka, u níž se uzná jen plně funkční řešení:

Pomocí pokročilých VHDL příkazů napište kodér majáku, který vysílá signál SOS

01010100011101110001010100 - Vstupem je X binární čítač a výstupem Morse a STOP, tedy sestavte variantu své první úlohy, ovšem bez minimalizace KM.

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;  
entity SOS is port (clk : in std_logic; X:in std_logic_vector(4 downto 0);  
Morse, STOP: out std_logic);
```

```
end entity;
```

```
architecture rtl of SOS is
```

```
begin
```

```
end architecture;
```