

LSP Exam – 2015年1月21日

CVUT FEL (CVUT) – České vysoké učení technické v Praze | Czech Technical University in Prague

中文版 | English | Čeština

AI推演版本 – 以下为解析参考

题目2: RS锁存器电路仿真 常考

题目: 输入A, B, C在时刻t0, t1, t2, t3的值如下, 写出Q输出值。 [English] Given inputs A, B, C values at times t0, t1, t2, t3 as shown, write the Q output value.

A = ..0..|..1..|..1..|..1..|
B = ..0..|..0..|..0..|..1..|
C = ..1..|..1..|..0..|..0..|

t0 t1 t2 t3

答案

Q = ...1...|...0...|...0...|...1...|

题目3: 香农展开 常考

题目: 将函数 $Q=f(A,B,C,Q)$ 从题目2分解为: [English] Decompose the function $Q=f(A,B,C,Q)$ from question 2 into:

$Q = (\text{not } Q \text{ and } f_0(A,B,C)) \text{ or } (Q \text{ and } f_1(A,B,C))$

解题过程

$f_0 := f(A,B,C, '0') := (A \quad B) \cdot ('0' + (B \quad C)) := (A \quad B) \cdot (B \quad C)$
 $f_1 := f(A,B,C, '1') := (A \quad B) \cdot ('1' + (B \quad C)) := (A \quad B) \cdot '1' := (A \quad B)$

f0 卡诺图 $(A \equiv B) \cdot (B \neq C)$

f0	C=0	C=1
AB=00	0	1
AB=01	0	0
AB=11	1	0
AB=10	0	0

f1 卡诺图 $(A \equiv B)$

f1	C=0	C=1
AB=00	1	1
AB=01	0	0
AB=11	1	1
AB=10	0	0

题目4: 有符号/无符号数位值 常考

题目: 10位二进制数 10 0000 1111 的十进制值是多少? [English] What is the decimal value of the 10-bit binary number 10 0000 1111?

- a) 无符号数(unsigned): _____
 b) 有符号数(two's-complement): _____

解答

10 0000 1111 ()

a) : $2^9 + 2^3 + 2^2 + 2^1 + 2^0 = 512 + 8 + 4 + 2 + 1 = 527$

b) ():

$$= -2^9 + (0\ 0000\ 1111)$$

$$= -512 + 15 = -497$$

题目5: 等价逻辑函数 常考

题目: 标记所有与其他函数等价的逻辑函数: [English] Mark all logic functions that are equivalent to other functions:

f1 <= (A xor C) or (A and not C);
 f2 <= (B or C) and (not A or B or C);
 f3 <= ((C and not B) or (B and A));
 f4 <= (A or C) and (not A or not C);
 f5 <= (A and not B) xor (A and C);
 f6 <= (A and not C) or (C and not A);

解题方法

分别用卡诺图画每个函数, 比较找出相同的!

提示: f4 和 f6 都是 A XOR C 的形式

题目6: RS锁存器画图 常考

题目: 仅使用NOR门画出RS锁存器, 仅使用NAND门画出RS锁存器。[English] Draw RS latch using only NOR gates, and draw RS latch using only NAND gates.

NOR门 RS锁存器

S [NOR] Q

R [NOR] Q

NAND门 RS锁存器

S [NAND] Q

R [NAND] Q

注意: NAND型RS锁存器输入是低电平有效!

题目7: 异步分频器设计

题目: 在未完成的图中添加门和连线, 创建CLK时钟信号的18分频异步分频器, 带异步复位ACLRN。 [English] Add gates and connections to the incomplete diagram to create an asynchronous divide-by-18 divider of CLK clock signal with asynchronous reset ACLRN.

使用5个DFF触发器实现。

设计思路

- $18 = 2 \times 9 = 2 \times 3 \times 3$
 - 需要检测到计数值17(10001)时复位
-

题目8: VHDL代码分析

题目: 分析以下格式错误的VHDL代码, 画出对应的逻辑电路图并给出描述其功能的标题。 [English] Analyze the following poorly formatted VHDL code, draw the corresponding logic circuit diagram and give a title describing its function.

```
library IEEE; use IEEE.STD_LOGIC_1164.all;
entity test20140214 is port (a, b, c, d : in std_logic; e : out std_logic); end;
architecture rtl of test20140214 is begin
process(a, b) variable z:std_logic_vector(0 to 3); begin
if b = '0' then z:=(others=>'0');
elsif rising_edge(a) then
    if c='1' then z:=d & z(0 to 2);
    else z:=z(3) & z(0 to 2);
    end if;
end if;
end if;
```

```

e<=z(3);
end process;
end rtl;

```

代码分析

- 功能: 4位移位寄存器
 - 输入: a(时钟), b(异步清零), c(模式选择), d(数据输入)
 - 输出: e = z(3)
 - 当 c='1': 串行输入d, 右移
 - 当 c='0': 循环右移
-

知识点总结

题型	知识点	SEL 参考
香农展开	函数分解	p.11-14
有符号/无符号	位值计算	p.2-3
等价函数	卡诺图比较	p.4-7
RS锁存器	NOR/NAND实现	p.11-14
分频器	数字计数器设计	-
VHDL分析	代码理解	-