

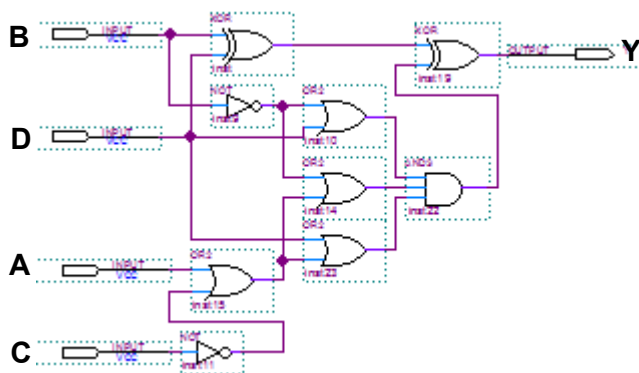
Příjmení a jméno:.....

Odpovědní arch písemky LPS dne 19.1.2022- píše sem jen Vaše odpovědi

1. Napište pravdivostní tabulku funkce Y ze schématu.

Návod: Vyplnění tabulky si můžete usnadnit Shannonovou expanzí dle vhodných proměnných.

Y	A			
	0	1	0	1
DC				



2. Přepište logický výraz F tak, aby se "not" operátory nacházely jen před proměnnými!

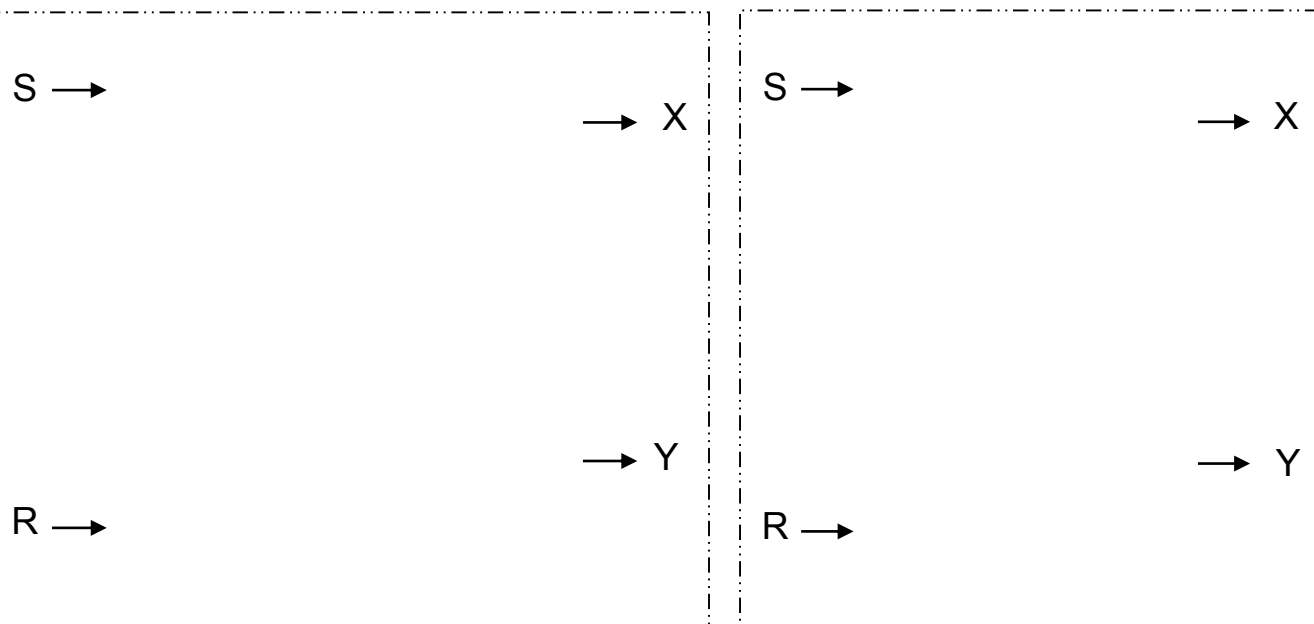
Zkontrolujte své řešení v KM.

F =		A			
		0	1	0	1
C	0				
	1				

F = not ( (not A and not C) xor (A and B and C) )

F = .....

3. Nakreslete vlevo úrovnový klopný obvod typu R-S složený jen z hradel NAND a vpravo jen z hradel NOR tak, aby se v jejich pravdivostních tabulkách nezměnil předepsaný řádek. Ty ostatní doplňte.



Vstupy		Výstupy	
S	R	X	Y
1	0	1	0

Vstupy		Výstupy	
S	R	X	Y
1	0	1	0

Zde  
nepíše

7

3

5  
Nand

5  
nor

## 4. Doplňte chybějící části definice

Automat Moore (Mealy) je uspořádaná šestice  $\mathbf{M} = \langle \mathbf{X}, \mathbf{S}, \mathbf{Z}, \omega, \delta, s_0 \in \mathbf{S} \rangle$ , kde

$\mathbf{X}$  je.....

$\mathbf{S}$  je.....

$\mathbf{Z}$  je.....

$\delta$  je zobrazení pro Moore..... pro Mealy.....

$\omega$  je zobrazení pro Moore..... pro Mealy.....

$s_0$  je .....

## 5. Tiskář Vás požádal o rozluštění následujícího špatně naformátovaného kódu.

```
library IEEE; use IEEE.STD_LOGIC_1164.all;  
entity zzz is port (a : in std_logic; data : in std_logic; q, qn : out std_logic); end;  
architecture rtl of zzz is signal qv : std_logic;  
begin process(a) begin if rising_edge(a) then qv <= not data; q <= qv; end if; qn <= not qv;  
end process; end;
```

Nakreslete výstižné schéma logického obvodu odpovídajícího VHDL kódu.

## 6. Nakreslete schéma úplné jednobitové sčítačky se vstupy A, B, Cin a výstupy Y a Cout.

*Volte co nejkratší kód s využitím  
vektorových operací.*

end entity;  
architecture rtl of Zahadum is

begin

```
end architecture rtl;
```

8. Analyzujte funkci obvodu z otázky 1 a vyjádřete ji jednoduššími souběžnými příkazy, tj. bez použití process. Správné řešení není přímým přepisem logické rovnice pro Y.

```
library ieee; use ieee.std_logic_1164.all;use ieee.numeric_std.all;
entity yyy is  port( a,b,c,d: in std_logic; y: out std_logic); end entity;
architecture dataflow of yyy is
```

begin

end architecture;

7

5

2. část  
25  
≥9

**9. Prémiová otázka, u níž se uzná jen plně funkční řešení:**

Pomocí pokročilých VHDL příkazů napište kodér majáku, který vysílá signál SOS

010101000111011101110001010100 - Vstupem je X binární čítač a výstupem Morse a STOP, tedy sestavte variantu své první úlohy, ovšem bez minimalizace KM.

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity SOS is port (clk : in std_logic; X:in std_logic_vector(4 downto 0);
                    Morse. STOP: out std_logic);
end entity;
architecture rtl of SOS is
begin
```

```
end architecture;
```