

LSP zkouška 21. prosince 2021

CVUT FEL (CVUT) – České vysoké učení technické v Praze | Czech Technical University in Prague

中文版 | English | Čeština

AI-generované řešení – Toto PDF zkoušky neobsahuje oficiální odpovědi, níže je odvozená analýza. Poznámka: V této zkoušce je RS klopný obvod ve variantě se 4 vstupy (A,B,C,D)

Informace o zkoušce

- Datum: 21. prosince 2021
- Jazyk: čeština
- Celkem bodů: 60 (první část 30 + druhá část 30)

Úloha 1 – Ekvivalentní logické funkce (8 bodů)

Zadání: Zasmrkněte všechny logické funkce, které mají ekvivalentní funkci:

```
y1 <= (D and not C) or (not C and A) or (D and B);
y2 <= (D and C) xor (B and A);
y3 <= (D or A) and (not C or B) and (D or not C);
y4 <= (D and B) or (D and not C and not B) or ((D xor A) and not C);
```

Postup řešení: Použijte Karnaughovu mapu pro ověření ekvivalence funkcí

Úloha 2 – Simulace RS klopného obvodu (5 bodů)

Zadání: Dané hodnoty vstupů A, B, C, D v časech t0–t4, napište hodnoty výstupů X a Y

Vstupní sekvence:

A	=	0		1		1		1		1
B	=	0		0		1		0		0
C	=	0		0		1		1		0
D	=	1		1		0		0		1
		t0		t1		t2		t3		t4

Postup řešení: Analyzujte časové chování RS klopného obvodu

Úloha 3 – Shannonova expanze (8 bodů)

Zadání: Rozložte funkci $X=f(A,B,C,D,X)$ z úlohy 2 pomocí Shannonovy expanze na:

$$X = (\overline{X} \wedge f_0(A, B, C, D)) \vee (X \wedge f_1(A, B, C, D))$$

Napište f_0 a f_1 ve formě Karnaughovy mapy

Vzorec Shannonovy expanze: – $f_0 = f(A,B,C,D,0)$ – hodnota funkce když $X=0$ – $f_1 = f(A,B,C,D,1)$ – hodnota funkce když $X=1$

Úloha 4 – Implementace XOR pomocí NAND hradel (3 body)

Zadání: Vytvořte hradlo XOR pouze pomocí 2-vstupových NAND hradel a vodičů

Odpověď:

$$Y = A \text{ xor } B = (A \text{ NAND } (A \text{ NAND } B)) \text{ NAND } (B \text{ NAND } (A \text{ NAND } B))$$

Vyžaduje 4 NAND hradla

Úloha 5 – Obvod úplné scítačky (3 body)

Zadání: Dokoncete schéma obvodu jednobitové úplné scítačky

Vzorce úplné scítačky: – $\text{Sum} = A \oplus B \oplus \text{Cin}$ – $\text{Cout} = (A \wedge B) \vee (\text{Cin} \wedge (A \oplus B))$

Úloha 6 – Scítačka +1 (3 body)

Zadání: Implementujte 4-bitovou binární scítačku +1 pomocí 6 logických hradel

Návrh:

$$Y0 = \text{not } A0$$

$$Y1 = A1 \text{ xor } A0$$

$$Y2 = A2 \text{ xor } (A1 \text{ and } A0)$$

$$Y3 = A3 \text{ xor } (A2 \text{ and } A1 \text{ and } A0)$$

Úloha 7 – Analýza VHDL kódu

Zadání: Analyzujte daný VHDL kód a nakreslete RTL pohled