

LSP考试 2021年12月21日

CVUT FEL (ČVUT) – České vysoké učení technické v Praze | Czech Technical University in Prague

中文版 | English | Čeština

AI推演版本 – 本试卷PDF无官方答案，以下为推演解析 注意：本场考试RS锁存器为4输入(A,B,C,D)变体

考试信息

- 日期: 2021年12月21日
 - 语言: 捷克语
 - 总分: 60分 (第一部分30分 + 第二部分30分)
-

第1题 – 等价逻辑函数 (8分)

题目: 勾选所有具有等价函数的逻辑函数: [English] Check all logic functions that have an equivalent function:

```
y1 <= (D and not C) or (not C and A) or (D and B);  
y2 <= (D and C) xor (B and A);  
y3 <= (D or A) and (not C or B) and (D or not C);  
y4 <= (D and B) or (D and not C and not B) or ((D xor A) and not C);
```

解题方法: 使用卡诺图验证各函数是否等价

第2题 – RS锁存器仿真 (5分)

题目: 给定输入A, B, C, D在时间t0–t4的值, 写出X和Y输出的值 [English] Given inputs A, B, C, D values at times t0–t4, write the values of X and Y outputs

输入序列:

A = 0 1 1 1 1
B = 0 0 1 0 0
C = 0 0 1 1 0
D = 1 1 0 0 1
t0 t1 t2 t3 t4

解题方法: 分析RS锁存器的时序行为

第3题 – Shannon展开 (8分)

题目: 将第2题中的函数 $X=f(A,B,C,D,X)$ 用Shannon展开分解为: [English] Decompose the function $X=f(A,B,C,D,X)$ from question 2 using Shannon expansion into:

$$X = (\overline{X} \wedge f_0(A, B, C, D)) \vee (X \wedge f_1(A, B, C, D))$$

将 f_0 和 f_1 写成卡诺图形式

Shannon展开公式： $f_0 = f(A,B,C,D,0)$ – 当 $X=0$ 时的函数值 $f_1 = f(A,B,C,D,1)$ – 当 $X=1$ 时的函数值

第4题 – 用NAND门实现XOR (3分)

题目： 只使用2输入NAND门和导线创建XOR门 [English] Create an XOR gate using only 2–input NAND gates and wires

解答：

$$Y = A \text{ xor } B = (A \text{ NAND } (A \text{ NAND } B)) \text{ NAND } (B \text{ NAND } (A \text{ NAND } B))$$

需要4个NAND门

第5题 – 全加器电路 (3分)

题目： 完成一位全加器的电路图 [English] Complete the circuit diagram of a one-bit full adder

$$\text{全加器公式: } \text{Sum} = A \oplus B \oplus \text{Cin} \quad \text{Cout} = (A \wedge B) \vee (\text{Cin} \wedge (A \oplus B))$$

第6题 – +1加法器 (3分)

题目： 使用6个逻辑门实现4位二进制+1加法器 [English] Implement a 4–bit binary +1 adder using 6 logic gates

设计思路：

$$\begin{aligned} Y_0 &= \text{not } A_0 \\ Y_1 &= A_1 \text{ xor } A_0 \\ Y_2 &= A_2 \text{ xor } (A_1 \text{ and } A_0) \\ Y_3 &= A_3 \text{ xor } (A_2 \text{ and } A_1 \text{ and } A_0) \end{aligned}$$

第7题 – VHDL代码分析

题目： 分析给定的VHDL代码并画出RTL视图 [English] Analyze the given VHDL code and draw the RTL view

第8题 – 状态机设计

题目： 设计指定功能的Moore/Mealy状态机 [English] Design a Moore/Mealy state machine with specified functionality