

Zkouska LSP 2022–01–11

Course: B0B35LSP – Logické systémy a procesory | BE5B35LSP – Logic Systems and Processors **University:** CVUT FEL (CVUT) – České vysoké učení technické v Praze | Czech Technical University in Prague **Keywords:** LSP, Exam, Zkouska, 2022–01–11, RS latch, Shannon expansion, VHDL

[CN Version](#)

| [EN Version](#)

| [CZ Version](#)

Zkouska LSP 2022–01–11

Al odvozená verze –V PDF nejsou oficiální odpovědi; níže jsou odvozené poznámky/rěšení.

Informace o zkousce

- Datum: 2022–01–11
 - Jazyk: čeština
 - Celkem: 50 bodů (část 1: 25 b ≥ 9 + část 2: 25 b ≥ 9)
-

Úloha 1 –Ekvivalentní logické funkce (8 b)

Zadání: Zaskrtněte vsachny logické funkce, které jsou ekvivalentní:

```
y1 <= (A and not D) or (not A and not B and C) or (B and D);  
y2 <= ((B or not C) and (not A or C)) xor ((A or not B or not D)  
      and (not A or not B or not C) and (not A or B or not D));  
y3 <= (A or not B or D) and (not A or B or not D) and (A or B or C);  
y4 <= (B xor not D) or (A and B) or (not A and not B and C);
```

Úloha 2 –Simulace RS záchytu (5 b)

Zadání: Pro dané hodnoty vstupů A, B, C v časech t0–t4 určete hodnoty výstupů Q a QN.

Vstupní posloupnost:

A = 0		0		1		0		0
B = 0		1		1		0		1
C = 1		0		0		0		1
t0	t1	t2	t3	t4				

Úloha 3 –Shannonův rozklad (8 b)

Zadání: Rozložte $Q = f(A, B, C, Q)$ do tvaru:

$$Q = (\overline{Q} \wedge f_0(A, B, C)) \vee (Q \wedge f_1(A, B, C))$$

Úloha 4 –Multiplexor 4:1 (4 b)

Zadání: Doplňte do schématu minimální pocet prvků tak, aby vznikl multiplexor 4:1 s povolením (enable).

Znacení:

y1y0 – výběrové signály

a, b, c, d – datové vstupy

en – povolení (aktivní při en='1'; při en='0' je výstup Z = '0')

Z – výstup

Úloha 5 –Definice automatu Moore/Mealy (4 b)

Zadání: Doplňte definici: Mooreův (Mealyho) automat je sestice $M = < X, S, Z, \omega, \delta, s_0 \in S >$.

Rешение: – X: vstupní abeceda (konečná množina vstupních symbolů) – S: množina stavů (konečná množina stavů) – Z: výstupní abeceda (konečná množina výstupních symbolů) – δ: průchodová funkce – Moore: $\delta : S \times X \rightarrow S$ – Mealy: $\delta : S \times X \rightarrow S$ – ω: výstupní funkce – Moore: $\omega : S \rightarrow Z$ (výstup závisí pouze na stavu) – Mealy: $\omega : S \times X \rightarrow Z$ (výstup závisí na stavu a vstupu) – s₀: počáteční stav

Úloha 6 –Obvod pocítadla výrobků (odrusení) (8 b)

Zadání: Na výrobní lince je snímac výrobků (jednopólové tlacítko) a tlacítko pro rucní korekci (dvoupólové). Snímac aktivuje vstup Plus1, korekce aktivuje Minus1. Navrhněte odrusovací obvod tak, aby se pocítalo v okamžiku stisku.

Požadavky: – Prřidat 8 nezbytných prvků – Spouštění na náběžnou hranu – Okamžitá reakce

Úloha 7 –Analýza VHDL kódu

Zadání: Analyzujte daný VHDL kód a nakreslete RTL pohled.

Úloha 8 –Predikce skoků

Poznámka (není zkousěno): Podle poznámek k roku 2026 se výpočty prediktoru skoků netestují; lze přeskocit.

Zadání: Spocítajte pocet chybnych predikci skoku pro daný program.