

LSP 考试 2023 年 7 月 6 日 (英文版)

AI 推演版本 - 本试卷 PDF 无官方答案, 以下为推演解析

考试信息

- 日期: 2023 年 7 月 6 日
 - 语言: 捷克语/英语
 - 包含统计数据图表
-

第 1 题 - Shannon 展开 (6 分)

题目: 将电路的 $X, Y = f(A, B, C)$ 函数用 Shannon 展开分解 [English] Decompose the circuit functions $X, Y = f(A, B, C)$ using Shannon expansion

$$X, Y = (\bar{C} \wedge f_0(A, B)) \vee (C \wedge f_1(A, B))$$

第 2 题 - 8 位加法器运算 (4 分)

题目: 在 8 位加法器上执行 $96+97+98+99$ [English] Perform $96+97+98+99$ on an 8-bit adder

计算: $- 96+97+98+99 = 390 - 390 \bmod 256 = 134 - 134$ 的二进制: 10000110

答案: - a) unsigned (无符号) : 134 - b) signed (二进制补码有符号) : -122 (因为最高位是 1)

第 3 题 - 1:4 解复用器设计 (5 分)

题目: 画出解复用器的逻辑电路图 [English] Draw the logic circuit diagram of the demultiplexer

逻辑方程:

```
x0 = Data and (not y1) and (not y0)
x1 = Data and (not y1) and y0
x2 = Data and y1 and (not y0)
x3 = Data and y1 and y0
```

第 4 题 - RS 锁存器仿真 (5 分)

题目: 给定输入 A, B, C 在时间 t0-t4 的值, 写出 X 和 Y 输出的值 [English] Given inputs A, B, C values at times t0-t4, write the values of X and Y outputs

输入序列:

A = 1 0 1 0 1
B = 0 0 1 0 0
C = 0 1 0 0 0
t0 t1 t2 t3 t4

第 5 题 - VHDL 代码 RTL 分析 (10 分)

题目: 画出 RTL 视图并命名电路 [English] Draw the RTL view and name the circuit

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity XXX is port(a, b : in std_logic; c : out std_logic); end entity;
architecture beh of XXX is
begin
  process (a,b)
    variable d:std_logic:='0';
    variable e:integer range 0 to 25:=0;
  begin
    if b='0' then
      e:=0; d:='0';
    elsif rising_edge(a) then
      if e<25 then
        e:=e+1;
      else
        e:=0; d:=not d;
      end if;
    end if;
    c<=d;
  end process;
end architecture;
```

答案: - 名称: 26 分频器 (Frequency Divider by 26) - 每 26 个时钟周期输出翻转一次 - b 是异步复位

第 6 题 - 解复用器 VHDL 描述 (5 分)

题目: 用 VHDL 描述解复用器 [English] Describe the demultiplexer in VHDL

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity yyy is
  port(Data: in std_logic;
       y: in std_logic_vector(1 downto 0);
       x: out std_logic_vector(3 downto 0));
end entity;
architecture dataflow of yyy is
begin
  process(Data, y)
  begin
    x <= (others => '0');
    x(to_integer(unsigned(y))) <= Data;
  end process;
end architecture;
```

第 7 题 - 16 分频器设计 (10 分)

题目: 完成电路实现 CLK 的同步 16 分频器 [English] Complete the circuit to implement synchronous divide-by-16 of CLK

设计: - 4 位计数器 (D 触发器) - +1 加法器 - DIV16 输出最高位

第 8 题 - 分支预测器 (5 分)

非考点提示 (Not on Exam): 根据 2026 年考试说明, 分支预测器计算题本次不考, 可战略性跳过。

题目: C 程序在数组中查找最大值: [English] C program finds maximum in array:

```
int data[] = { 0, 1, -2, 3, 4, -5, -6, -7, 8, 9 };
int max = INT_MIN;
for (int i = 0; i < sizeof(data)/sizeof(int); i++)
{
    if (data[i] > max) max = data[i];
}
```

答案: - 1 位预测器 (初始 NT): misses = ? - 2 位预测器 (初始 WT): misses = ?

第 9 题 - 附加题: 边沿检测器 (10 分)

题目: 当 D 输入改变值时, Y 输出一个时钟周期的'1'[English] When D input changes value, Y outputs '1' for one clock cycle

```
library ieee; use ieee.std_logic_1164.all; use ieee.numeric_std.all;
entity Edges is
    port (clk, Reset, D : in std_logic; Y: out std_logic);
end entity;
architecture rtl of Edges is
    signal D_reg : std_logic := '0';
begin
    process(clk)
    begin
        if rising_edge(clk) then
            if Reset = '1' then
                D_reg <= '0';
                Y <= '0';
            else
                Y <= D xor D_reg;
                D_reg <= D;
            end if;
        end if;
    end process;
end architecture;
```

知识点总结

本次考试重点

1. Shannon 展开
2. 8 位有符号/无符号运算
3. 解复用器设计
4. RS 锁存器仿真
5. VHDL 代码 RTL 分析 (分频器)
6. 解复用器 VHDL
7. 16 分频器设计
8. 分支预测器
9. 边沿检测器

重要答案

- $96+97+98+99 = 390 \rightarrow \text{unsigned: } 134, \text{ signed: } -122$
- 26 分频器识别