

逻辑功能，逻辑门和电路，组合和顺序逻辑。

1. 计算机系统结构

定义：程序设计者看到的计算机系统的属性。

程序员：系统程序员（包括：汇编语言，机器语言，编译程序，操作系统的程序员）

看到的：编写出能在机器上正确运行程序所以必须了解什么。

按照计算机系统的多级层次结构，不同层次的程序员看到的计算机具有不同的属性（底层计算机属性对于高层级计算机程序员是透明的）。

计算机系统层次结构 (5)

第5级

(虚拟机器)

应用语言机器级 M5

具有 L5 机器语言 (应用语言)

应用语言程序是应用程序

包翻译成高级语言。

第4级

(虚拟机器)

应用语言机器级 M4

具有 L4 机器语言 (高级语言)

高级语言程序经编译程序
翻译成汇编语言（或是某种
中间语言，或是机器语言程序）

第3级

(虚拟机器)

汇编语言机器级 M3

具有 L3 机器语言 (汇编语言)

汇编语言程序经汇编程序
翻译成机器语言程序

第2级

(虚拟机器)

操作系统机器级 M2

具有 L2 机器语言 (作业控制语言)

一般用机器语言程序解
释作业控制语言

第1级

(实际机器)

传统机器语言机器级 M1

具有 L1 机器语言 (机器指令系统)

用微指令程序解译机器指令。

第0级

(实际机器)

微程序机器级 M0

具有 L0 机器语言 (微指令系统)

微指令由硬件直接执行

L0-L2 级用解释 (interpretation) 的方法实现，L3-L5 级用翻译 (translate) 的方法实现。

解释 (interpretation)：每当一条 N+1 级指令被译码后，就直接去执行一条等效的 N 级指令，然后再去取下一条 N+1 级指令。

翻译 (translate)：先把 N+1 级程序全部转换成 N 级程序后，再去执行。

我同学说他
被问过这
两个问题

再执行新产生的八级程序，在执行过程中N+1级程序不再被访问

透明性：本来存在的事物或属性，从某种角度看似乎不存在。

例：CPU类型，型号，主存储器容量

对应用程序员——透明。对系统程序员，硬件设计人员——不透明。

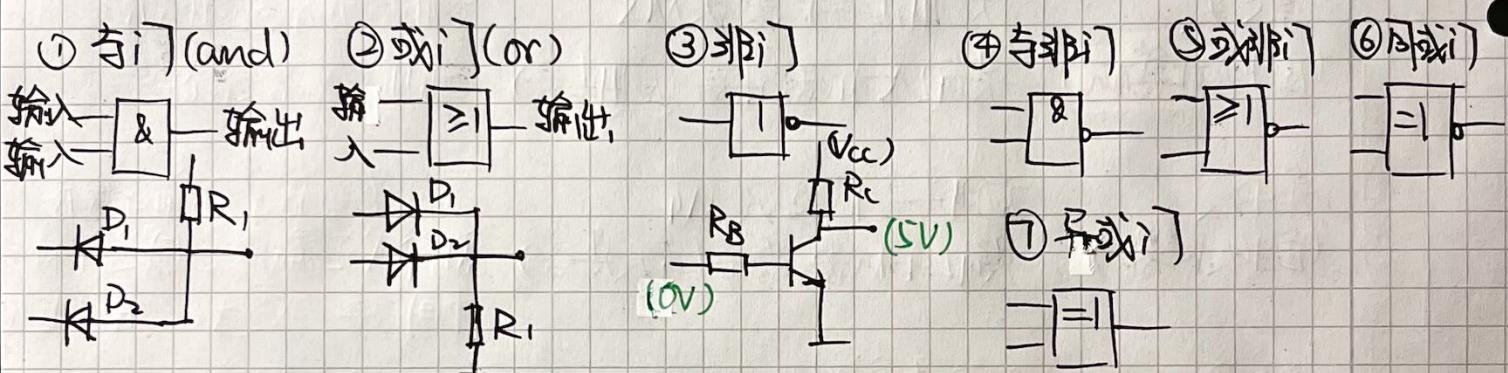
例：浮点数表示，乘法指令

对高级语言程序员，应用程序员——透明。

对汇编语言程序员，机器语言程序员——不透明。

逻辑表达与逻辑门

门是：它的输入与输出只有两种状态，要么是0，要么是1。通常规定1为高电平，0为低电平



Karnaugh map 卡诺图

卡诺图是一种平面方格图。每个方格代表逻辑函数的一个最小项。方格图中相邻两个方格的两组变量取值相异，只有一个变量的取值发生变化，按此原则得到的方格图称为卡诺图。

性质：可以从图上直观找出相邻最小项合并，合并的理论依据 $A\bar{B} + \bar{A}B = A$

通常把用卡诺图能由一个“简单”与“冗余”表示的若干最小项的“圈”称为卡诺圈化简

$$\begin{array}{c}
 \text{A} \backslash \text{SC} \\
 \begin{array}{c}
 \begin{array}{ccccc}
 & \text{00} & \text{01} & \text{11} & \text{10} \\
 \text{0} & | & 1 & & \\
 \text{1} & | & & &
 \end{array}
 \end{array}
 \end{array}$$

$$m_1 + m_5 = \bar{A}\bar{B}C + A\bar{B}C = (\bar{A} + A)\bar{B}C = \bar{B}C$$

2. 顺序电路(时序电路)

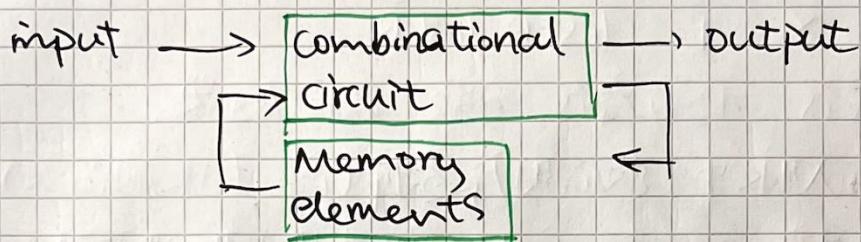
由最基本的逻辑门加上反馈逻辑回路或器件组合而成的电路，与组合电路的本质区别在于时序电路具有记忆功能

时序电路的输入以及存储元件的当前状态共同决定了时序电路输出的上一步数据，同时它们也确定了存储元件的下一个状态。

两种类型时序电路 (取决于观察的输入信息和内部状态及时间)

- ① 同步时序电路 (Synchronous sequential circuit) 行为根据其在某段时间内点上的信息来定义。
- ② 异步时序电路 (Asynchronous sequential circuit) 行为取决于任意时刻的输入信号，以及输入信号在连接时间内的变化的顺序。

原语框图



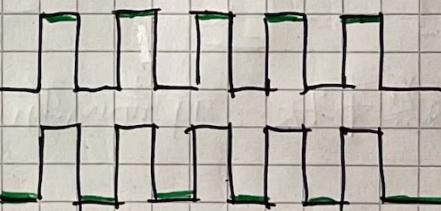
可同步信号和触发。

可同步信号：是一种特殊在高电平之间跳跃的信号。(0V, 5V)

触发类型

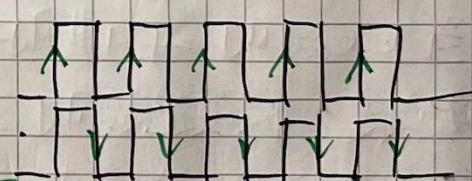
① 电平触发 (正电平触发)

(负电平触发)

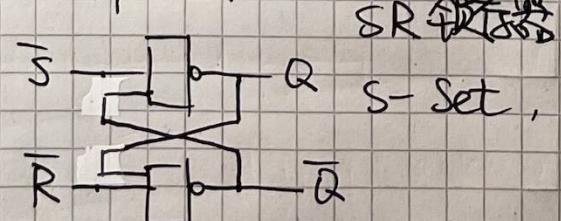


② 边缘触发 (正沿触发(上升沿触发))

(负沿触发(下降沿触发))



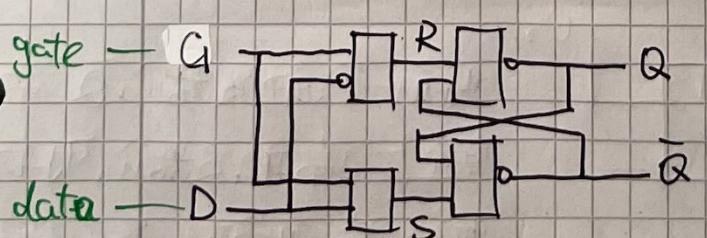
锁存器 (Latch)：是一种对输入电平敏感的存储单元电路。可以在特定输入脉冲电平作用下改变状态。即把信号暂存以维持某种电平状态。



SR 锁存器

S - Set, R - Reset

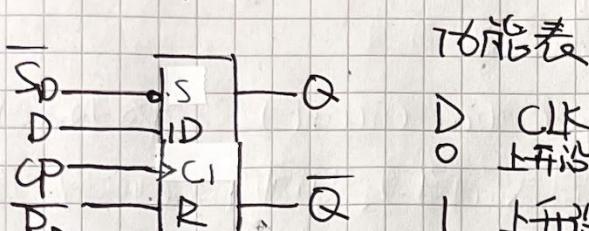
S	R	Q	Q _{next}	
0	0	0	0	维持
0	0	1	1	维持
0	1	0	0	reset
0	1	1	0	reset
1	0	0	1	Set
1	0	1	1	Set
1	1	0	-	not allow
1	1	1	-	



D 锁存器

锁存器功能：① 锁存 ② 解决高速控制器与外设不同步问题 ③ 解决 I/O 口既能输出也能输入问题

D flip flop D 触发器：具有记忆功能，具有两个状态的寄存器部件。



10指表

D	CLK	Q	\bar{Q}
0	上升沿	0	1
1	上升沿	1	0

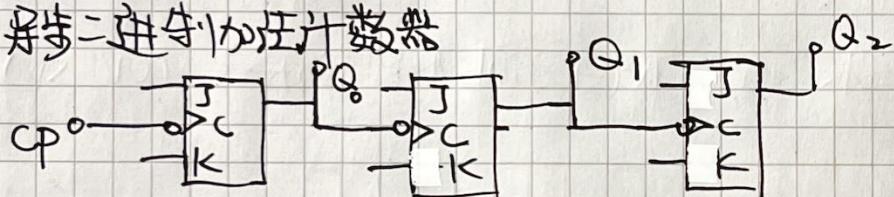
X	0	last Q	last \bar{Q}
X	1	last Q	last \bar{Q}

应用：数字信号寄存，移位寄存，分频，波形发生器。

计数器：能将累计输入脉冲个数按一定顺序逐级递增 (JK 触发器)

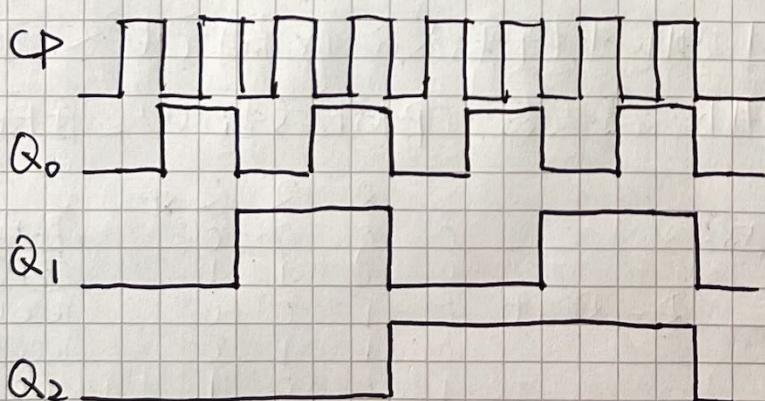
应用：① 对脉冲计数 ② 分频，定时，产生节拍与脉冲序列 ③ 数字运算。

异步二进制加法计数器

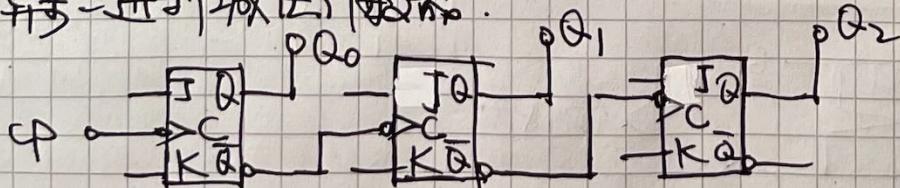


将 JK 触发器串联，前端的输出 Q 端接至后端的时钟输入，并使 JK 端置高电平。

当 $J=K=1$ 时，每当其时钟脉冲来一个脉冲下降沿时，触发器的状态就要改变。假设起始时 3 个触发器均处于 0 状态。在输入脉冲作用下，第一个触发器的 Q_0 端每来一个脉冲下降沿就要翻转一次。

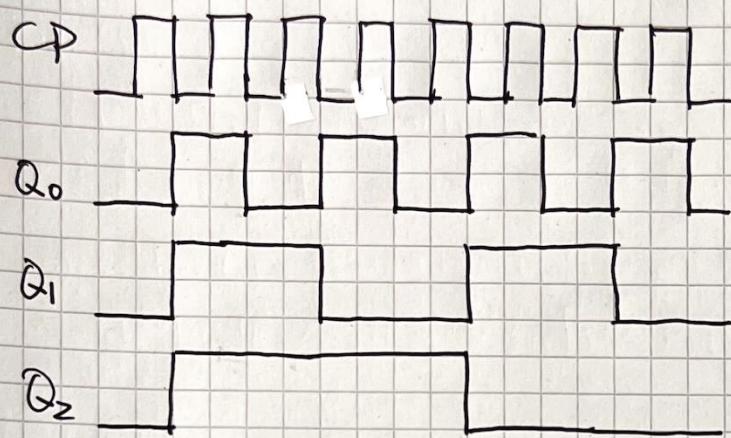


异步二进制减法计数器。



将前一级触发器的 Q 端接至后一级触发器的时钟输入端。每当前一级的 Q 端

产生脉冲下降沿时，就促使后一级触发器改变状态。

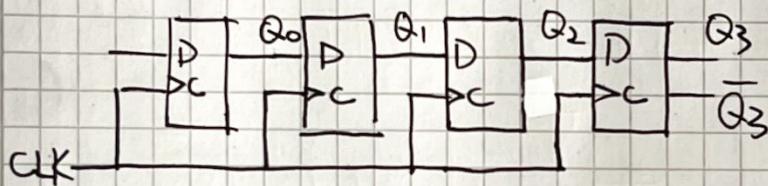


同步触发器：内部器中各触发器的时钟脉冲输入端连接在一起，各触发器在同一时钟脉冲作用下其状态同步进行。

移位寄存器：由触发器组成用来存储二进制代码的逻辑电路。

(D触发器)

例：串行输入/串行输出。



应用：①时间延时：如果想要将数据传输时间延时一拍，通常在传输线上加一寄存器。

②串行/并行数据转换器：从一个数字系统到另一个数字系统，为减少两者之间传输线数量，通常使用串行传输。(UART含有一个串行/并行转换器和一个并行/串行转换器)