

体系结构第四章课后练习

第一题：

- B.5 [10/10/10/10] <B.2>你正要采用一个具有以下特征的处理器构建系统：循序执行，运行频率为 1.1 GHz，排除存储器访问在外的 CPI 为 0.7。只有载入和存储指令能从存储器读写数据，载入指令占全部指令的 20%，存储指令占 5%。此计算机的存储器系统包括一个分离的 L1 缓存，它在命中时不会产生任何代价。I 缓存和 D 缓存都是直接映射，分别为 32 KB。I 缓存的缺失率 2%，块大小为 32 字节，D 缓存为直写缓存，缺失率为 5%，块大小为 16 字节。D 缓存上有一个写入缓冲区，消除了绝大多数写入操作的停顿，占总写入操作的 95%。512 KB 写回、统一 L2 缓存的块大小为 64 字节，访问时间为 15ns。它由 128 位数据总线连接到 L1 缓存，运行频率为 266 MHz，每条总线每个时间周期可以传送一个 128 位字。在发往此系统 L2 缓存的所有存储器引用中，其中 80% 的引用无须进入主存储器就可以得到满足。另外，在被替换的所有块中，50% 为脏块。主存储器的宽度为 128 位，访问延迟为 60ns，在此之后，可以在这个宽 128 位、频率为 133MHz 的主存储器总线上以每个周期传送一个字的速率来传送任意数目的总线字。
- [10] <B.2>指令访问的存储器平均访问时间为多少？
 - [10] <B.2>数据读取的存储器平均访问时间为多少？
 - [10] <B.2>数据写入的存储器平均访问时间为多少？
 - [10] <B.2>包括存储器访问在内的整体 CPI 为多少？

第二题：

- B.8 [20/20/15/25] <B.3>LRU 替换策略基于以下假定：如果最近访问地址 A1 的频率低于地址 A2，那么未来再次访问 A2 的时机要早于 A1。因此，为 A2 指定了高于 A1 的优先级。试讨论，当一个大于指令缓存的循环连续执行时，这一假定为什么不成立。例如，考虑一个全相联 128 字节指令缓存，其块大小为 4 个字节（每个块可以正好容纳一条指令）。此缓存使用 LRU 替换策略。
- [20] <B.3>对于一个拥有大量迭代的 64 字节循环，渐近指令缺失率为多少？
 - [20] <B.3>对于大小为 192 字节和 320 字节的循环，重复(a)部分。
 - [15] <B.3>如果缓存替换策略改为最近使用最多（MRU）（替换最近访问最多的缓存行），以上三种情景（64、192、320 字节的循环）中的哪一种情景将因为这一策略而受益？
 - [25] <B.3>提出执行性能可能优于 LRU 的更多替换策略。

第三题

- 2.11 [12/15] <2.2>考虑在 L2 缓存缺失时使用关键字优先和提前重启动。假定 L2 缓存的容量为 1 MB、块大小为 64 字节、填充路径宽 16 字节。假定能够以每 4 个处理器周期 16 个字节的速度写入 L2，从存储器控制器接收前 16 个字节块的时间为 120 个周期，每从主存储器接收另外 16 个字节的块需要 16 个周期，也可以直接将数据传送给 L2 缓存的读取端口。忽略向 L2 缓存发送缺失请求及向 L1 缓存传送被请求数据的周期数。
- [12] <2.2>在使用、不使用关键字优先和提前重启动时，为 L2 缓存缺失提供服务分别需要多少个周期？
 - [15] <2.2>你是否认为关键字优先和提前重启动对于 L1 缓存或 L2 缓存更重要一些，哪些因素影响它们的相对重要性？

第四题

- 2.12 [12/12] <2.2>在直写 L1 缓存与写回 L2 缓存之间设计一个写缓冲区。L2 缓存写数据总线的宽度为 16 B，可以每 4 个处理器周期向一个独立缓存地址执行一次写操作。
- [12] <2.2>每个写缓冲区项目应当为多少字节？
 - [15] <2.2>如果所有其他指令可以与存储指令并行发射，块存在于 L2 缓存中，在通过执行 64 位存储指令将存储器置零时，使用一个合并写缓冲区来代替非合并缓冲区，在稳定状态下可以得到什么样的加速比？
 - [15] <2.2>对于采用阻塞缓存与非阻塞缓存的系统，可能出现的 L1 缺失对于所需写缓冲区项目的个数有什么样的影响？