体系结构第二次实验

PB18000221 袁一玮

## 实验目标

利用助教给出的实验框架，补全流水线的设计，同时加入CSR的寄存器及走线

## 实验环境和工具

Vivado 2019，Windows 10，VS Code

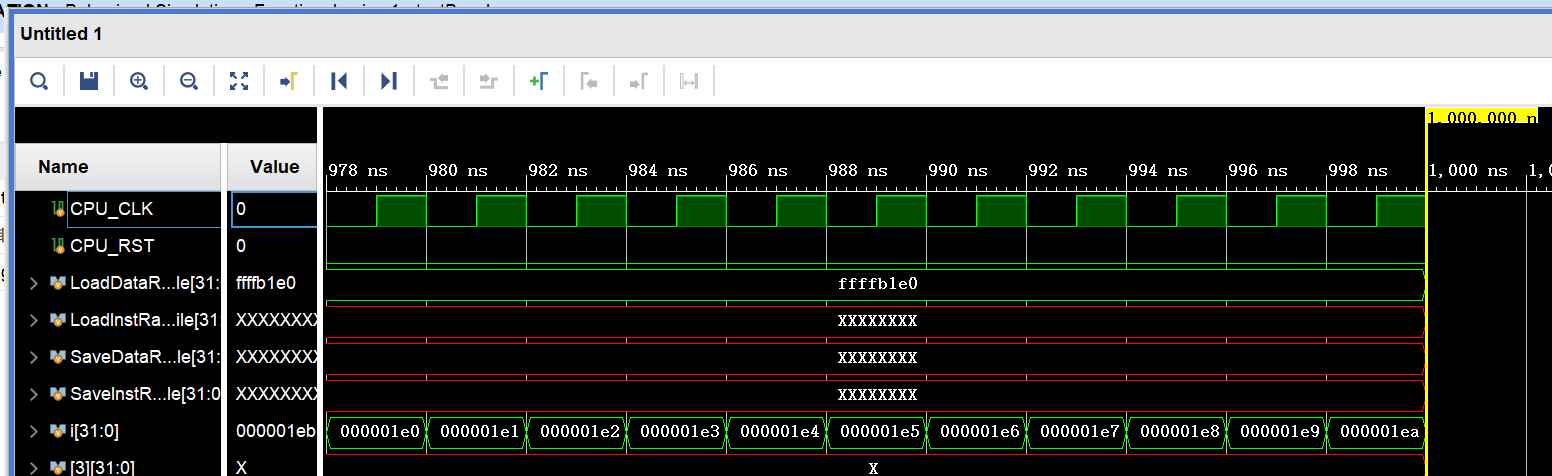
## 阶段1&2

加入

（为什么会冲突，hazard中处理的逻辑）

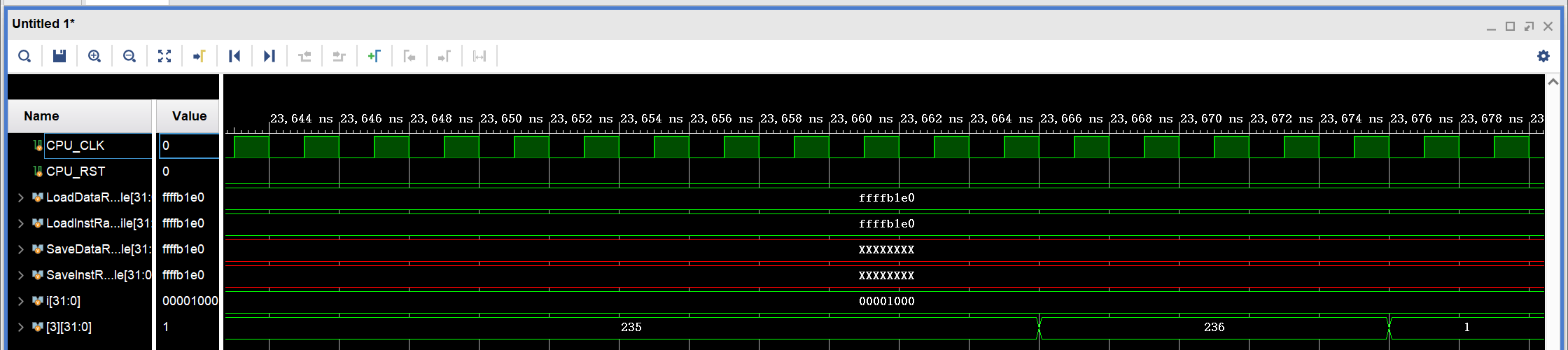
### 实验结果

默认情况下，仿真只会进行到1000ns；我们需要用Run All的仿真按钮来运行直到$stop



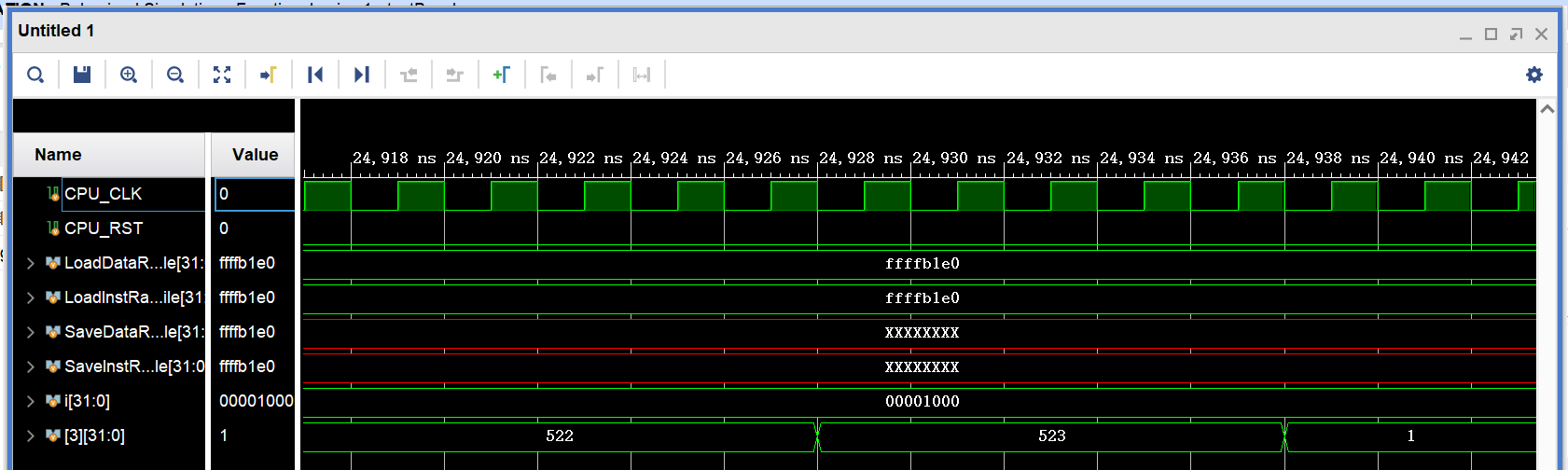
对于1testAll：

在gp第三个寄存器从236变成1，通过测试



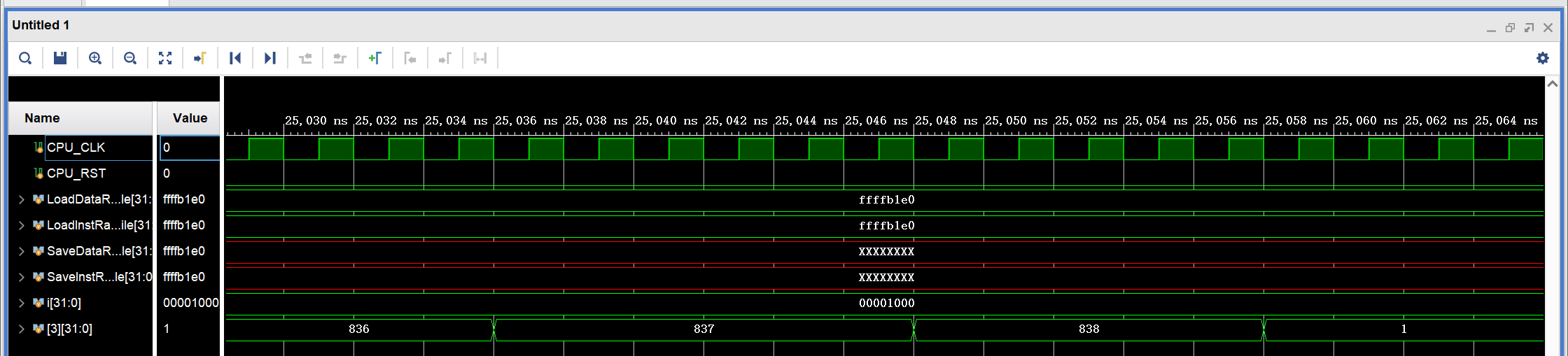
对于2testAll：

在gp从523变成1，通过测试



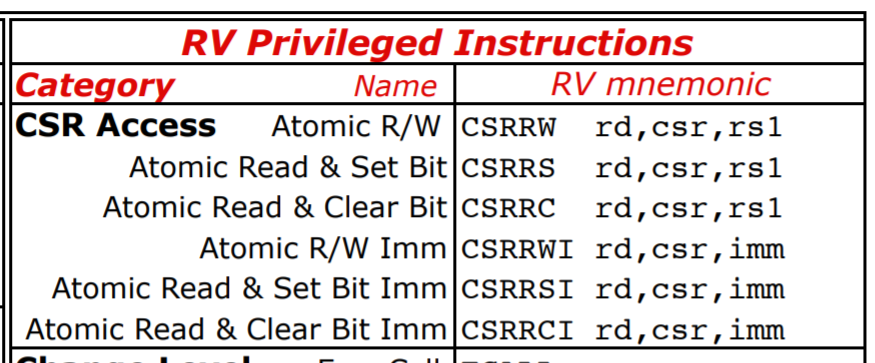
对于3testAll：

在gp从838变成1，通过测试



## 阶段3

CSR寄存器使用专有的12位地址编码空间，在顶层设计中加入了CSR的数据线和地址线



CSR寄存器

module **CSR**(

    input wire clk,

    input wire rst,

    input wire write\_en,

    input wire [11:0] addr, wb\_addr,

    input wire [31:0] wb\_data,

    output wire [31:0] rd\_reg

    );

    reg [31:0] reg\_file[31:0];

    integer i;

    initial begin

        for(i = 0; i < 32; i = i + 1)

            reg\_file[i][31:0] <= 32'b1;

    end

    always@(negedge clk or posedge rst) begin

        if (rst)

            for (i = 0; i < 32; i = i + 1)

                reg\_file[i][31:0] <= 0;

        else if(write\_en)

            reg\_file[wb\_addr] <= wb\_data;

    end

    assign rd\_reg = reg\_file[addr];

endmodule

### 实验结果

使用了去年学长给出的测试文件

csrtest.om:     file format elf32-littleriscv

Disassembly of section .text:

00010054 <test\_0>:

   10054:   00000193             li gp,0

   10058:   00f00093             li ra,15

   1005c:   00009073             csrw  ustatus,ra

   10060:   00003173             csrrc sp,ustatus,zero

   10064:   06111063             bne   sp,ra,100c4 <failed>

   10068:   000c7073             csrci ustatus,24

   1006c:   00003173             csrrc sp,ustatus,zero

   10070:   00700093             li ra,7

   10074:   04111863             bne   sp,ra,100c4 <failed>

00010078 <test\_2>:

   10078:   00200193             li gp,2

   1007c:   00100093             li ra,1

   10080:   00209073             fsrm  ra

   10084:   002c6173             csrrsi   sp,frm,24

   10088:   02111e63             bne   sp,ra,100c4 <failed>

   1008c:   00201173             fsrm  sp,zero

   10090:   01900093             li ra,25

   10094:   02111863             bne   sp,ra,100c4 <failed>

00010098 <test\_3>:

   10098:   00300193             li gp,3

   1009c:   003c5073             csrwi fcsr,24

   100a0:   00700093             li ra,7

   100a4:   0030a173             csrrs sp,fcsr,ra

   100a8:   01800093             li ra,24

   100ac:   00111c63             bne   sp,ra,100c4 <failed>

   100b0:   00301173             fssr  sp,zero

   100b4:   01f00093             li ra,31

   100b8:   00111663             bne   sp,ra,100c4 <failed>

000100bc <success>:

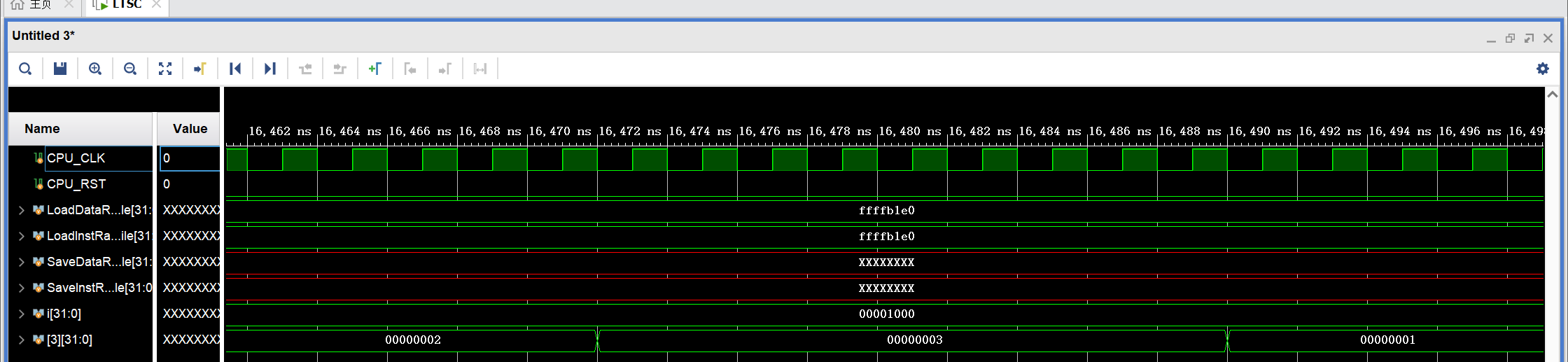
   100bc:   00100193             li gp,1

   100c0:   ffdff06f             j  100bc <success>

000100c4 <failed>:

   100c4:   0000006f             j  100c4 <failed>

可以看到仿真结果里三号寄存器从3变成1，测试通过



## 实验总结和想法

助教让我们用三个星期基于给出的框架完成流水线是不难的，但是因为假期，所以最后只用了两三天草草完成了流水线