

## SOC Design Laboratory, 2023 Fall

# Lab4-1 Report

## Group 8

R11943167 謝維勝

R11942159 呂嘉元

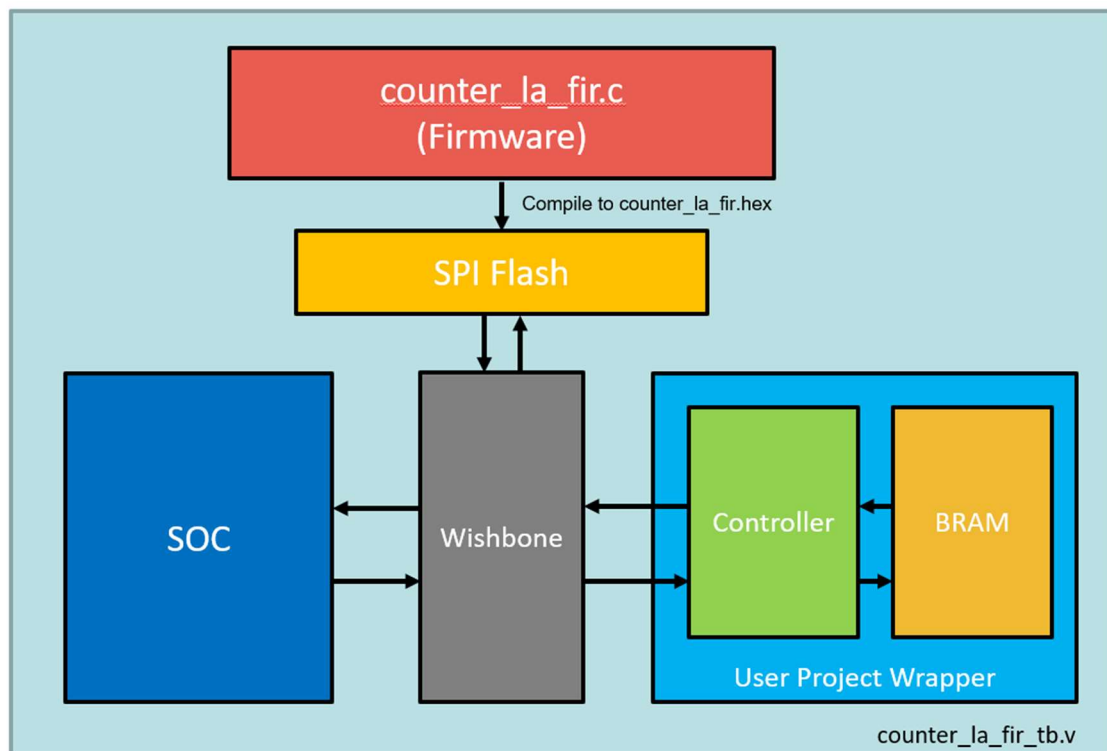
R11942072 陳俊宇

R11921a24 劉育誠

## Overview

在本文的 Lab 中，我們將軟體的 FIR Program 編譯後送進 SPI Flash，再由處理器透過 Wishbone 將指令存入 User Project 中的 BRAM，使得 SoC 可以讀取 BRAM 中的指令完成 FIR 的計算。

### Block diagram



## Simulation Waveform

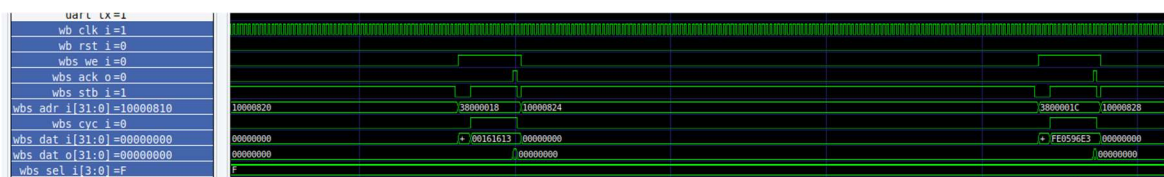


Fig 1. Program 透過 Wishbone 寫入地址從 0x38 起始的 BRAM

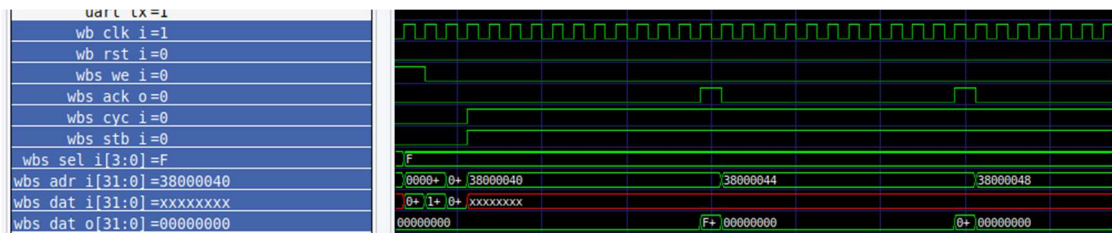


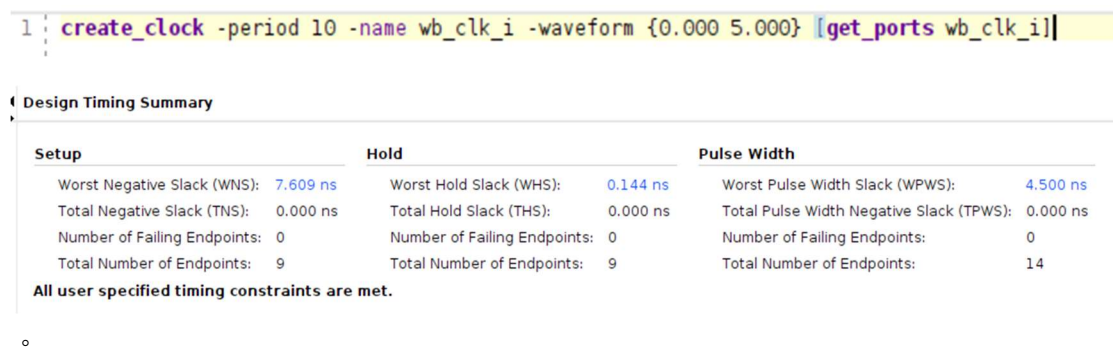
Fig 2. SoC 透過 Wishbone 讀取 BRAM 中的指令



Fig 3. 程式執行結束後由 mprj\_io 讀取 FIR 計算結果正確，最後收到結束指令 AB51

## Synthesis result

### Timing report



### Synthesis report

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs*	26	0	0	53200	0.05
LUT as Logic	26	0	0	53200	0.05
LUT as Memory	0	0	0	17400	0.00
Slice Registers	5	0	0	106400	<0.01
Register as Flip Flop	5	0	0	106400	<0.01
Register as Latch	0	0	0	106400	0.00
F7 Muxes	0	0	0	26600	0.00
F8 Muxes	0	0	0	13300	0.00