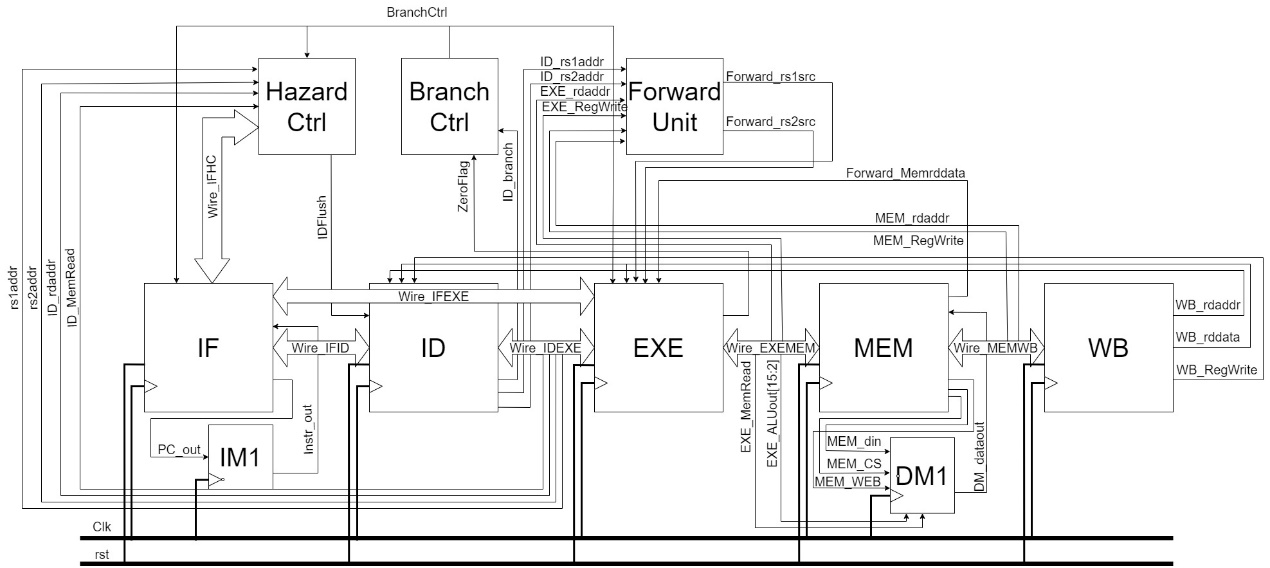
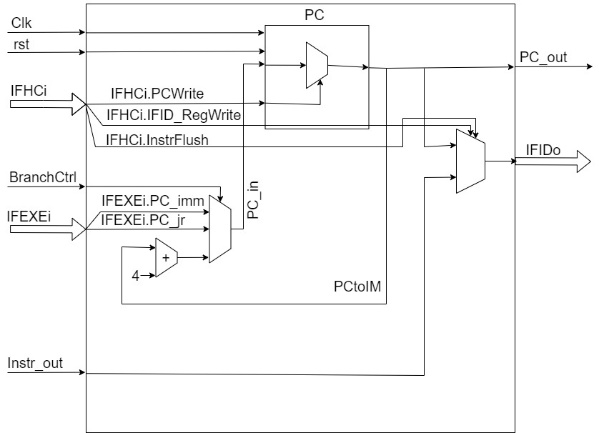
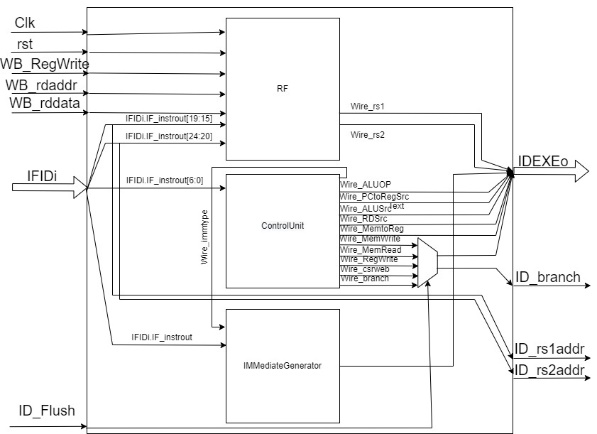
**Explanation & Depict of Design**

1. **Full Design Overview**  
     
   我把CPU分成五個stage，分別是IF、ID、EXE、MEM、WB。且因為目前是使用System Verilog來撰寫程式碼，所以在接線的部分使用了Interface的功能來做嘗試。因為以前在接module時很常因為多接、少接或是更改wire名稱時有缺漏造成debug耗時，因此想藉由此HW學習Interface的使用方式。  
   「正方形」即為此次HW的module，共有10個，其餘module則是接在5個stage之中，在第二部分會仔細說明。  
   「空心雙箭號」即為這次所使用的Interface，內部宣告寫在interface.sv之中，其中在top.sv中實例化作為wire。在各module之間由modport分辨in/output。  
   「實心單箭號」即為單向的資料傳輸，因為只有特定一條或是要輸出給多個module，單獨接線才不會使整體架構太過簡略，造成解讀的困難
2. **Block Detail**  
   1. IF



PC主要負責將從PC\_in所得數值傳給PC\_out，由PCWrite來操控PC\_in的值是否可以通過。PC\_in的來源主要有三種，分別是一般、jump以及branch的位置，再由當時BranchCtrl來判斷是不是要跳。

2. ID



RF用來存值與取值，由data傳到WB時寫回，或是取rs1、rs2的data

CU用來解構instruction，且今天如果有Flush時，將相關賦值刷新

IG用來做資料數值擴充，依據CU給的type，來給予不同的擴充方式

3. EXE

Submodule：

Input：

Output：

4.MEM

Submodule：

Input：

Output：

5.WB

Submodule：

Input：

Output：

6.HC

Submodule：

Input：

Output：

7.BC

Submodule：

Input：

Output：

8.FU

Submodule：

Input：

Output：

三、**Lessons learned**

**Waveform Verification**

一、R-type

二、I-type

三、S-type

四、B-type

五、U-type

六、J-type

七、Csr-type

**Report**

1. Lines of RTL code
2. Timing & Area report
3. Simulation & Performance
4. Result of superlint
5. warning/errors

a. Proper explanation of your design is required for full credits.

b. Block diagrams shall be drawn to depict your designs.

c. Show your snapshots of the waveforms and the simulation results on the terminal for the different test cases in your report and illustrate the correctness of your results.

d. Report the number of lines of your RTL code, the final results of running Superlint and 3~5 most frequent warning/errors in your code. Describe how you modify your code to comply with the Superlint.