VLSI System Design (Graduate Level)

Fall 2022

HOMEWORK II

REPORT

Must do self-checking before submission:

Compress all files described in the problem into one tar

All SystemVerilog files can be compiled under SoC Lab environment

All port declarations comply with I/O port specifications

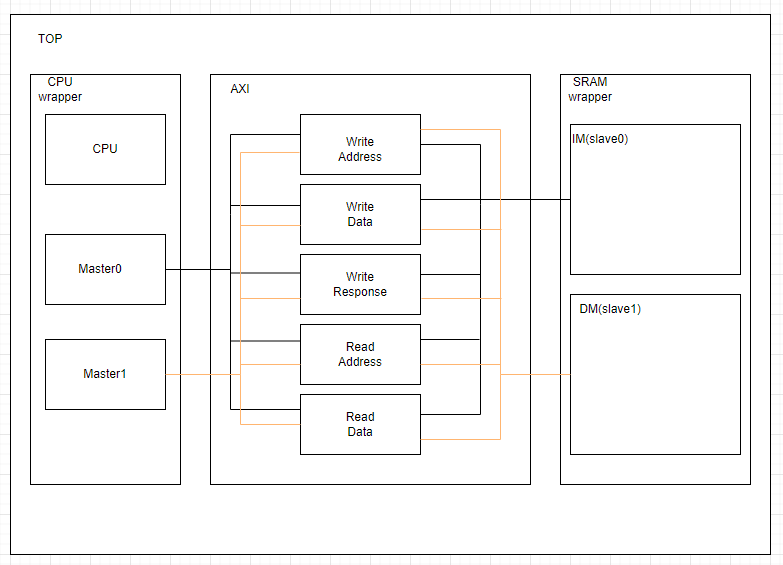
Organize files according to File Hierarchy Requirement

No any waveform files in deliverables

Student name: \_黃昱澄\_\_\_\_\_\_\_ \_\_王昱承\_\_\_\_\_\_

Student ID: \_P76111238\_\_ \_\_P76111602\_\_\_

1. Overview



1. Lesson Learned
2. **Master 之間deadlock**

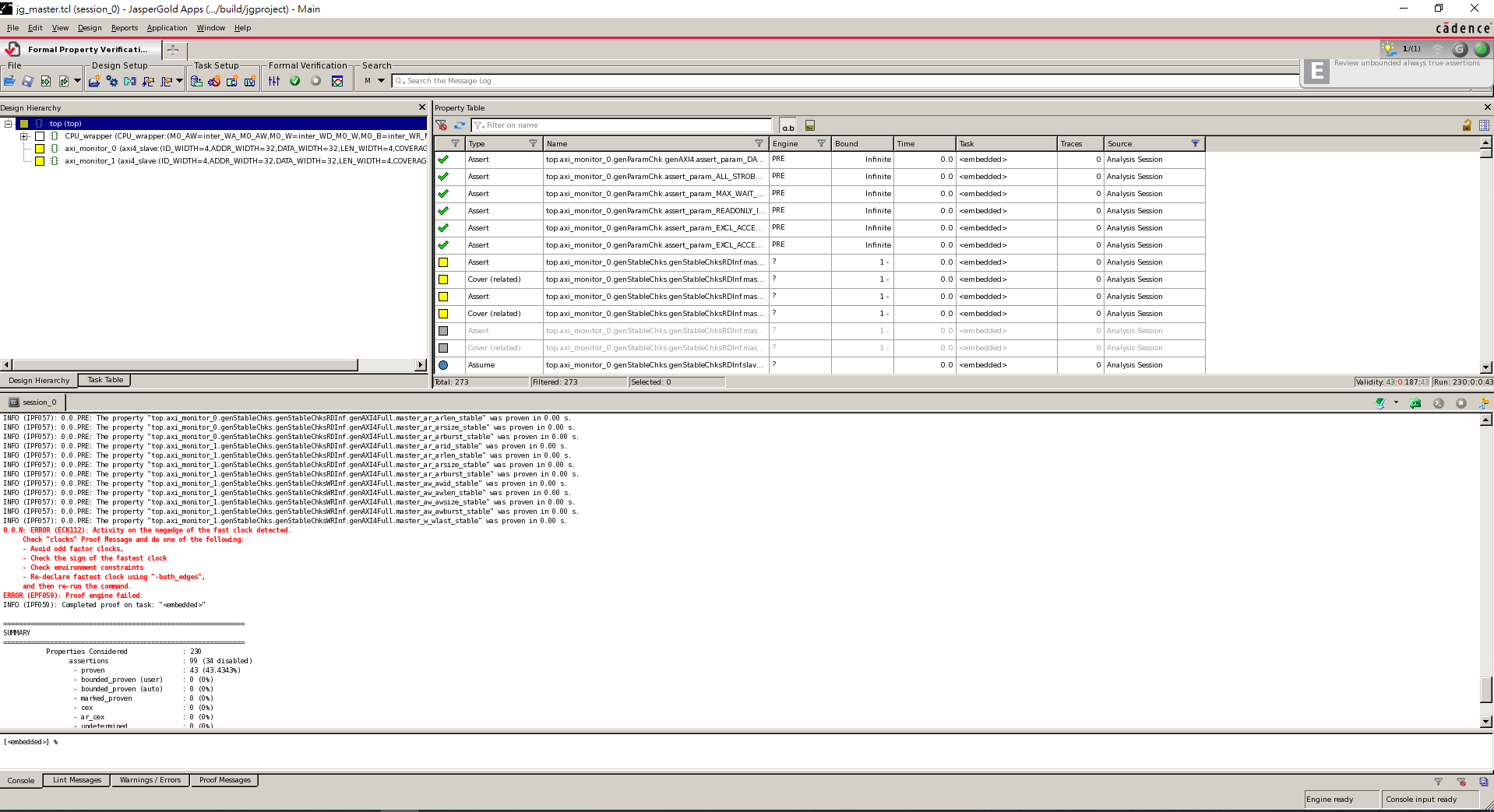
一張含有 文字, 時鐘, 陳列 的圖片

自動產生的描述

在一開始會很值觀的想說如果今天有read instruction或是read data就直接分別接上各自的Master即可，但是在跑完RTL之後發現過不了直接卡死。如上紅框處可以發現DM的handshake已經完成且stall被拉低，但是因為當下DM占用了AXI，所以IM只好等DM做完才可以執行下一個指令。如上圖黃框處，換DM被stall住等IM做完，如此一來一往造成deadlock而無法執行到下一指令。

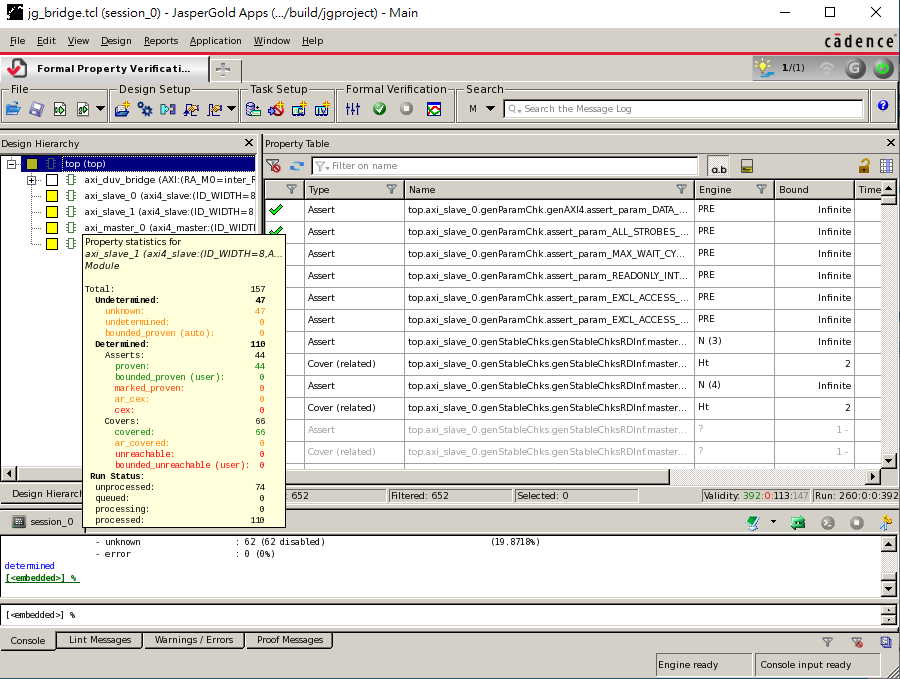
解決辦法：通過在CPU\_Wrapper中新增一個DM的lock以確保在DM做完以後必須等IM也做完才可以接受下一次的read data。

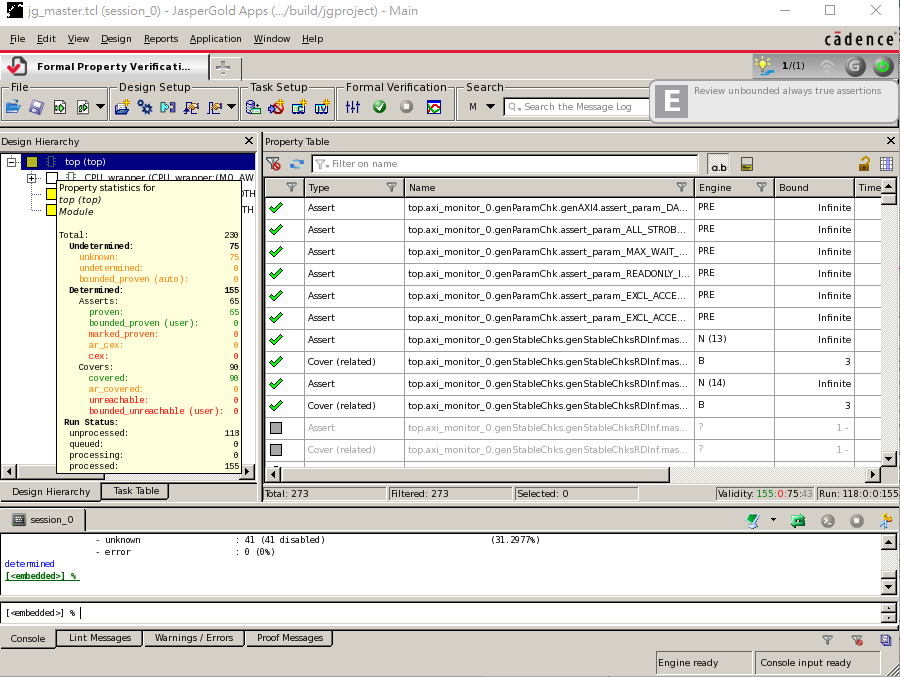
1. **處理jaspergold 問題**:

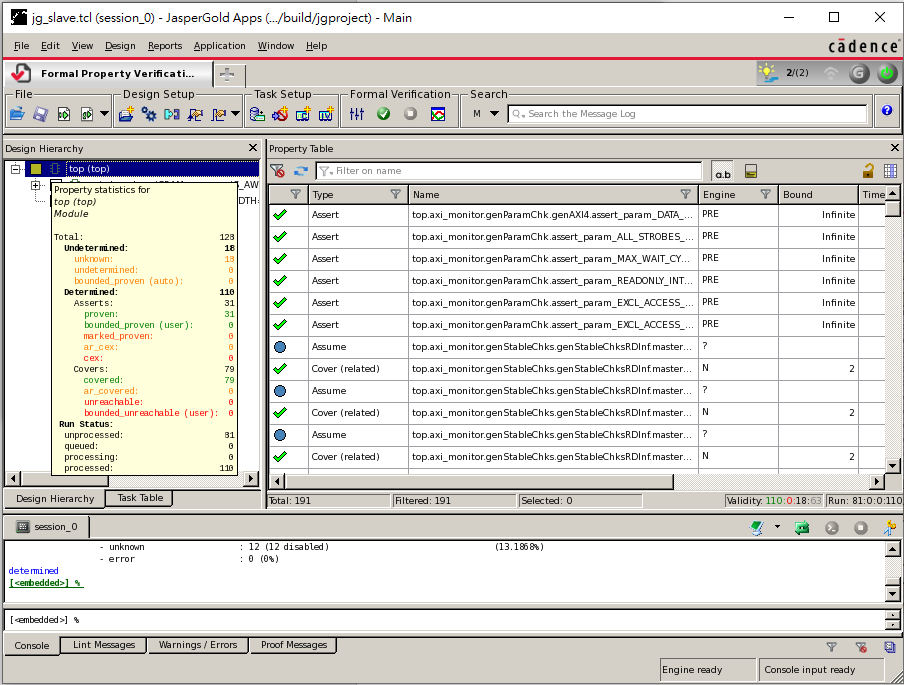
在驗證vip的時候會碰到很多程式沒寫好的情況，導致在jaspergold驗證的時候出錯。經過各種通靈後，學到解決jaspergold的問題時，可以先從程式邏輯去下手，可能改一個if 的順序就可以把bug修掉了。其中遇到最難解的問題就是這個super clock的問題，因為程式裡有寫道posedge clk or negedge reset導致這個bug，最後把reset 加一個latch 延長reset 的colck才解決這個問題。

三、Report

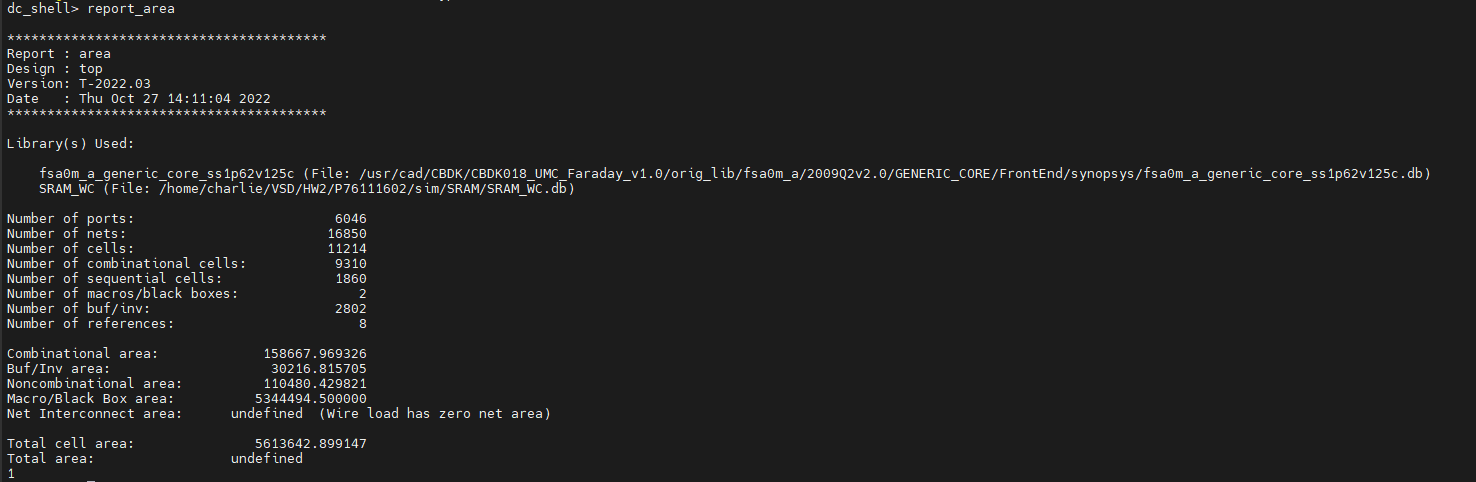
A、jaspergold

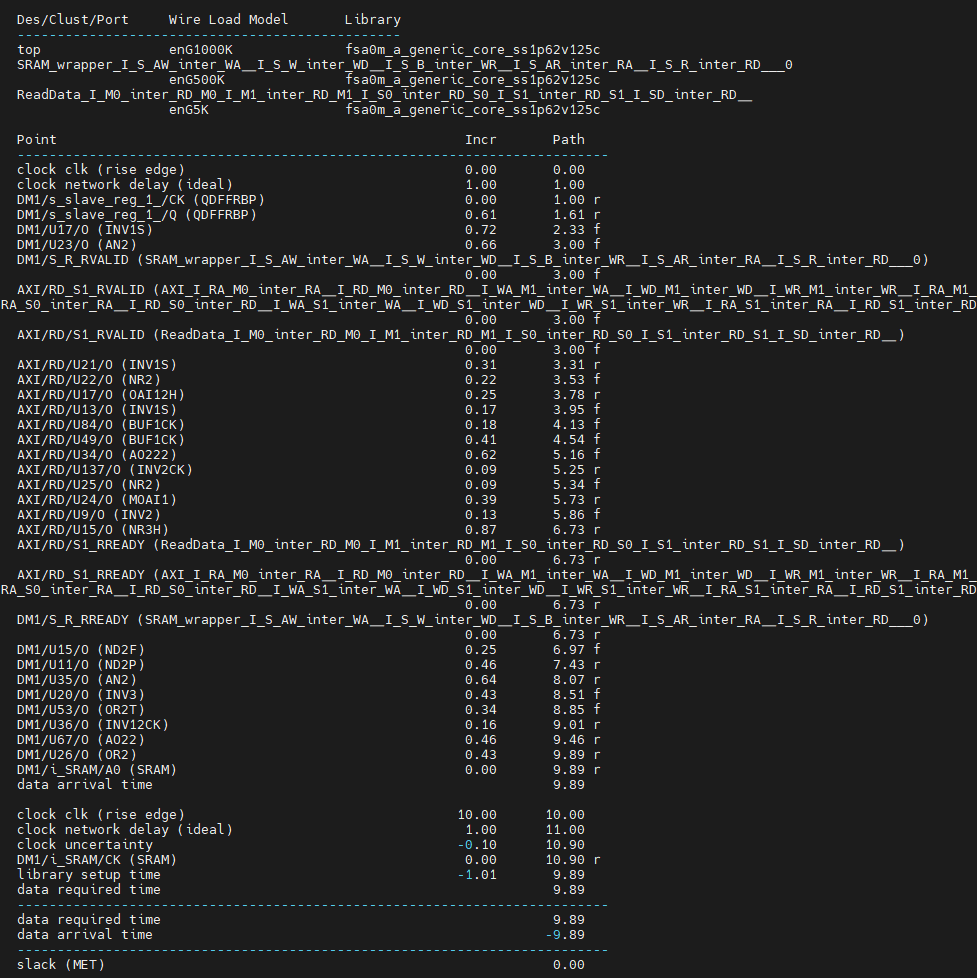
1.bridge

2.master

3.Slave

B、timing & area report





C、Simulation results

|  |  |  |
| --- | --- | --- |
|  | rtl | syn |
| Prog0 |  |  |
| Prog1 |  |  |
| Prog2 |  |  |
| Prog3 |  |  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Prog0 | Prog1 | Prog2 | Prog3 |
| RTL | Pass | Pass | Pass | Pass |
| SYN | Pass | Pass | Pass | Pass |

Performance

|  |  |
| --- | --- |
| Cycle time | 9.89ns |
| Total Cell Area | 5613642.899147 |

四、Summery

* 完成實作HW2之必要module
  + AXI(AR, DR, AW, DW, RW, Arbiter, Decoder)
  + Sram\_wrapper
  + CPU\_wrapper(Master)
* 將HW1的CPU增加stall線路使得在連接上AXI後能夠將CPU stall，讓CPU運作正確，並且取得正確的CSR的值

貢獻度

|  |  |
| --- | --- |
| 黃昱澄 | 王昱承 |
| P76111238 | P76111602 |
| 50% | 50% |