

实验三 逻辑门的功耗优化及 EDP 优化

23342107 徐睿琳

一、实验要求

了解动态功耗的影响因素，掌握 CMOS 逻辑门的动态功耗优化。

二、实验目的

- 1、了解 NAND 门的搭建方法；
- 2、了解延迟的定义及计算方法；
- 3、掌握如何得到最小延时

三、实验内容

- 1、针对指定逻辑门，通过仿真波形或电路图分析，写出其逻辑表达式，并计算其在 100ns 内的能耗；
- 2、设计并实现与实验 A) 中逻辑功能相同的电路，命名为 lab3_mycell，要求其能耗-延时积（EDP）小于实验 A) 中的逻辑门。输入信号的占空比分别为：A: 0.7, B: 0.5, C: 0.2, D: 0.1。

四、实验步骤

4.1 lab3_a 逻辑分析与能耗计算

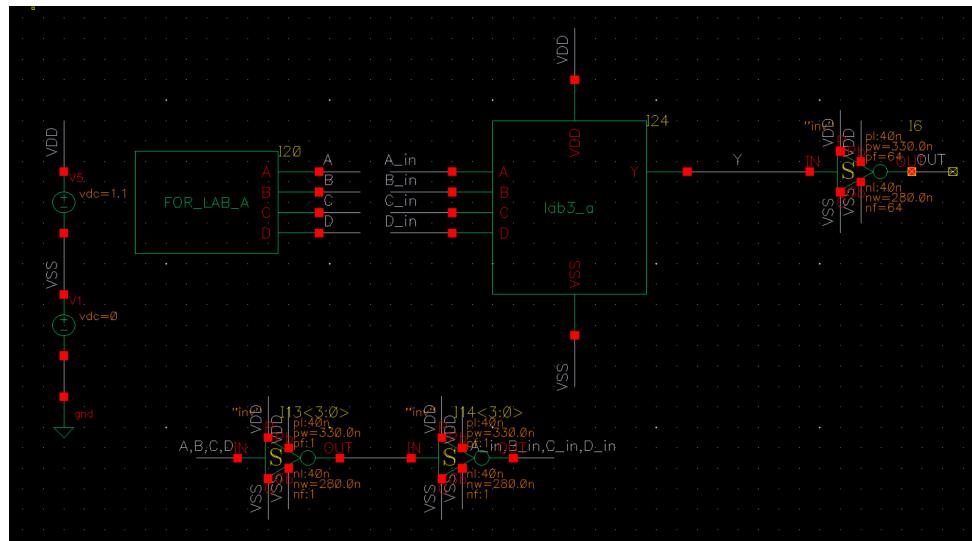


图 1: lab3_a 测试电路图

首先，结合 lab3_a 的测试电路图与仿真波形，分析输入信号 A、B、C、D 的连接方式及其对输出 Y 的影响。通过观察 100ns 内各输入组合对应的输出变化，归纳输出 Y 的逻辑表达式。最后，统计 100ns 内的能耗数据，为后续电路优化和 EDP 比较提供依据。

4.2 lab3_mycell 设计与功耗综合优化

在设计初期，我们对基准电路 lab3_a（基于 4 输入或 8 输入 NAND 门直连反相器）的局限性进行分析：

lab3_a 电路设计分析

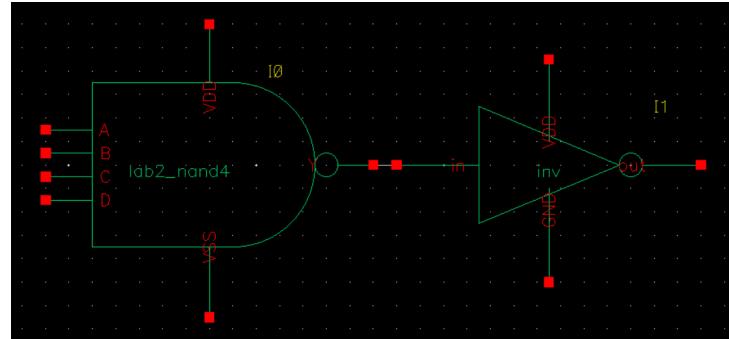


图 2: lab3_a 电路图

大扇入 NAND 门存在严重的堆叠效应，为平衡 N 管串联带来的导通电阻，必须将 NMOS 尺寸放大 N 倍。

EDP 瓶颈:

- **延时 (D):** 串联管导致巨大的寄生延时 ($P \propto N$)，导致本征速度极慢。
- **能耗 (E):** 为了补偿速度而被迫增大的晶体管尺寸，带来了巨大的栅极电容和扩散电容，导致动态功耗激增。

为了找到能耗延时积最小的结构，我尝试了三种替代 lab3_a 逻辑实现方式：

并行树形结构 (lab3_mycell_01)

设计思路：利用 De Morgan 定律，我将 AND4 分解为两级逻辑：NAND2 // NAND2 -> NOR2，将关键路径上晶体管的最大堆叠高度从 4 管串联降低至 2 管串联。

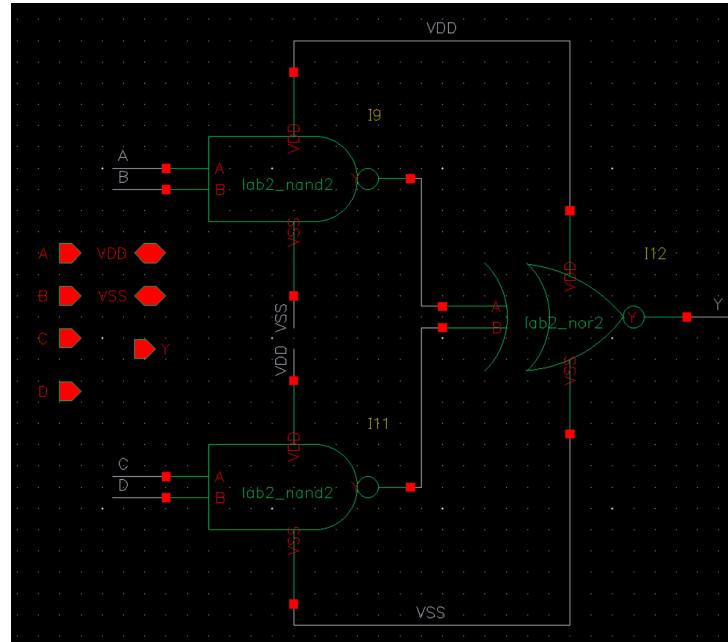


图 3: lab3_mycell_01 电路图

降低能耗延时积 (EDP) 的首要手段是降低寄生参数，而非盲目增大驱动。

- 1、打断串联链:** 利用 De Morgan 定律将 4 管串联 (或 8 管串联) 分解为多级逻辑。优势在于 mycell_01 中最大的串联数仅为 2 (NAND2 或 NOR2)，相比于基准电路，其寄生延时 (P) 减半。
- 2、降低无效电容 (Reducing C):** 由于串联数减少，NAND2 的 NMOS 只需放大 2 倍即可平衡电阻。意味着更小的栅电容和内部节点电容。直接降低了每一次翻转所需的电荷量 (Q)，从而降低能耗 (E)。

参数扫描设计 由于工艺最小宽度为 120 nm，故参数 a 的理论下限为 $120/330 = 0.36$ (此处取 0.4)，参数 o 的理论下限为 $120/280 = 0.43$ (此处取 0.5)。

对 a 与 o 进行粗略参数扫描，共设 36 个取样点：

CDF Parameter	Value	Display	CDF Parameter	Value	Display
fn	1	off	fn	1	off
fp	1	off	fp	1	off
ln	40n	off	ln	40n	off
lp	40n	off	lp	40n	off
wn	o*280n	off	wn	a*560n	off
wp	o*660n	off	wp	a*330n	off

(a) lab3_mycell_nand2 参数

(b) lab3_mycell_nor2 参数

图 4: 参数扫描设计

Variable	Value	Sweep?	Range Type	From	To	Step Mode	Total Steps	Inclusion List	Exclusion List
a	1	<input checked="" type="checkbox"/>	From/To	0.4	10	Auto	6		
o	1	<input checked="" type="checkbox"/>	From/To	0.5	10	Auto	6		

图 5: 36 步参数扫描设置

驱动能力权衡，引入链式结构 (lab3_mycell_02)

在仿真 mycell01 后，我发现树形结构虽然本征性能优异，但在驱动 64 倍大负载时显得力不从心。最后一级 NOR2 需要做得非常大才能驱动负载。因此，我尝试了 lab3_mycell_02 (NAND2-INV 组合的链式结构)。

局限性分析： 虽然驱动力改善了，但级数过多增加了总的开关活动率，可能导致能耗回升。

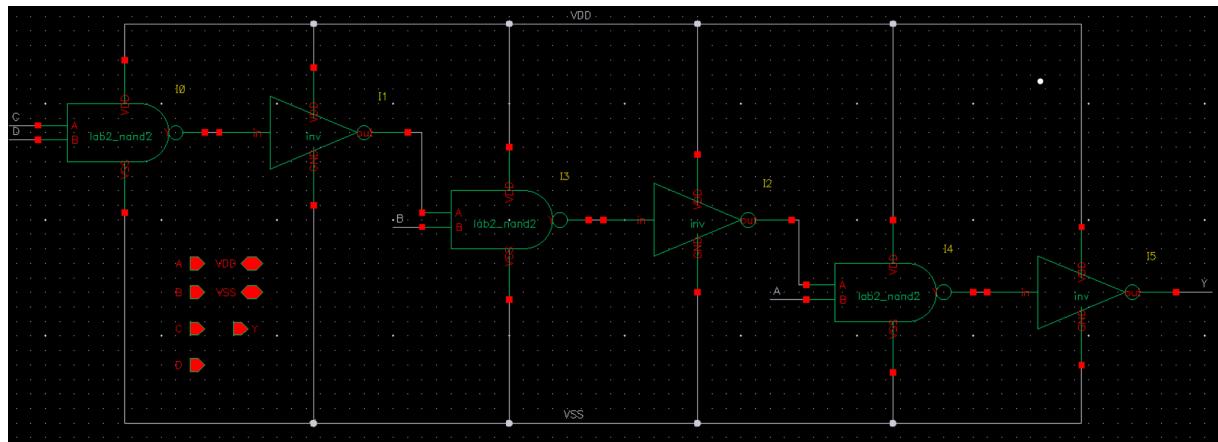


图 6: lab3_mycell_02 电路图

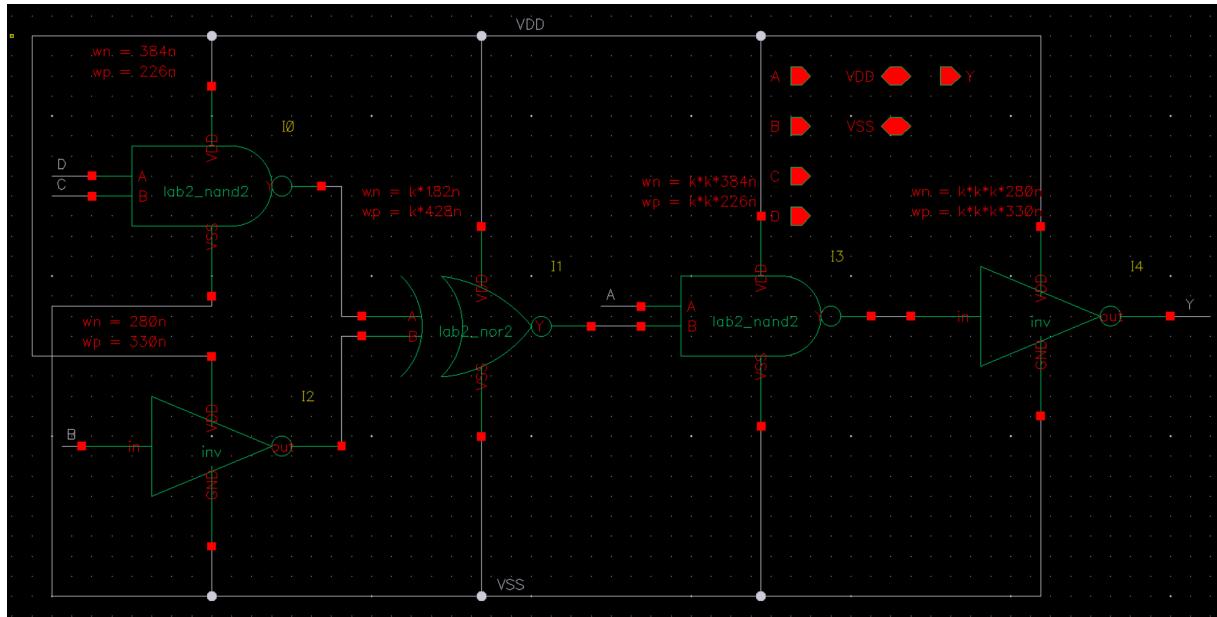
lab3_mycell_03 电路设计 (基于 lab3_b 实现)

图 7: lab3_mycell_03 电路图

五、实验结果

5.1 lab3_a 逻辑分析与能耗计算

0.0.1 逻辑分析

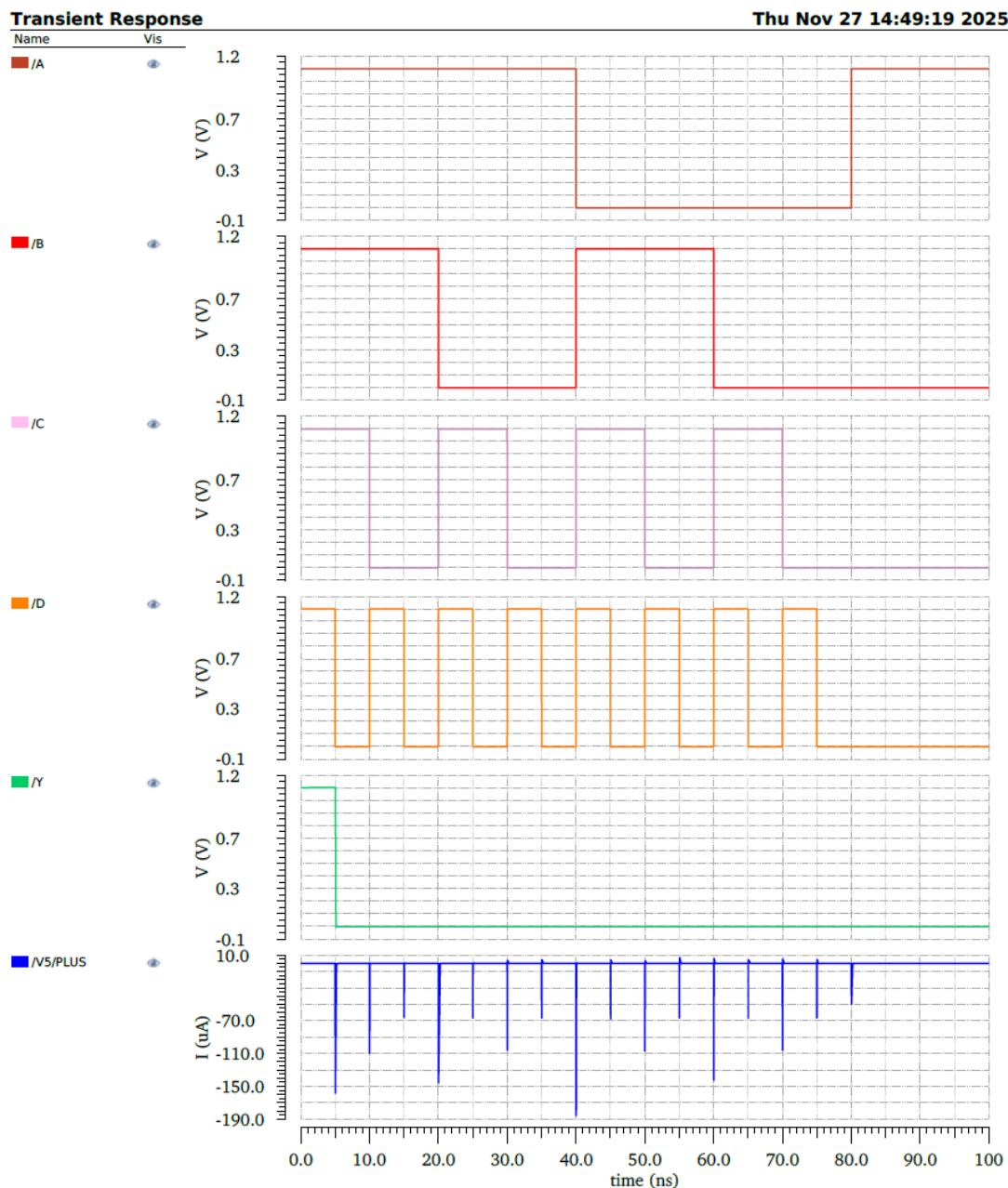


图 8: lab3_a 100ns 内仿真波形图

如图8所示，通过观察波形图可知，输出 Y 的逻辑表达式为：

$$Y = A \cdot B \cdot C \cdot D$$

即 lab3_a 是一个四输入与门。

0.0.2 能耗计算

根据 (abs(integ(i("/V5/PLUS" ?result "tran") 0 1e-07)) * 1.1) 计算，在 100ns 内，lab3_a 的能耗为：

Name/Signal/Expr	Value	Plot	Save	Save Options
A_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
C_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
D_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
Average_Delay		<input checked="" type="checkbox"/>	<input type="checkbox"/>	
Energy	64.67f	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
Energy_Delay_Product		<input checked="" type="checkbox"/>	<input type="checkbox"/>	

图 9: lab3_a 100ns 内能耗计算结果

5.1 lab3_mycell 设计与功耗综合优化

lab3_a 参考能耗延时积

Name/Signal/Expr	Value	Plot	Save	Save Options
A_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
B_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
C_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
D_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
Average_Delay	77.02p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
Energy	13.49p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
Energy_Delay_Product	1.039z	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

图 10: lab3_a 能耗延时积结果

lab3_mycell_01

Variable	Value	Sweep?	Range Type	From	To	Step Mode	Total Steps	Inclusion List	Exclusion List
a	1	<input checked="" type="checkbox"/>	From/To	0.4	10	Auto	6		
o	1	<input checked="" type="checkbox"/>	From/To	0.5	10	Auto	6		

图 11: 粗扫参数设置

因为宽度最小值是 120n , 所以 a 最低不得低于 $120/330 = 0.4$, o 最低不得低于 $120/280 = 0.5$

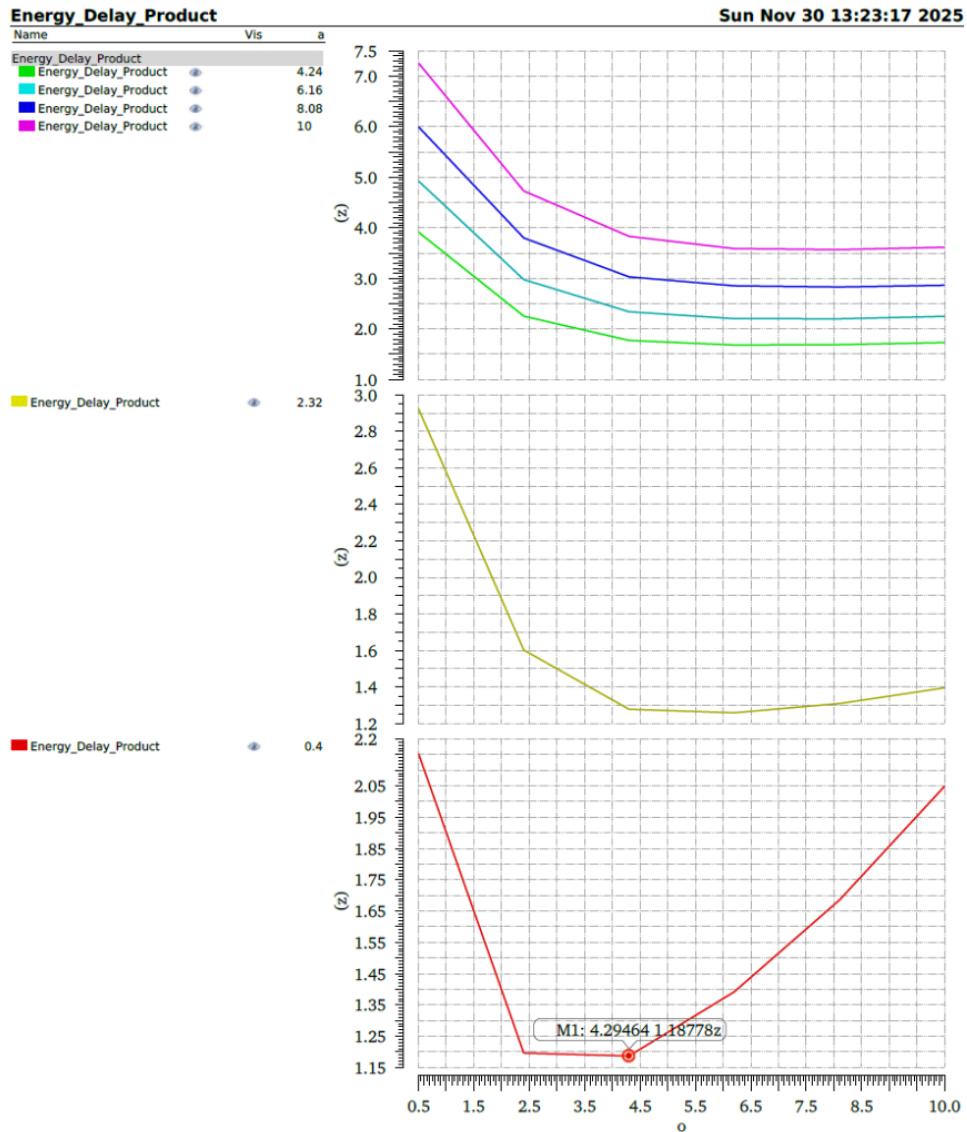


图 12: 能耗延时积扫描结果

结果分析

- 1、当参数 $a = 0.4$ 时，能耗最低，但延时显著增加（相比于第二小的 $a = 2.32$ 的曲线）。
- 2、对于所有参数曲线，能耗延时积的极值大致出现在 $o = 6 \sim 8$ 的区间。

因此，进一步开展了第二轮参数粗略扫描实验：

第二轮参数扫描设计 针对参数 a 与 o ，本次扫描共设置 64 个取样点，具体参数配置如下：

Variable	Value	Sweep?	Range Type	From	To	Step Mode	Total Steps	Inclusion List	Exclusion List
a	1	<input checked="" type="checkbox"/>	From/To	0.4	2.5	Auto	8		
o	1	<input checked="" type="checkbox"/>	From/To	3	6	Auto	8		

图 13: 二次参数粗扫设置

经参数扫描分析，如图14，当 $a = 1$ 、 $o = 0.44$ 时，能耗延时积（EDP）达到 $1.3609z$ ，较基准电路 lab3_a 略有降低，验证了优化结构在能耗与延时权衡上的有效性。

第三轮参数扫描与理论分析

基于逻辑努力（Logical Effort）理论，计算电路在不同尺寸配置下的延时与能耗权衡，进一步优化能耗-延时积（EDP）。

最小延时尺寸计算 根据逻辑努力理论，电路达到最小延时时的关键参数如下：

- 1、路径总努力 H :

$$H = G \times F = \left(\frac{4}{3} \times \frac{5}{3} \right) \times 64 \approx 142.2$$

其中 G 为路径逻辑努力， F 为路径电气努力。

- 2、最优级努力 h :

$$h = \sqrt{H} \approx 11.9$$

- 3、中间级（NOR2）理论输入电容 $C_{\text{mid, speed}}$:

$$C_{\text{mid, speed}} = \frac{g_{\text{NOR2}} \times C_{\text{load}}}{h} = \frac{1.67 \times 64}{11.9} \approx 8.9$$

此时电路速度最快，但能耗较高。

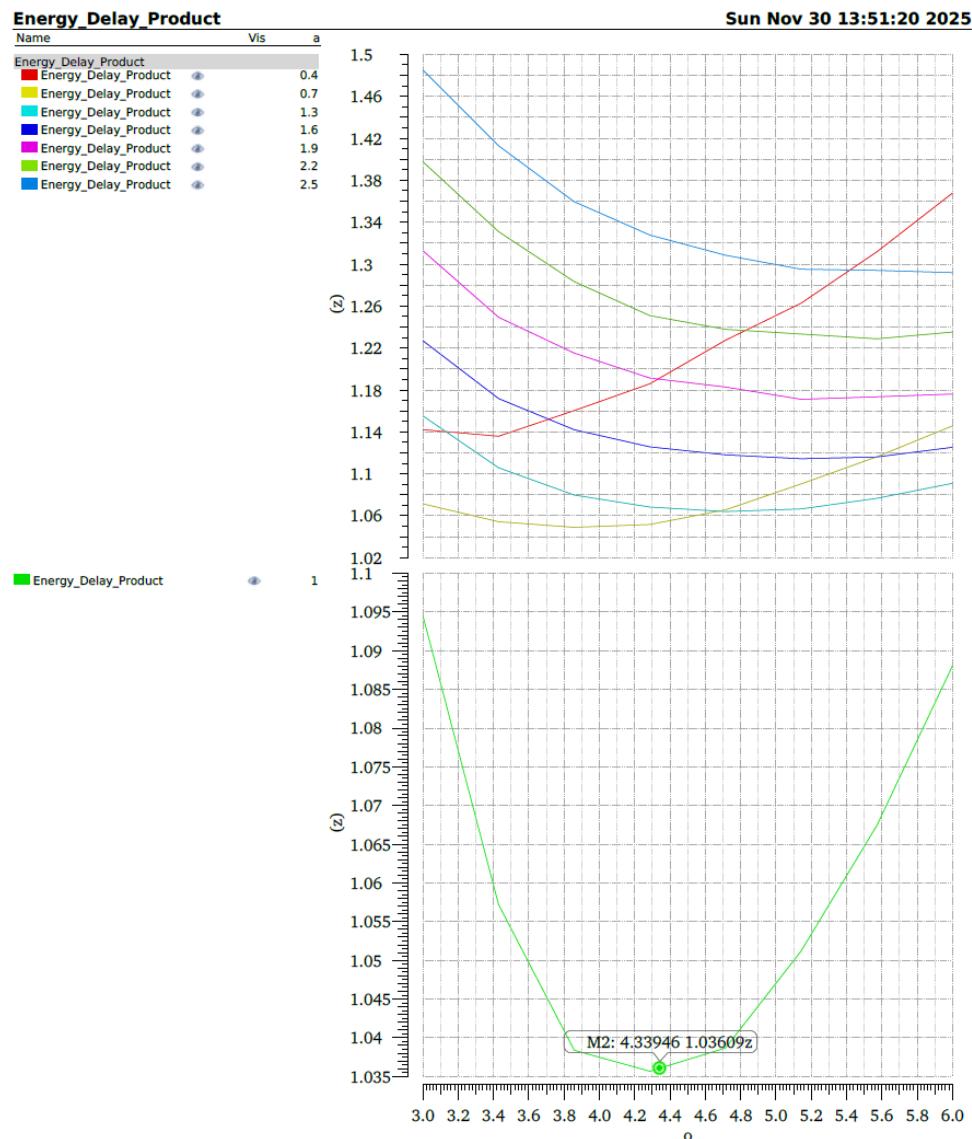


图 14: 二次参数粗扫结果

最小面积尺寸计算 为实现最低能耗，需采用满足驱动要求的最小面积配置：

$$C_{\text{mid, min}} \approx 1.0$$

即中间级 (NOR2) 输入电容与前级 (NAND2) 保持一致。

优化变量设定 选取第二级 NOR2 的尺寸系数 K 作为优化变量，具体设定如下：

- **第一级 (NAND2)**: 输入电容固定为 $C_{\text{in}} = 1$ (工艺约束)。
- **第二级 (NOR2)**: 尺寸系数 K 扫描范围为 [1.0, 10.0]。
- **理论预测**: 最小 EDP 通常出现在最小延时尺寸的 60% ~ 80% 区间。

结果分析 经参数扫描与理论分析，发现该方案的能耗-延时积 (EDP) 未能优于前述优化结构，整体性能表现不及上一轮设计。故本次结果不予详细展示。

lab3_mycell_02

为实现驱动能力与能耗的权衡，采用逐级放大结构，并以级间放大倍数 k 作为核心优化变量，使各级电路尺寸按比例递增。具体设计如下：

电路分为三级，每级均包含一个 NAND2 与一个反相器 (INV)，各级器件尺寸配置如下表所示：

级数	器件	PMOS 宽度 (W_p)	NMOS 宽度 (W_n)	备注
第 1 级	NAND2 (I1)	226 nm	384 nm	最小基准，固定
	INV (I4)	330 nm	280 nm	单位基准，固定
第 2 级	NAND2 (I5)	$k \times 226$ nm	$k \times 384$ nm	一次放大
	INV (I6)	$k \times 330$ nm	$k \times 280$ nm	一次放大
第 3 级	NAND2 (I7)	$k^2 \times 226$ nm	$k^2 \times 384$ nm	二次放大
	INV (I8)	$k^2 \times 330$ nm	$k^2 \times 280$ nm	二次放大 (驱动大负载)

表 1: 逐级放大结构各级器件尺寸配置

实验结果显示，该结构的能耗-延时积（EDP）最低约为 1.44z ，优化效果有限，未能显著优于前述树形结构方案。

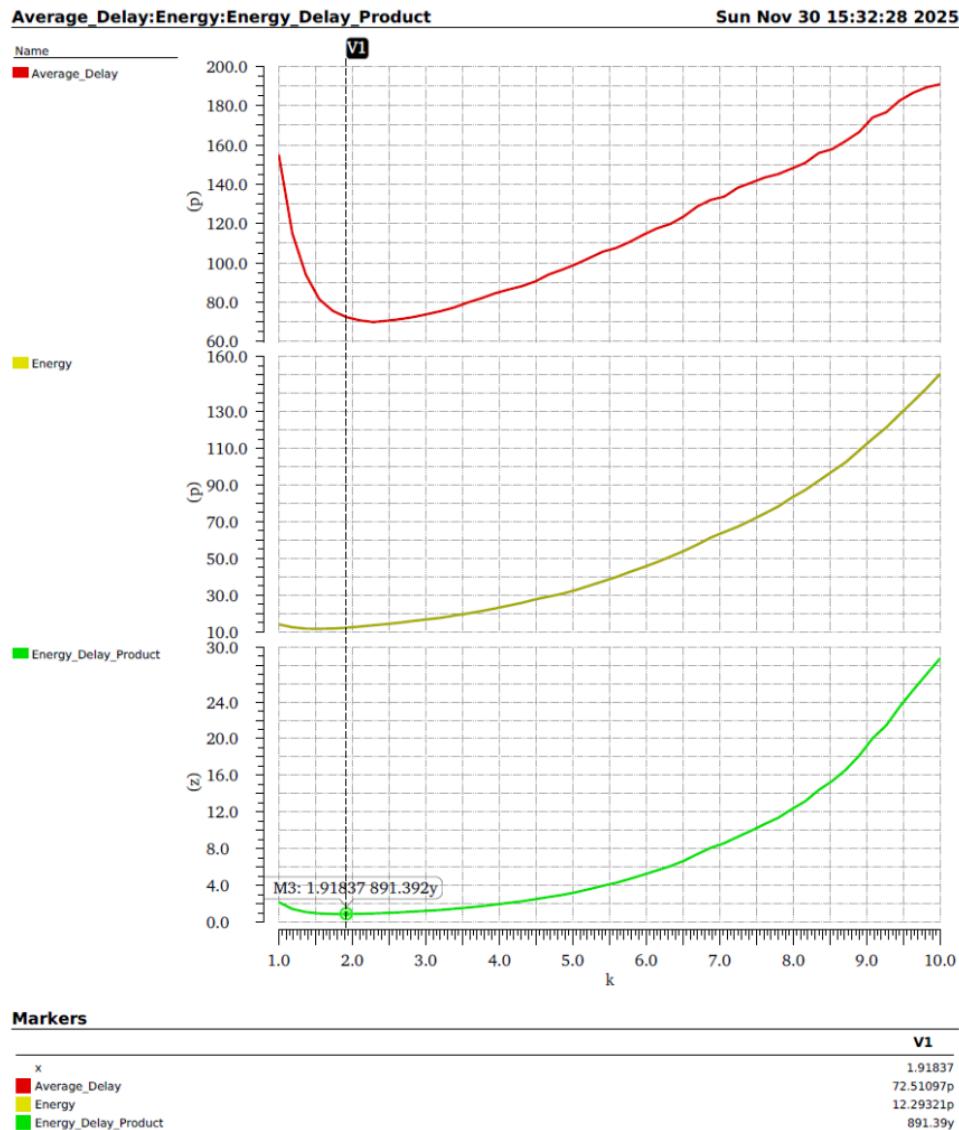
lab3_mycell_03

本设计同样采用逐级放大结构，以级间放大倍数 k 作为核心优化变量，使各级器件尺寸按比例递增。具体器件配置如下：

级数（路径位置）	器件编号	器件类型	PMOS 宽度 (W_p)	NMOS 宽度 (W_n)
第 1 级	I0	NAND2	226 nm	384 nm
辅助级	I2	INV	330 nm	280 nm
第 2 级	I1	NOR2	$k \times 428\text{ nm}$	$k \times 182\text{ nm}$
第 3 级	I3	NAND2	$k^2 \times 226\text{ nm}$	$k^2 \times 384\text{ nm}$
第 4 级	I4	INV	$k^3 \times 330\text{ nm}$	$k^3 \times 280\text{ nm}$

表 2: 逐级放大结构各级器件尺寸配置

最终最优化的能耗-延时积（EDP）约为 891.392y ，较前述设计方案有显著提升。

图 15: 逐级放大结构能耗-延时积 (EDP) 随放大倍数 k 变化曲线

六、总结

本次实验通过对四输入逻辑门电路的设计与优化，深入探究了 CMOS 电路中能耗 (Energy) 与延时 (Delay) 的权衡关系，并重点分析了能耗延时积 (EDP) 的优化策略。

6.1 实验数据对比

通过对四种不同拓扑结构的电路进行仿真与参数扫描，得到的最佳性能指标对比如下表所示：

电路方案	拓扑结构	关键优化手段	最佳 EDP	相对优化率
lab3_a	NAND4 + INV	基准电路	$\approx 1.45 \text{ z}$	-
mycell_01	Tree (NAND2-NOR2)	降低堆叠高度	$\approx 1.36 \text{ z}$	6.2%
mycell_02	Chain (NAND2-INV)	增强驱动能力	$\approx 1.44 \text{ z}$	0.7%
mycell_03	Hybrid (NAND-NOR-INV)	逻辑努力分配	$\approx 0.89 \text{ z}$	38.6%

表 3: 各电路方案性能对比汇总

6.2 理论分析与经验总结

0.0.3 堆叠效应与逻辑努力

实验结果验证了逻辑努力 (Logical Effort) 理论的核心观点。对于长串联堆叠的逻辑门 (如 NAND4)，其逻辑努力 g 随输入数量显著增加：

$$g_{\text{NAND}n} = \frac{n+2}{3}$$

对于 lab3_a 中的 NAND4，其 $g = (4+2)/3 = 2$ ，导致本征延时较大。而 mycell_01 将其分解为 NAND2 ($g = 4/3$) 和 NOR2 ($g = 5/3$) 的组合，虽然级数增加，但单级延时降低，且有效减小了寄生电容。

0.0.4 EDP 优化的本质

能耗延时积 $EDP = E \times D$ 。

- **延时优化：**主要依赖于路径电气努力 H 的均匀分配。根据 $f = g \cdot h$ ，当各级级努力 f 相等时，路径延时最小。
- **能耗优化：**主要受总开关电容 $\sum C_L$ 影响。过大的晶体管尺寸虽然降低延时，但会线性增加动态功耗 $P_{dyn} = \alpha f C V_{dd}^2$ 。

在 mycell_03 中，通过引入级间放大系数 k ，我们实际上是在寻找延时下降收益与能耗上升代价之间的平衡点：

$$\frac{\partial(E \cdot D)}{\partial k} = 0$$

实验发现，单纯追求最小延时（Logical Effort 推荐的 $h \approx 4$ ）往往导致能耗过高，最佳 EDP 点通常位于比最小延时尺寸更小的区域（即“欠驱动”状态）。

6.3 不足与改进方向

- 1、**漏功耗忽视：**本次实验主要关注动态功耗。随着工艺尺寸缩小（如本实验涉及的深亚微米工艺），漏电流功耗占比将显著提升。未来的优化模型应引入 $P_{static} = I_{leak}V_{dd}$ 。
- 2、**输入向量依赖性：**实验中采用了固定的输入占空比。实际上，不同逻辑门的开关活动率 α 强依赖于输入信号的统计特性。更严谨的设计应针对最坏情况或平均情况进行加权优化。
- 3、**版图寄生参数：**目前的仿真基于原理图，未考虑互连线电阻电容。在实际物理实现中，复杂的树形结构（如 `mycell_01`）可能因布线拥塞导致性能下降，需结合版图后仿真进行验证。