

实验三 逻辑门的功耗优化及 EDP 优化

23342107 徐睿琳

一、实验要求

了解动态功耗的影响因素，掌握 CMOS 逻辑门的动态功耗优化。

二、实验目的

- 1、了解 NAND 门的搭建方法；
- 2、了解延迟的定义及计算方法；
- 3、掌握如何得到最小延时

三、实验内容

- 1、针对指定逻辑门，通过仿真波形或电路图分析，写出其逻辑表达式，并计算其在 100ns 内的能耗；
- 2、设计并实现与实验 A) 中逻辑功能相同的电路，命名为 lab3_mycell，要求其能耗-延时积（EDP）小于实验 A) 中的逻辑门。输入信号的占空比分别为：A: 0.7, B: 0.5, C: 0.2, D: 0.1。

四、实验步骤

4.1 lab3_a 逻辑分析与能耗计算

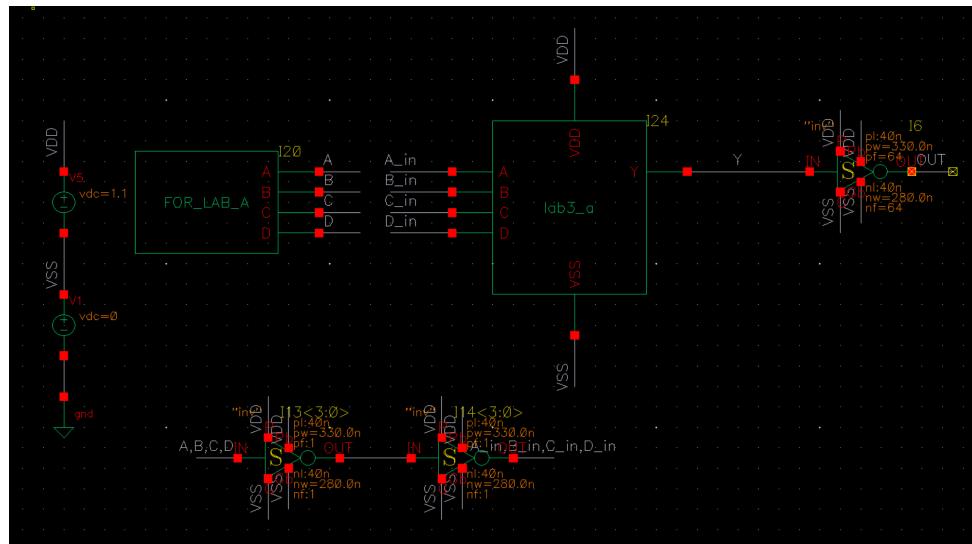


图 1: lab3_a 测试电路图

首先，结合 lab3_a 的测试电路图与仿真波形，分析输入信号 A、B、C、D 的连接方式及其对输出 Y 的影响。通过观察 100ns 内各输入组合对应的输出变化，归纳输出 Y 的逻辑表达式。最后，统计 100ns 内的能耗数据，为后续电路优化和 EDP 比较提供依据。

4.2 lab3_myceil 设计与功耗综合优化

lab3_a 电路设计分析

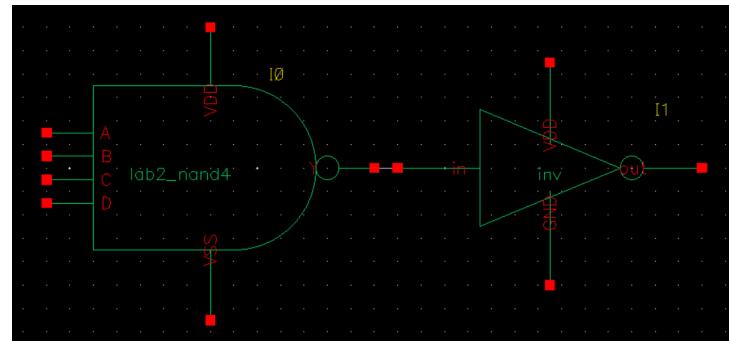


图 2: lab3_a 电路图

如图2可见，lab3_a 采用了四输入与非门与非门级联的结构实现功能，但是肉眼可见其扇入较大，导致延时较大，能耗较高。因此，在设计 lab3_myceil 时，应考虑减少扇入，提高电路的速度和能效。

lab3_myceil_01 电路设计

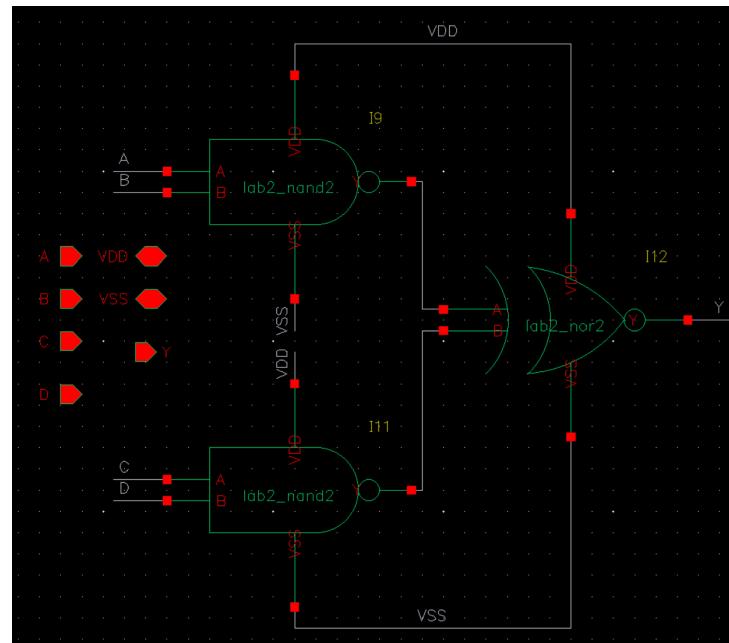


图 3: lab3_myceil_01 电路图

lab3_mycell_02 电路设计

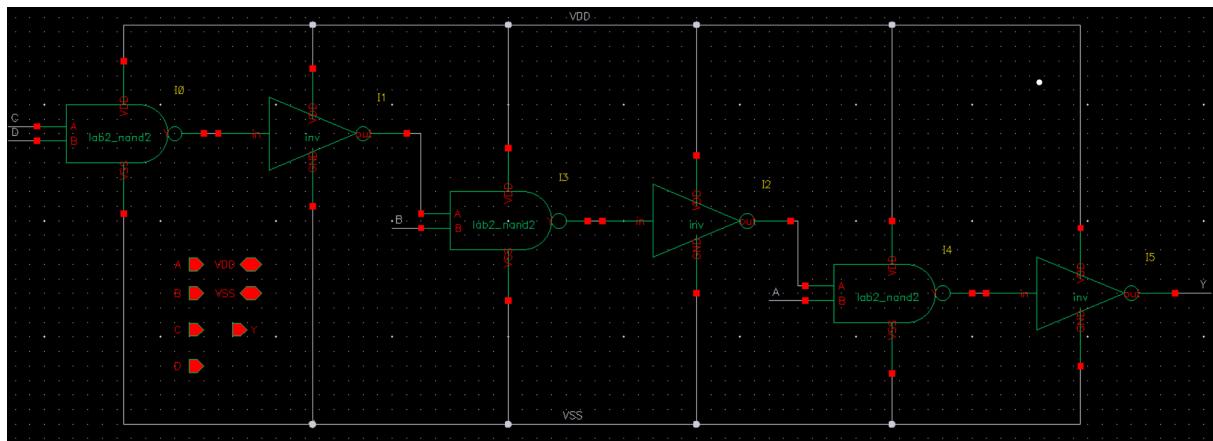


图 4: lab3_mycell_02 电路图

lab3_mycell_03 电路设计 (基于 lab3_b 实现)

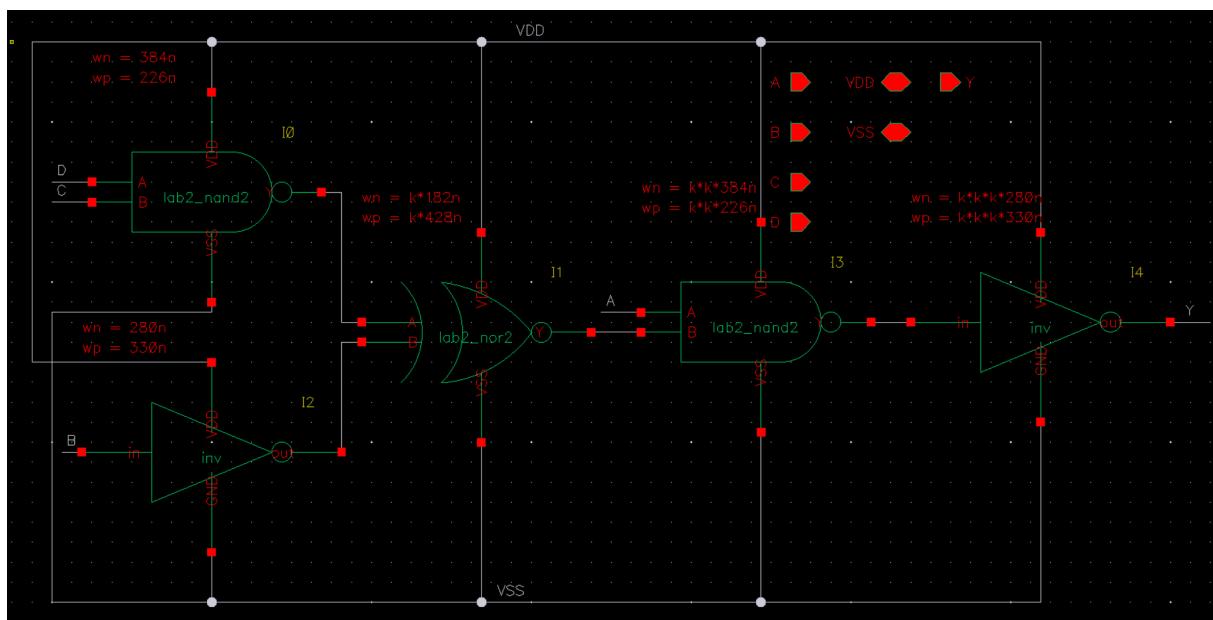


图 5: lab3_mycell_03 电路图

五、实验结果

5.1 lab3_a 逻辑分析与能耗计算

0.0.1 逻辑分析

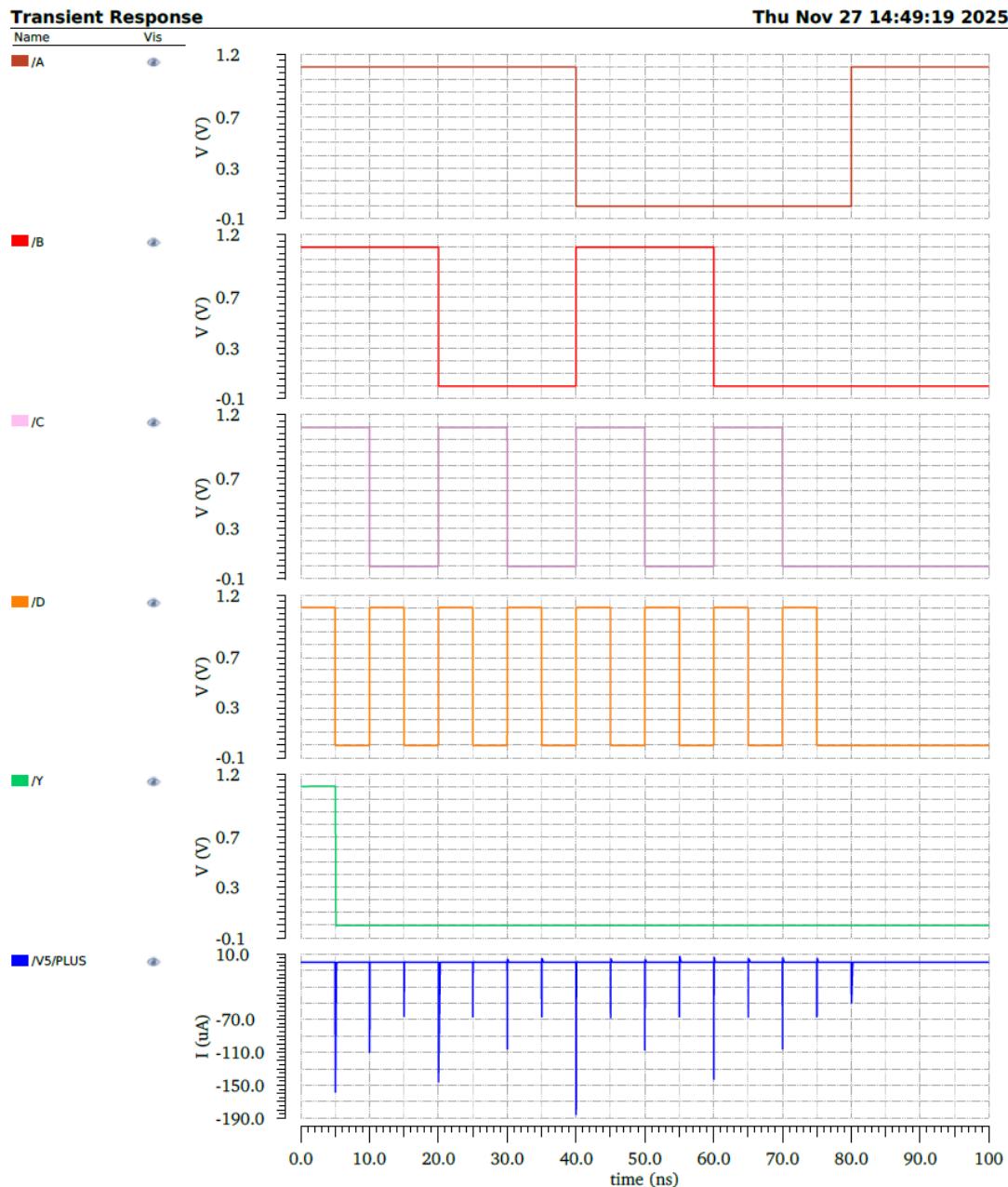


图 6: lab3_a 100ns 内仿真波形图

如图6所示，通过观察波形图可知，输出 Y 的逻辑表达式为：

$$Y = A \cdot B \cdot C \cdot D$$

即 lab3_a 是一个四输入与门。

0.0.2 能耗计算

根据 `(abs(integ(i("/V5/PLUS" ?result "tran") 0 1e-07)) * 1.1)` 计算，在 100ns 内，lab3_a 的能耗为：

Name/Signal/Expr	Value	Plot	Save	Save Options
0 A_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
9 C_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
10 D_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
11 Average_Delay		<input checked="" type="checkbox"/>	<input type="checkbox"/>	
12 Energy	64.67f	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
13 Energy_Delay_Product		<input checked="" type="checkbox"/>	<input type="checkbox"/>	

图 7: lab3_a 100ns 内能耗计算结果

六、总结

附录

附录 A 相关代码

附录 B 数据表格

附录 C 其他材料