

# 实验三 逻辑门的功耗优化及 EDP 优化

23342107 徐睿琳

## 一、实验要求

了解动态功耗的影响因素，掌握 CMOS 逻辑门的动态功耗优化。

## 二、实验目的

- 1、了解 NAND 门的搭建方法；
- 2、了解延迟的定义及计算方法；
- 3、掌握如何得到最小延时

## 三、实验内容

- 1、针对指定逻辑门，通过仿真波形或电路图分析，写出其逻辑表达式，并计算其在 100ns 内的能耗；
- 2、设计并实现与实验 A) 中逻辑功能相同的电路，命名为 lab3\_mycell，要求其能耗-延时积 (EDP) 小于实验 A) 中的逻辑门。输入信号的占空比分别为：A: 0.7, B: 0.5, C: 0.2, D: 0.1。

## 四、实验步骤

### 4.1 lab3\_a 逻辑分析与能耗计算

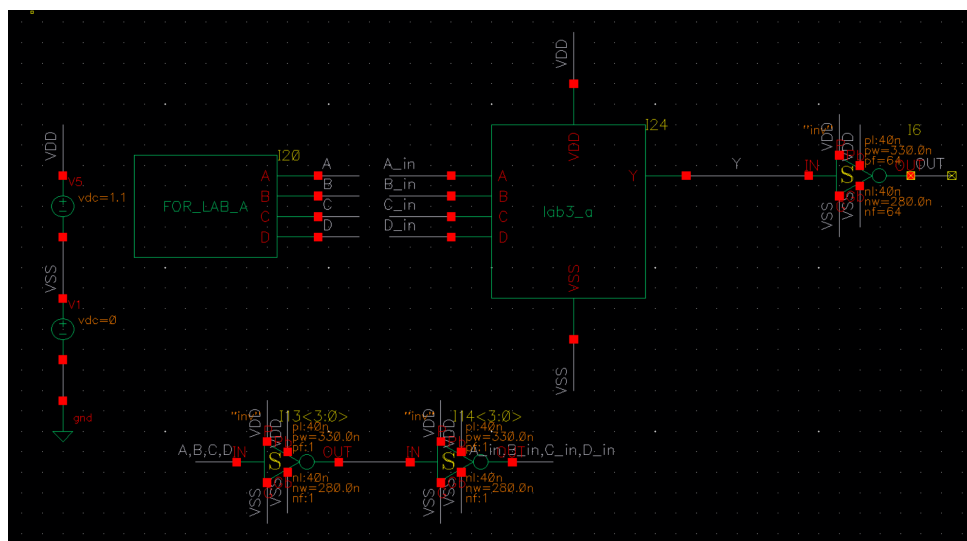


图 1: lab3\_a 测试电路图

首先，结合 lab3\_a 的测试电路图与仿真波形，分析输入信号 A、B、C、D 的连接方式及其对输出 Y 的影响。通过观察 100ns 内各输入组合对应的输出变化，归纳输出 Y 的逻辑表达式。最后，统计 100ns 内的能耗数据，为后续电路优化和 EDP 比较提供依据。

### 4.2 lab3\_mycell 设计与功耗综合优化

在设计初期，我们对基准电路 lab3\_a（基于 4 输入或 8 输入 NAND 门直连反相器）的局限性进行分析：

## lab3\_a 电路设计分析

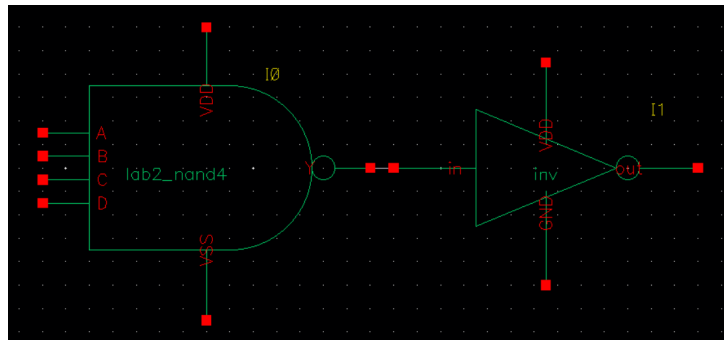


图 2: lab3\_a 电路图

大扇入 NAND 门存在严重的堆叠效应，为平衡  $N$  管串联带来的导通电阻，必须将 NMOS 尺寸放大  $N$  倍。

**EDP 瓶颈：**

- **延时 ( $D$ ):** 串联管导致巨大的寄生延时 ( $P \propto N$ )，导致本征速度极慢。
- **能耗 ( $E$ ):** 为了补偿速度而被迫增大的晶体管尺寸，带来了巨大的栅极电容和扩散电容，导致动态功耗激增。

为了找到能耗延时积最小的结构，我尝试了三种替代 lab3\_a 逻辑实现方式：

**并行树形结构 (lab3\_mycell\_01)**

**设计思路：**利用 De Morgan 定律，我将 AND4 分解为两级逻辑：NAND2 // NAND2 -> NOR2，将关键路径上晶体管的**最大堆叠高度**从 4 管串联降低至 2 管串联。

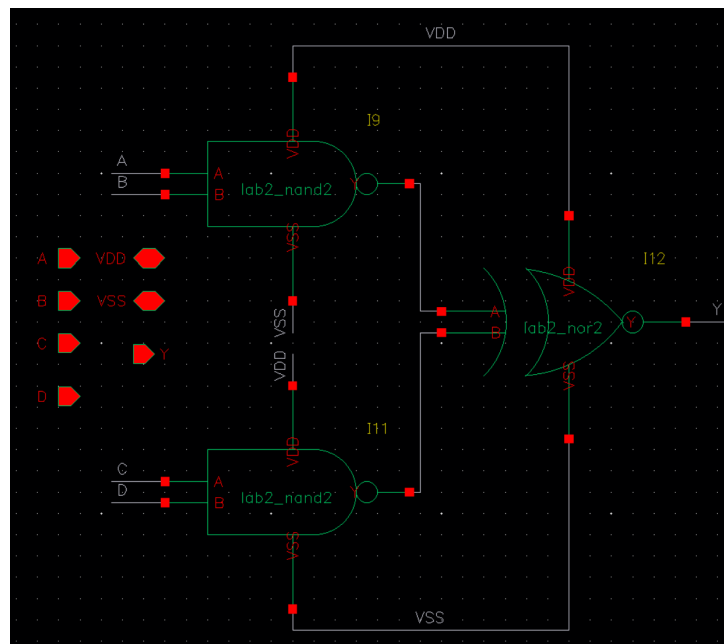


图 3: lab3\_mycell\_01 电路图

降低能耗延时积 (EDP) 的首要手段是降低寄生参数，而非盲目增大驱动。

- 1、**打断串联链**: 利用 De Morgan 定律将 4 管串联（或 8 管串联）分解为多级逻辑。优势在于 mycell\_01 中最大的串联数仅为 2（NAND2 或 NOR2），相比于基准电路，其寄生延时（ $P$ ）减半。
- 2、**降低无效电容 (Reducing  $C$ )**: 由于串联数减少，NAND2 的 NMOS 只需放大 2 倍即可平衡电阻。意味着更小的栅电容和内部节点电容。直接降低了每一次翻转所需的电荷量（ $Q$ ），从而降低能耗（ $E$ ）。

**参数扫描设计** 由于工艺最小宽度为 120 nm，故参数  $a$  的理论下限为  $120/330 \approx 0.36$ （此处取 0.4），参数  $o$  的理论下限为  $120/280 \approx 0.43$ （此处取 0.5）。

对  $a$  与  $o$  进行粗略参数扫描，共设 36 个取样点：

CDF Parameter	Value	Display
fn	1	off
fp	1	off
ln	48n	off
lp	48n	off
wn	o*280n	off
wp	o*660n	off

(a) lab3\_mycell\_nand2 参数

CDF Parameter	Value	Display
fn	1	off
fp	1	off
ln	48n	off
lp	48n	off
wn	a*560n	off
wp	a*330n	off

(b) lab3\_mycell\_nor2 参数

图 4: 参数扫描设计

Variable	Value	Sweep?	Range Type	From	To	Step Mode	Total Steps	Inclusion List	Exclusion List
a	1	<input checked="" type="checkbox"/>	From/To	0.4	10	Auto	6		
o	1	<input checked="" type="checkbox"/>	From/To	0.5	10	Auto	6		

图 5: 36 步参数扫描设置

### 驱动能力权衡，引入链式结构 (lab3\_mycell\_02)

在仿真 mycell01 后，我发现树形结构虽然本征性能优异，但在驱动 64 倍大负载时显得力不从心。最后一级 NOR2 需要做得非常大才能推动负载，这导致了前级驱动后级的困难。因此，我尝试了 lab3\_mycell\_02（链式结构）。思考：通过增加级数（流水线深度），利用反相器极强的驱动能力 ( $g = 1$ ) 来承担“搬运电荷”的重任，试图缓解大负载下的延时问题。局限：虽然驱动力改善了，但级数过多增加了总的开关活动率，可能导致能耗回升。

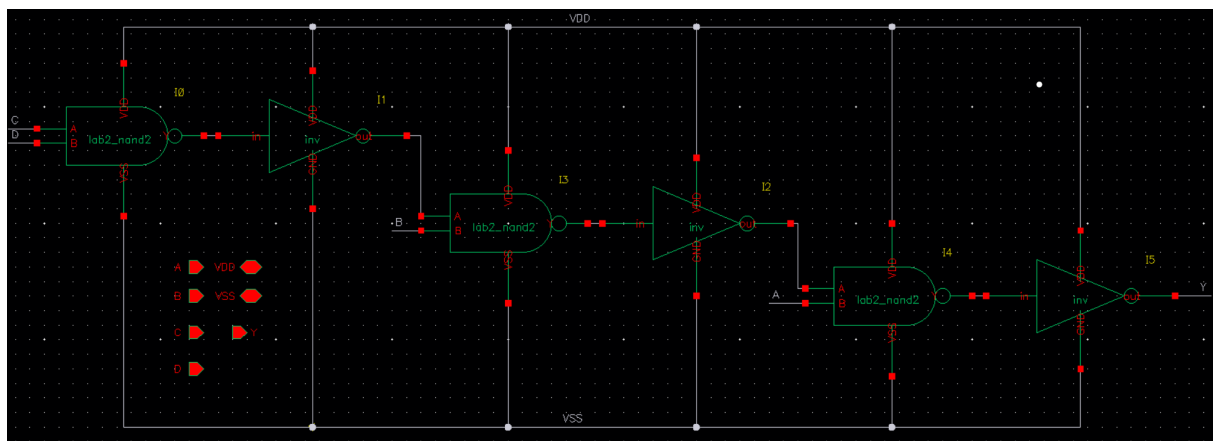


图 6: lab3\_mycell\_02 电路图

## lab3\_mycell\_03 电路设计 (基于 lab3\_b 实现)

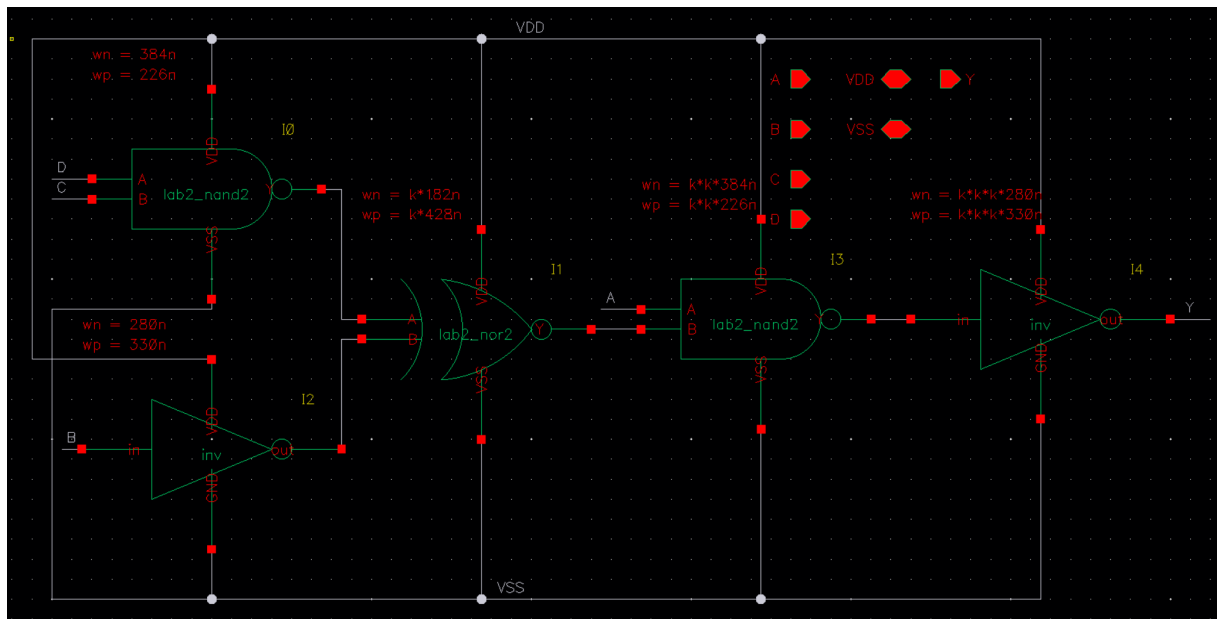


图 7: lab3\_mycell\_03 电路图

## 五、实验结果

### 5.1 lab3\_a 逻辑分析与能耗计算

#### 0.0.1 逻辑分析

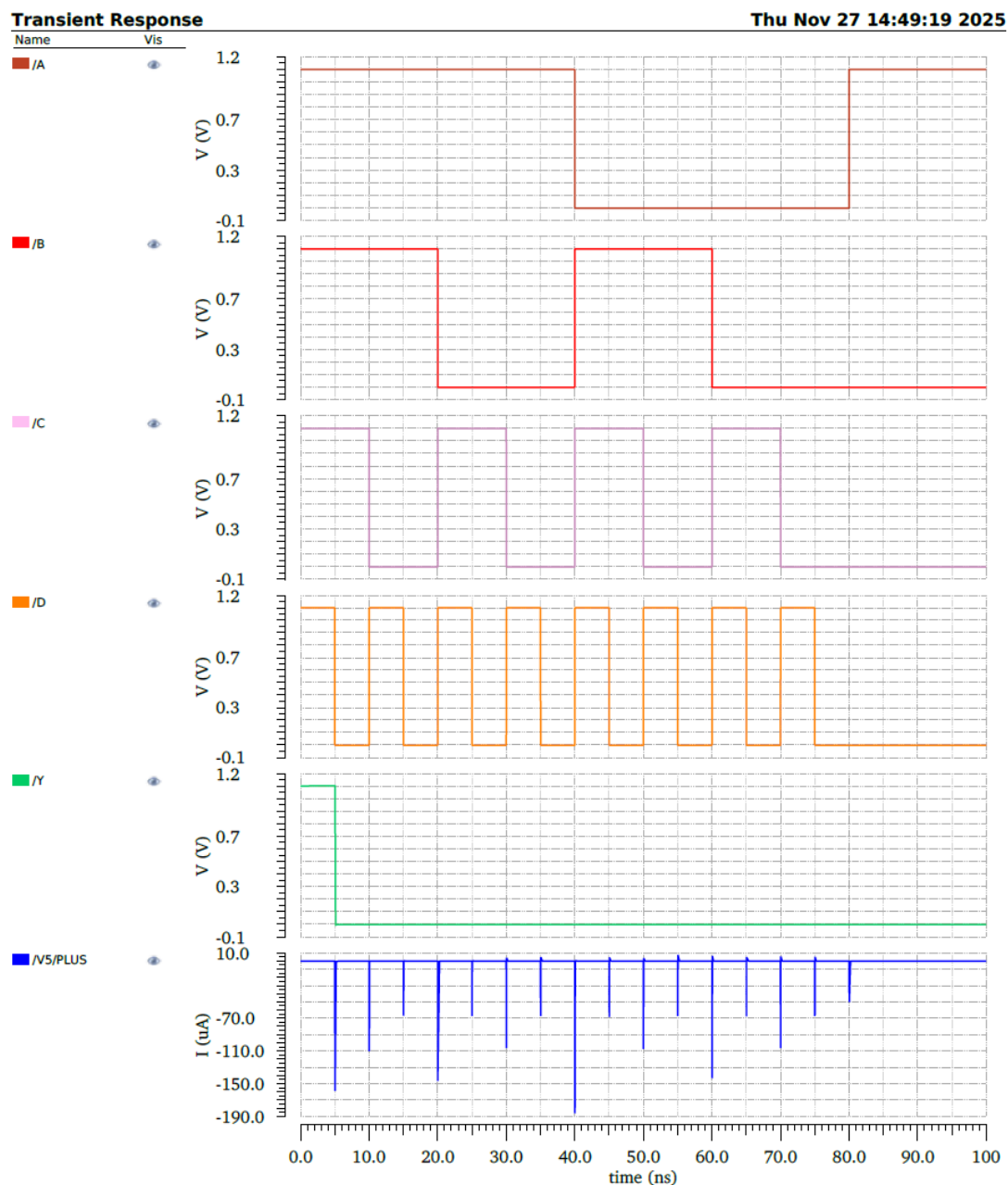


图 8: lab3\_a 100ns 内仿真波形图

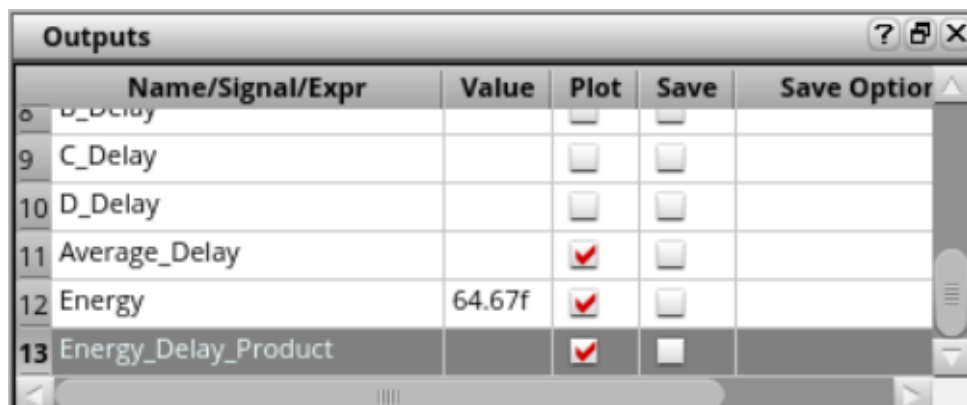
如图8所示，通过观察波形图可知，输出 Y 的逻辑表达式为：

$$Y = A \cdot B \cdot C \cdot D$$

即 lab3\_a 是一个四输入与门。

### 0.0.2 能耗计算

根据 `(abs(integ(i("/V5/PLUS" ?result "tran") 0 1e-07))) * 1.1)` 计算，在 100ns 内，lab3\_a 的能耗为：



	Name/Signal/Expr	Value	Plot	Save	Save Option
8	B_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
9	C_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
10	D_Delay		<input type="checkbox"/>	<input type="checkbox"/>	
11	Average_Delay		<input checked="" type="checkbox"/>	<input type="checkbox"/>	
12	Energy	64.67f	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
13	Energy_Delay_Product		<input checked="" type="checkbox"/>	<input type="checkbox"/>	

图 9: lab3\_a 100ns 内能耗计算结果

## 六、总结

### 附录

#### 附录 A 相关代码

#### 附录 B 数据表格

#### 附录 C 其他材料