

## 第一章 集成电路器件基础

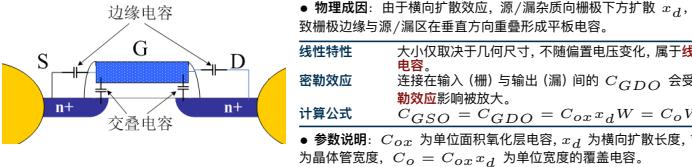
### MOS 管寄生效应 (主要是 MOS 器件电容模型)

● 主要耦合电容：任意两端子间均存在电容耦合：

$C_{GS}, C_{GD}$  横-源 / 横-漏电容  
 $C_{GB}$  横-衬底电容  
 $C_{SB}, C_{DB}$  源-衬底 / 漏-衬底电容



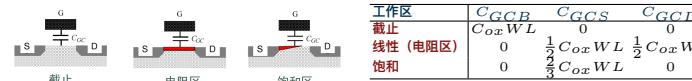
● 定义：栅极与源/漏扩散区重叠部分形成的电容，称为覆盖寄生电容。



PN 结电容 ● 定义：即源/漏区与衬底间的电容 ( $C_{SB}, C_{DB}$ )，由反偏 PN 结的势垒电容（耗尽电容）构成。



栅沟道电容（本征电容） 由于不同工作区的沟道形态不同，栅沟道电容也不同：



阈值电压 (这部分看半导体器件物理 cheat sheet 观感更佳)

● 定义： $V_T$  是表面载流子浓度等于衬底掺杂浓度（强反型）时的  $V_{GS}$ 。此时表面电势  $\phi_s$  达到  $2\phi_F$ 。

函数差  $\phi_{ms}$  抵消金属与半导体费米能级不匹配，由材料本征属性决定。

耗尽电荷  $Q_B$  补偿耗尽固定电荷。NMOS 中  $Q_B < 0$ ，对应项  $-\frac{Q_B}{C_{ox}}$  为正。

强反型电势  $2\phi_F$  产生强反型所需的能带弯曲量。P 极区  $\phi_F < 0$ ，项  $-2\phi_F$  为正。

表面电荷  $Q_{SS}$  氧化界面正电荷，有助于感应电子，从而降低  $V_T$ 。项  $-\frac{Q_{SS}}{C_{ox}}$  为负。

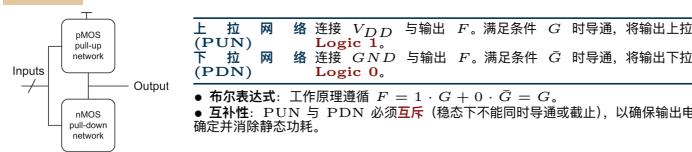
注入电荷  $Q_I$  工艺调节项，通过离子注入（如 P+注入）精确修正  $V_T$  数值。

$$\text{● 汇总公式: } V_T = \phi_{ms} - 2\phi_F - \frac{Q_B}{C_{ox}} - \frac{Q_{SS}}{C_{ox}} - \frac{Q_I}{C_{ox}}$$

● 物理本质： $V_T$  是克服材料差异、抵消干扰电荷、平衡耗尽层并建立强反型表面电势所需的栅极电压总和。

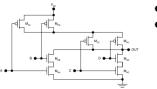
速度饱和 这个暂时没在 PPT 上找到，先空着吧。

互补网络 ● 架构组成：由两个相互关联的网络组成：



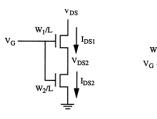
## 习题解析

课堂练习 主要是一些判断逻辑以及跟器件强相关的题目，和模电很像。



- 例题 1：考虑图中的静态互补 CMOS 逻辑门，写出它的布尔表达式（注意化简）。
- 启发意义：没啥启发意义。

- 答解：这道题看下网络比较好判断逻辑，答案是  $F = AB + CD$ 。



- 例题 2：计算两个宽长比分别为  $W_1/L$  和  $W_2/L$  的串联 NMOS 晶体管的等效宽长比  $W/L$ 。忽略体效应，阈值电压恒定。
- 启发意义：单看题目只是一个模集的题，但是为后面计算串联尺寸系数打下基础。

- 答解：● 推导前提：利用线性区电流公式  $I_{DS} = k' \frac{W}{L} [(V_{GS} - V_{T0})V_{DS} - \frac{1}{2}V_{DS}^2]$ ，基于电流连续性 ( $I_{DS1} = I_{DS2}$ ) 进行推导。

$$\begin{aligned} M2 \text{ (下管)} \quad I_{DS} &= k' \frac{W_2}{L} [(V_{GS} - V_{T0})V_{DS2} - \frac{1}{2}V_{DS2}^2] \\ M1 \text{ (上管)} \quad I_{DS} &= k' \frac{W_1}{L} [(V_{GS} - V_{DS2} - V_{T0})(V_{DS} - V_{DS2}) - \frac{1}{2}(V_{DS} - V_{DS2})^2] \end{aligned}$$

- 代数变换：展开 M1 方程并提取项，可发现其包含 M2 的电压项。整理得： $I_{DS} = k' \frac{W_1}{L} [((V_{GS} - V_{T0})V_{DS} - \frac{1}{2}V_{DS}^2) - \frac{I_{DS}}{k'(W_2/L)}]$ 。

- 等效结果：将  $I_{DS}$  项移项合并，对比标准方程可得： $\frac{1}{Weq} = \frac{1}{W_1} + \frac{1}{W_2}$  或  $Weq = \frac{W_1 W_2}{W_1 + W_2}$ 。

● 物理意义与设计指导：

电容类比 导通电阻  $R_{on} \propto L/W$ ，串联电阻  $R_{eq} = R_1 + R_2$  对应  $\frac{L}{Weq} = \frac{L}{W_1} + \frac{L}{W_2}$ 。  
 尺寸补偿 串联会降低驱动能力。若要使两个串联管等效于宽度为  $W$  的单管，则每个管子宽度需设为  $2W$ 。

作业题 有一些奇奇怪怪的题，不知道牢王都从哪找的。

- 例题 1-1：(1) 考虑下图的静态互补 CMOS 逻辑门，写出布尔表达式（注意化简），并画出下拉网络结构；(2) 画出实现  $Y = AB + C(D + E)$  的静态互补 CMOS 逻辑门电路的晶体管级电路图。
- 启发意义：这道题的上拉电路给的很怪，没有办法直接看出逻辑表达式，需要通过分析通路来推导。

- 第一步：寻找从  $V_{DD}$  到 Output 所有可能通路 (PMOS 导通需低电平)：

直接路径  $A \bar{C}$ ; 路径 2:  $B \bar{D}$   
 跨桥路径  $A \bar{E} \bar{D}$ ; 路径 4:  $B \bar{E} \bar{C}$   
 PUN 逻辑  $F = \bar{A} \bar{C} + \bar{B} \bar{D} + A \bar{E} \bar{D} + B \bar{E} \bar{C}$

- 第二步：推导下拉网络 (PDN) 的导通条件：

设计原理 CMOS 逻辑具有反相特性。PDN 由 NMOS 构成（高电平导通），需满足输出为低电平 (Logic 0) 的条件。即求  $\bar{Out}$ 。

德摩根变换 对 PUN 表达式整体取反： $\bar{Out} = (\bar{A}\bar{C} + \bar{B}\bar{D} + A\bar{E}\bar{D} + B\bar{E}\bar{C})$   
 逻辑展开 得  $\bar{Out} = (\bar{A}\bar{C}) \cdot (\bar{A}\bar{E}\bar{D}) \cdot (\bar{B}\bar{D}) \cdot (\bar{B}\bar{E}\bar{C})$   
 去反号 根据  $\bar{X}Y = X\bar{Y}$ ，得  $\bar{Out} = (A+C)(A+E+D)(B+D)(B+E+C)$

● 代数化简：通过提取公因式进行重组织：

分组观察 前两项含 A，后两项含 B，利用分配律： $(A+C)(A+E+D) = A + C(E+D)$   
 最终嵌套形式  $\bar{Out} = AB + AED + CD + BEC$   
 电路对应 该表达式直接决定了 PDN 的串并联拓扑结构。

- 例题 1-2：请分别解释说明体效应、短沟效应、DIBL 对阈值电压影响及原理。

- 启发意义：一些牢王自己忘记讲的概念

- 解析：

体效应

当  $V_{SB} > 0$  时，更多负电荷聚集在栅氧化层下，增加了耗尽层电荷，导致  $V_T$  增加。公式： $V_T = V_{T0} + \gamma(\sqrt{V_{SB}} + |2\phi_F| - \sqrt{|2\phi_F|})$ 。源端势垒上升，需更大栅压克服势垒。

短沟道效应 当 L 减小时， $V_T$  随之减小。部分栅下区域空穴被漏-衬底 PN 结电场耗尽，导致  $Q_B$  下降；同时 MOS 效应影响区域比例变小，导致  $V_{T0}$  下降。

DIBL 效应 漏端感应势垒降低。 $V_{DS}$  增加使漏端耗尽区扩大并接近源端，引起源端势垒降低，使源区注入电子增加，导致  $V_T$  下降。

- 例题 1-3：请分别解释说明速度饱和对短沟器件和长沟器件的影响及原理。

- 启发意义：算是弥补上文缺失的速度补偿部分，牢王应该是又忘记了。

- 解析：● 载流子速度：速度 v 与电场 E 的关系近似为： $v = \frac{\mu_n E}{1 + E/E_c}$ 。

临界电场  $E_c$  速度饱和发生时的电场。连续性要求：当  $E = E_c$  时， $v_{sat} = \mu_n E_c / 2$ 。  
 短沟道修正 由于  $L$  极小，水平电场大，很快达到饱和。修正公式： $I_D = k' [(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2]\kappa(V_{DS})$ ，其中  $\kappa(V) = \frac{1}{1 + V/(E_c L)} < 1$ 。

- 饱和电压  $V_{DSAT}$ ：由连续性要求解得： $V_{DSAT} = \kappa(V_{GT})V_{GT}$ 。

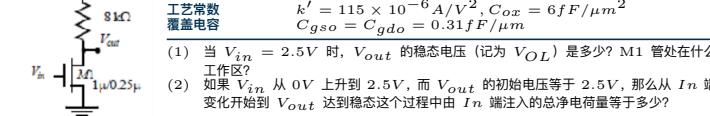
## 物理结论

因为  $\kappa(V_{GT}) < 1$ ，所以  $V_{DSAT} < V_{GT}$ 。短沟道器件速度饱和的  $V_{DSAT}$  小于长沟道沟道夹断的  $V_{DSAT}$ 。

当  $E_c \gg V_{GT}/L$  时， $I_{DSAT} = \frac{1}{L} \frac{W}{C_{ox}} \mu_n V_{GT}^2$ ，电流电压为二次关系。

当  $E_c \ll V_{GT}/L$  时， $I_{DSAT} = v_{sat} C_{ox} W V_{GT}$ ，电流电压为一次关系。

- 作业 1-4：如图所示电路，已知 M1 参数如下（忽略体效应和沟道长度调制效应）：



- 答解 (1)：采用假设-验证法确定  $V_{OL}$  与工作区：

假设 M1 工作在线性区，即满足  $V_{OL} \leq V_{DSAT} = 0.63V$ 。  
 方程组 1. 线性区电流公式： $I_{ds} = k' \frac{W}{L} [V_{in} - V_{T0}] V_{OL} - \frac{1}{2} V_{OL}^2$   
 2. 根据分压定律： $I_{ds} \cdot R + V_{OL} = V_{DD}$  (KVL)

参数代入  $V_{DSAT} = V_{in} - V_{T0} = 2.07V$ ,  $k' W/L = 460\mu A/V^2$ ,  $R = 8k\Omega$ 。  
 计算结果 解得  $V_{OL} \approx 0.31V$  (另一解  $-0.775V$  舍去)。  
 验证 因  $0.31V < 0.63V$ ，假设成立，M1 确实处于线性区。

- 答解 (2)：计算注入总净电荷  $\Delta Q = Q_{final} - Q_{initial}$ :

初始态  $Q_1$   $V_{in} = 0V$ ,  $V_{out} = 2.5V$  (截止区)。  
 沟道未形成， $C_{GCB}$  无压差。 $C_{GCS} = 0$ ，且 GS 之间也没有压差， $C_{GCD} = 0$ ，但是 GD 之间存在电压  $Q_1 = C_{GD} \times (V_G - V_D) = C_{gdo} \times W \times (V_G - V_D) = (0.31 \times 1) \times (0 - 2.5) = -0.775fC$  (这里完全是 PN 结扩散电容)  
 稳态  $Q_2$   $V_{in} = 2.5V$ ,  $V_{out} = 0.31V$  (线性区)。沟道形成。  
 后面的计算留给读者自己完成，步骤就是：查看电容 → 看 GS、GD、GB 之间是否有电压 → 有电压有电容的地方计算电荷 → 累加。  
 总注入量  $\Delta Q = 4.97 - (-0.775) = 5.745fC$ 。

## 第二章 数字集成电路的速度

### MOS 管电容模型

### MOS 管的漏电流

### 逻辑门的静态特性

### 开关阈值（对称反相器）

### CMOS 逻辑门的延时特性

### 本征延时、努力延时

### 逻辑努力（含义、计算）

### 关键路径的计算

### 逻辑路径的延时模型

### 尺寸优化问题

### 分支努力

## 第三章 数字集成电路的功耗

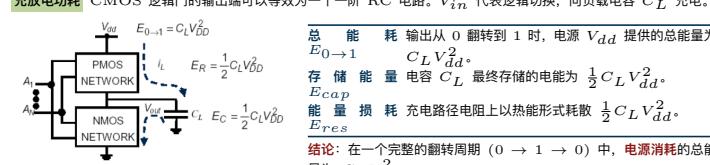
### 动态功耗 CMOS 功耗主要分为两大类：

动态功耗 电路逻辑状态翻转过程中产生的功耗，分为充放电功耗和短路功耗。  
 静态功耗 电路处于稳态时，由漏电流引起的功耗。

动态功耗又可细分为：

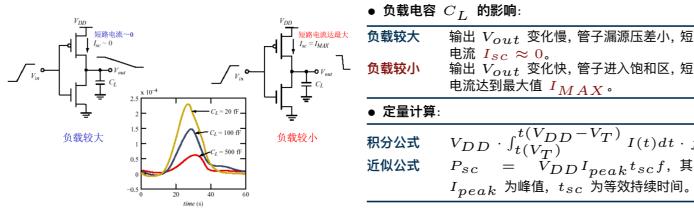
充放电功耗 对负载电容进行充电和放电所消耗的能量。  
 短路功耗 输入/输出翻转瞬间 PMOS 和 NMOS 同时导通，形成  $V_{dd}$  到 GND 的瞬时通路。

充放电功耗 CMOS 逻辑门的输出端可以等效为一个一阶 RC 电路。 $V_{in}$  代表逻辑切换，向负载电容  $C_L$  充电。



充电 (0 → 1) PMOS 导通，电源提供能量。一半存于电容，一半消耗在 PMOS 网络电阻上。  
 放电 (1 → 0) NMOS 导通，电源不能供能。电容储能全部在 NMOS 网络电阻上消耗。

短路功耗 ● 定义：输入/输出翻转瞬间，当  $V_{Tn} < V_{in} < V_{DD} - |V_{Tp}|$  时，PMOS 和 NMOS 同时导通，形成  $V_{dd}$  到 GND 的瞬时通路。



#### 核心影响因素:

翻转速率 与输入/输出 翻转速率 有关。输入斜率越慢, 导通时间  $t_{\text{on}}$  越长。设计中通常控制短路功耗在总动态功耗的 10%~15%。  
器件尺寸  $I_{\text{peak}}$  与  $W/L$  成正比。增加逻辑门驱动强度(增大尺寸)会直接导致短路功耗上升。

#### 逻辑门的能量

能耗与功耗:

能耗	从电源取得的总能量
全摆幅	$E_{0 \rightarrow 1} = C_L V_{dd}^2$
周期	一个翻转周期 $0 \rightarrow 1 \rightarrow 0$

功耗 公式  $P = \frac{E}{T} = C_L V_{dd}^2 f_{0 \rightarrow 1}$  频率  $f_{0 \rightarrow 1}$  为开关频率

开关活动性 动态功耗的核心统计学指标:  
定义 开关活动性  $\alpha_{0 \rightarrow 1}$  (翻转概率) 指逻辑门在一个时钟周期内发生  $0 \rightarrow 1$  翻转的概率。  
计算公式  $\alpha_{0 \rightarrow 1} = p_0 \cdot p_1$ , 其中  $p_0, p_1$  分别为输出为 0 和 1 的概率。  
静态分布 对于  $N$  输入逻辑门,  $\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} \cdot \frac{N_1}{2^N}$ , 其中  $N_0, N_1$  为输出 0 和 1 的状态数。

● 等效电容:  $C_{EFF} = \alpha_{0 \rightarrow 1} C_L$ , 则动态功耗  $P = C_{EFF} V_{dd}^2 f_{0 \rightarrow 1}$

● 实例计算: 计算  $\alpha_{0 \rightarrow 1}$  (假设输入信号为 1 的概率均为 1/2):

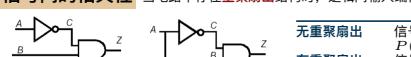
● 例题 1-2 输入 NOR: ● 例题 2-2 输入 XOR:

真值表	仅 $A = B = 0$ 时输出为 1
概率	$p_1 = 1/4, p_0 = 3/4$
翻转率	$\alpha_{0 \rightarrow 1} = 3/4 \times 1/4 = 3/16$

● 常用逻辑门翻转概率:

AND 门	输出为 1 的概率 $p_1 = P_A P_B$ , 则 $\alpha_{0 \rightarrow 1} = (1 - P_A)(1 - P_B)$
OR 门	输出为 1 的概率 $p_1 = 1 - (1 - P_A)(1 - P_B)$ , 则 $\alpha_{0 \rightarrow 1} = (1 - p_1)p_1$
XOR 门	输出为 1 的概率 $p_1 = P_A(1 - P_B) + P_B(1 - P_A)$ , 则 $\alpha_{0 \rightarrow 1} = (1 - p_1)p_1$

信号间的相关性 当电路中存在重聚扇出结构时, 逻辑门输入端信号不再相互独立。



没有重聚扇出的逻辑电路 具有重聚扇出的逻辑电路

● 结论: 简单概率乘法不再适用, 需利用 条件概率 建模或使用 CAD 工具进行仿真分析。

影响静态功耗的因素 ● 定义: 电路在稳态(无信号翻转)下, 由 静态漏电流 引起的功耗。

亚阈值漏电  $I_{SUB}$  占比最大。即使  $V_{GS} < V_T$ , 源漏间仍存在由载流子扩散运动形成的微弱电流。  
栅极漏电  $I_{GSD}, I_{GDS}$  源自氧化层极薄, 载流子通过 量子隧穿效应 穿过绝缘层形成的电流。  
 $I_{LEAK}$  源/漏扩散区与衬底间 PN 结反偏电流, 包含带隙隧穿(BTBT)成分。

● 核心影响因素: 阈值电压  $V_T$  (指数级影响, 后面的效应都是影响这个因素)、 温度、 电源电压  $V_{DD}$ 。

体效应 ● 定义: 又称 偏置效应。当源极电位高于衬底电位( $V_{SB} > 0$ )时, 流耗尽层电荷增加, 导致开启晶体管所需的阈值电压  $V_T$  上升。

计算公式  $V'_T = V_T + \gamma(\sqrt{V_{SB}} + 2\phi_F) - \sqrt{2\phi_F}$   
参数说明  $\gamma$  为偏置效应系数, 与氧化层电容  $C_{ox}$  和衬底掺杂浓度  $N_A$  有关。  
结论 在堆叠结构中, 由于  $V_x > 0$  导致  $V_{SB} > 0$ , 使  $V_T$  增大, 从而有效减小漏电流。

DIBL 效应 ● 定义: 漏端感应势垒降低效应。当  $V_{DS}$  较高时, 漏端电场渗透至源端降低势垒高度, 导致电子易注入沟道, 从而降低阈值电压。

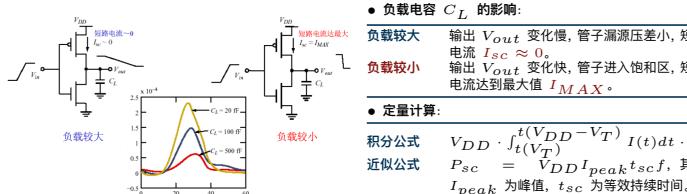
公式  $V'_{T0} = V_{T0} - \eta V_{DS}$  即  $V_{DS}$  越大, 有效  $V_T$  越低, 漏电流越大。  
堆叠关联 堆叠结构中上方管  $V_{DS}$  减小 ( $V_{DD} \rightarrow V_{DD} - V_x$ ), 使  $V_T$  保持较高, 抑制漏电。  
严重后果 若  $V_{DS}$  过大可能产生源漏穿通(Punch-through), 电流不再受栅压控制。

高阈值器件位置 阈值电压高的晶体管放在外层(远离输出端), 其它堆叠管的源端电位更高。

堆叠效应(降低静态功耗的手段) ● 定义: 当两个或多个晶体管串联(堆叠)且同时截止时, 其总漏电流显著小于单管截止时的漏电流。

● 物理模型: 在堆叠结构中, 中间节点  $x$  会由微小漏电流充电达到稳态电压  $V_x > 0$ 。亚阈值电流公式:

$$I = I_{ds0} e^{\frac{V_{gs} - V_{th}}{nkT/q}} (1 - e^{\frac{-V_{ds}}{kT/q}})$$



#### 负载电容 $C_L$ 的影响:

负载较大 输出  $V_{out}$  变化慢, 管子漏源压差小, 短路电流  $I_{sd} \approx 0$ 。  
负载较小 输出  $V_{out}$  变化快, 管子进入饱和区, 短路电流达到最大值  $I_{MAX}$ 。

#### 定量计算:

$$\text{积分公式 } V_{DD} \cdot \int_0^{t(V_{DD} - V_T)} I(t) dt \cdot f$$

$$\text{近似公式 } P_{sc} = \frac{V_{DD} \cdot I_{peak} \cdot t_{sc}}{V_{DD} - V_T}$$

$I_{peak}$  为峰值,  $t_{sc}$  为有效持续时间。

#### 核心物理机制:

##### 负 $V_{GS}$ 体效应

对于上管 M1,  $V_{GS1} = 0 - V_x = -V_x$ 。由于亚阈值电流随  $V_{GS}$  呈指数下降, 负的栅源电压极大地抑制了漏电流。源极电位  $V_x$  升高导致  $V_{SB} > 0$ 。根据体效应, M1 的阈值电压  $V_T$  升高, 进一步减小漏电流。  
漏源电压  $V_{DS1} = V_{DD} - V_x$  减小, 削弱了漏致势垒降低效应(DIBL), 使  $V_T$  相对保持在较高水平。

#### 习题解析

课堂练习 ● 例题 1: 当逻辑门电容以外部负载电容为主时, 尺寸放大 2 倍以减小延时, 其平均功耗变为 2 倍, 一次翻转能耗变为 1 倍。

#### 能耗分析

一次翻转能耗  $E = \frac{1}{2} C_{total} V_{DD}^2$ 。因  $C_{load}$  占据主导且保持不变,  $C_{total} \approx C_{load}$ , 故首次翻转做功总量不变。

#### 功耗分析

平均功耗  $P \propto f \cdot I$ 。尺寸放大 2 倍使驱动电流  $I$  变为 2 倍, 单位时间内从电源汲取的能量(功率)随之变为 2 倍。

#### 延时分析

传播延时  $t_p \propto \frac{C_{total} V_{DD}}{I}$ 。由于  $C_{total}$  近似不变而  $I$  翻倍, 延时  $t_p$  缩小为原来的 1/2。

$PDP = P_{avg} \cdot t_p = (2P) \times (0.5t_p) = E$ 。功耗延时积(即能耗)在尺寸放大后保持一致。

#### PDP 验证

● 例题 2: 已知  $C_{ext}/C_{g1} = 4$ , 调节  $V_{DD}$  使总延时  $D \leq D(f = 1, V_{DD\_nom})$ , 求  $f = 1.2$  与  $f = 1.4$  谁的最优能耗更低?  
● 延时计算分析:

单级延时  $d = p + g \cdot h$ , 反相器  $p = 1, g = 1$   
第一级 负载  $4C_{g1}$ , 输入  $C_{g1} \Rightarrow h_1 = f, d_1 = 1 + f$   
第二级 负载  $4C_{g1}$ , 输入  $fC_{g1} \Rightarrow h_2 = 4/f, d_2 = 1 + 4/f$

#### 延时模型

总延时  $D = d_1 + d_2 = (1 + f) + (1 + 4/f) = 2 + f + 4/f$  (单位  $t_p$ )

基准约束  $D \leq 1$ , 时  $D_0 = 2 + 1 + 4 = 7t_p$ 。此为设计必须满足的延时上限

$D(1.2) = 2 + 1.2 + 3.33 = 6.53t_p$ ;  $D(1.4) = 2 + 1.4 + 2.86 = 6.26t_p$

● 电压缩放原理: 延时  $t_p \propto \frac{V_{DD}}{(V_{DD} - V_t)^{\alpha}}$ , 降低  $V_{DD}$  会使电路变慢, 能耗  $E \propto C V_{DD}^2$ , 降低  $V_{DD}$  显著降低能耗。

● 优化策略: 若电路速度快于设计要求, 可通过降低  $V_{DD}$  牺牲速度冗余来换取能耗下降。

● 分析: 由于  $D(1.4) = 6.26$  且  $D(1.2) = 6.53$ , 两者均小于基准  $D_0 = 7$ 。 $f = 1.4$  方案的速度冗余更大, 意味着其电源电压  $V_{DD}$  具有更大的下降空间。

● 结论:  $f = 1.4$  的最优能耗更低。根据  $E \propto V_{DD}^2$ , 允许电压降幅越大, 最终能耗越小。

#### 作业题

#### 第四章 数字集成电路的鲁棒性

信号完整性 ● 定义: 信号在传播过程中保持原始形状的能力。本质是研究数字信号的模拟特性(即电压或电流随时间变化的波形物理退化)。

幅度 电压电平是否足够高(逻辑 1)或足够低(逻辑 0), 防止因衰减导致识别错误。  
时序 信号边缘跳变是否在预定窗口内到达, 防止延迟或抖动导致时序违例。

● 判定标准: 信号必须以要求的时序和要求的电压幅度到达接收端。

● 工程目标: 研究电路在存在噪声的情况下如何保持正确的功能。

噪声模型 ● 数学模型:  $V_{no} = f(V_{ni}) + g(V_{ngate})$ 。

输入噪声 前一级输出噪声成为当前级输入。  
路噪 路噪包含电源噪声和耦合噪声(如串扰等)。  
输出噪声 上述所有噪声在输出的总和。

● 信号再生: 为防止噪声在多级传输中积累淹没信号, 数字电路必须具备将受到的信号恢复至标准电平的能力。

● 信号再生性: 当第一级输入偏离额定电平时, 后面各级仍能恢复其正确值。

● 反相器链: 观察  $V_0 \rightarrow V_1 \rightarrow V_2 \dots$  的瞬态响应:

输入  $V_0$  波形质量差, 边缘缓且电平有偏差。  
中间  $V_1$  波形反相, 但仍存在跨变。

恢复  $V_2$  波形变得陡峭, 电平接近理想值。

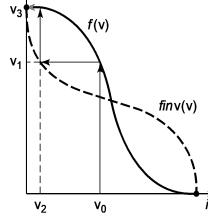
● 再生性(Regenerative):

定义 当第一级输入偏离额定电平时, 后面各级仍能恢复其正确值。  
本质 具备去噪与阈值判决能力, 将输出拉回标准  $V_{DD}$  或  $GND$ 。

#### 噪声容限

开关阈值与单级噪声容限 ● 物理意义: 若噪声使输入进入高增益过渡区, 输出将产生逻辑错误。 $V_{IH}$  需高于  $V_M$  一定程度,  $V_{IL}$  需低于  $V_M$  一定程度。

#### out



#### ● VTC 曲线与再生性:

再生性 过渡区陡峭 ( $|Gain| > 1$ ), 输入偏差经  $f(v)$  映射后收敛至稳态(Rail-to-Rail)。

不可再生 过渡区平缓, 输入偏差无法修正, 甚至因多次迭代发散或停留在中间态。

#### ● 关键概念:

开关阈值  $V_M$   $V_{in} = V_{out}$  的交点。逻辑判断的中间分界点, 电路处于亚稳态。

斜率 = -1 声容容限的边界判定标准。界定逻辑稳态区(增益 < 1)与过渡区。

单级噪声容限 输入最大偏差不能超过  $(V_{OH} - V_M)$  和  $(V_M - V_{OL})$ 。

#### 第五章 互连线与互联技术

##### 互连线模型

互连线模型 互连线的电气特性建模, 重点在于从物理结构到电路模型的抽象, 以及对寄生电容特别是对地电容的精确计算。

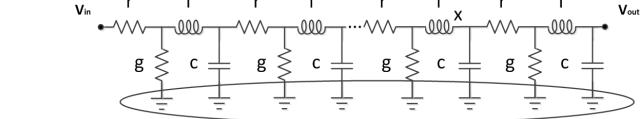
● 分布参数模型: 基于物理结构抽象出的电路模型。

寄生电阻  $R$  代表导线自身电阻。由于有限电导率和横截面积, 电流流过时产生压降和功耗。  
寄生电感  $L$  代表导线自感, 高频下变化的电流产生磁场并感应出电动势, 影响信号完整性。  
寄生电容  $C$  分为两类:

1. 对地/衬底电容: 导线与底部半导体衬底(GND)间形成的电容。
2. 线间电容: 相邻导线间因电位差形成的耦合电容(Coupling)。

#### 互连线的寄生效应

下图展示了互连线在物理上最完整的电气模型, 称为 传输线模型。



寄生电容 寄生电容主要包括对地电容和线间电容:

● 对地电容: 单根导线与下方衬底(交流地)间的电容。  
平行板模型 假设仅存在垂直均匀电场。 $C_{pp} = (\epsilon_d / t_d) W L$   
其中  $L, W$  为长宽,  $t_d$  为厚度。  
边缘电容 考虑导线厚度  $H$ , 侧壁发出的边缘场形成的附加电容  $C_{fringe}$ 。  
总对地电容  $C_{wire} = C_{pp} + C_{fringe}$ 。

● 几何比例影响: 大  $W/H$  时  $C_{pp}$  主导; 小  $W/H$  (窄高导线) 时边缘场效应显著,  $C_{fringe}$  占主要部分。

● “三明治”结构模型: 关注 Layer n 的中间导线(受害线)及其周围物理环境。  
垂直环境 Layer n+1 (上层金属板/布线层) 与 Layer n-1 (下层金属板/衬底)。  
水平环境 Layer n 与同层左右两侧的相邻导线。

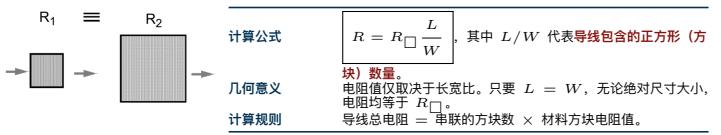
● 电容量分解 受害导线(Victim Wire)的寄生电容可分解为:  
底板电容  $C_{bot}$  导线底面与下层间的平行板电容, 主要由介质厚度  $t_1$  决定。  
顶板电容  $C_{top}$  导线顶面与上层间的平行板电容, 主要由介质厚度  $t_2$  决定。  
侧壁电容  $C_{adj}$  与同层左右相邻导线间的耦合电容, 由间距  $S$  和导线厚度  $h$  决定。

● 总对地电容计算: 前提: 若周围导线均连接至固定电位(即视为交流地)。

计算公式  $C_{total} = C_{top} + C_{bot} + 2 \times C_{adj}$   
设计意义 定义了该节点驱动的总电容负载, 对计算互连线延时和功耗至关重要。

寄生电阻 ● 物理电阻公式: 基于电阻定律:  $R = \rho L / A = \rho \cdot L / (W \cdot V)$ 。其中  $\rho$  为电阻率,  $H$  为导线厚度,  $W$  为宽度,  $L$  为长度。

● 方块电阻: 在集成电路中, 厚度  $H$  由工艺固定。定义  $R_{\square} = \rho / H$  (单位:  $\Omega/\square$ )。



● **典型材料特性:** 反映了不同层导电性能的巨大差异:

金属 (Al, Cu)  $0.05\Omega/\square$ . 极低, 适合长距离信号传输。  
多晶硅 (Poly)  $10 \sim 15\Omega/\square$ . 较高, 常用于短距离连接或栅极。  
扩散区 (Diff)  $20 \sim 30\Omega/\square$ . 最高, 主要存在于有源区。

**接触电阻** (了解即可) ● 定义: 层与层之间的电气连接 (接触孔和通孔) 引入的额外电阻。

**物理结构** 多层金属或金属与半导体体间的垂直连接。  
**设计原则** 应尽可能减少接触孔和通孔的数量, 以降低压降和信号延迟。

● 尺寸与电阻关系:

**基本规律** 接触电阻与接触面积成反比, 理论上增大尺寸可减小电阻。  
**物理局限** 受限于**电流集聚效应**, 单纯增大单个孔径效率较低。

● **电流集聚效应:**

**现象描述** 电流从高导电率层流入高电阻率层时, 流分布不均匀。  
**分布特征** 电流集中在接触孔的**周边**, 中心区域电流密度极小。  
**后果** 中心面积未被充分利用, 大尺寸接触孔的电阻效率很低。

● **工程解决方案:**

**核心结论** 采用多个小尺寸接触孔并联以减小接触电阻。

**原理解析** 利用并联电阻公式  $R_{total} = R/n$  降低总阻值, 并通过增加总周边长度减轻集聚效应, 使电流分布更均匀。

**寄生电感** ● 计算原理: 利用电磁场理论中电感与电容的内在物理联系, 通过已知的电容参数来推导电感参数。

**L-C 耦合关系** 对于处于均匀介质中的传输线, 单位长度电容  $c$  与电感  $l$  满足:  
 $c = \epsilon \mu$

**参数解析**  $\epsilon$  为介电常数,  $\mu$  为磁导率。

**物理意义** 在均匀介质中, 一旦计算出寄生电容  $c$ , 即可直接推导出寄生电感  $l$ , 无需进行复杂的磁场分布计算。

● **电磁波传播速度:** 信号 (电磁波) 在互连线中的传播速度  $v$  由  $l$  和  $c$  决定:

**基础公式**  $v = 1/\sqrt{lc}$

**介质参数表示**  $v = 1/\sqrt{\epsilon \mu}$

**相对参数表示**  $v = c_0/\sqrt{\epsilon_r \mu_r}$ , 其中  $c_0$  为真光速,  $\epsilon_r$  为相对介电常数,  $\mu_r$  为相对磁导率。

**核心结论** 互连线中的信号传播速度主要受**周围绝缘介质的材料特性** ( $\epsilon_r$ ) 限制。

● **忽略电感的前提:** 集成电路芯片内部导线寄生电感通常极小, 可忽略。

**物理机制** 在低速或高阻抗电路中,  $R$  和  $C$  效应占主导, 感抗  $j\omega L$  远小于电阻  $R$ 。

**建模提示** 通常将导线建模为 **RC** 电路而不是 **RLC** 电路。

● **考虑电感的必要条件:** 必须引入电感建模的两个关键条件:

**低电阻** 使用铜 (Cu) 等低阻阻塞金属且导线截面较大, 使电阻  $R$  降低, 感抗占比提升。

**高开关频率** 感抗  $X_L = 2\pi fL$  与频率成正比。高频率下即使  $L$  很小, 感抗也会显著影响性能。

● **寄生电感引发的电路现象:** 高频电路中由电感主导的负面效应:

**振荡** RLC 二阶阶跃响应特征。若阻尼不足, 电压会在稳定值附近谐振摆动。

**过冲** 伴随振荡产生, 电压瞬时超过  $V_{DD}$  或低于  $GND$ , 可能导致击穿或误触发。

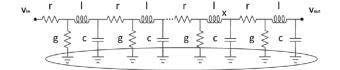
**信号反射** 高频下视为传输线。若特性阻抗  $Z_0 = \sqrt{L/C}$  与端点不匹配, 信号在终端反射。

**线间互感** 相邻导线间的磁场耦合产生感应电动势 (互感), 是产生串扰的磁性分量 (对应容性串扰)。

**集总模型** ● 适用条件: 导线很短, 其自身寄生电感  $r$

远小于驱动门的输出电容, 且高频电感  $l$  在高频下的阻抗

可忽略。



**物理特性** 导线可被视为一个等电位体 (理想导线)。

$$\tau = RC = rcl^2$$

**延时计算**  $\tau = RC = rcl^2$ 。  
**参数说明**  $r, c$ : 单位长度的电阻和电容 (Unit length parameters)。

**模型简化** 整根导线被简化为一个**单一的集总电容**, 作用为驱动门的负载。

## 长导线的延时优化

### 第六章 组合逻辑

#### 静态互补 CMOS 逻辑

##### 有比逻辑

##### 传输门逻辑

##### CPL 逻辑

##### 动态逻辑

##### 串联动态门

## 动态逻辑的速度和功耗

### 第七章 时序逻辑

#### 双稳态原理

#### 锁存器

#### 主从边沿触发寄存器

#### 时钟偏差和时钟抖动

### 第八章 加法器

#### 二进制加法器

#### 进位选择加法器

#### 进位旁路加法器

#### 超前进位加法器

### 第九章 乘法器

#### 二进制乘法器 (有、无符号)

#### 部分积产生 (部分积压缩, Booth 编码)

#### 部分积累加

#### 逐位进位阵列乘法器

#### 进位保留乘法器

#### 最终相加

### 第十章 移位器

#### 移位器设计

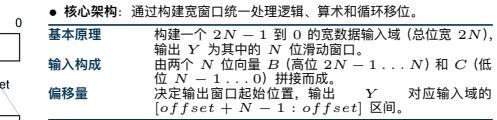
● 移位种类: 三种常见的数字逻辑移位操作:

**逻辑移位** 空位统一填充值 0。常用于无符号数乘除 (左移  $\times 2$ , 右移  $\div 2$ ) 或位操作。  
**算术移位** 针对带符号数。右移需进行**符号扩展** (MSB 保持不变, 空位补符号位); 左移通常低位补 0, 需注意溢出。

**循环移位** 数据视为环形, 移出的位置重新填入另一端空位, 不丢失信息。

#### 漏斗型移位器

只介绍了移位的实现方法, 并未介绍其具体电路结构。



● 操作映射表: 设定原始  $N$  位数据为  $A$ , 移位量为  $k$ :

Table 10.10 Funnel shifter operation			
Shift Type	B	C	Offset
Logical Right	0..0	$A_{N-1} \dots A_0$	k
Logical Left	$A_{N-1} \dots A_0$	0..0	$N-k$
Arithmetic Right	$A_{N-1} \dots A_{N-1}$	$A_{N-1} \dots A_0$	k
Arithmetic Left	$A_{N-1} \dots A_0$	0	$N-k$
Rotate Right	$A_{N-1} \dots A_0$	$A_{N-1} \dots A_0$	k
Rotate Left	$A_{N-1} \dots A_0$	$A_{N-1} \dots A_0$	$N-k$

**逻辑右移** 配置  $B = 0, C = A$ , Offset =  $k$ , 高位滑入  $B$  区域的 0, 实现高位补 0。  
**逻辑左移** 配置  $B = A, C = 0$ , Offset =  $N - k$ 。从高位“回退”截取, 低位引入  $C$  中的 0。  
**算术右移** 配置  $B = A_{N-1} \dots A_{N-1}$  (符号位),  $C = A$ , Offset =  $k$ , 高位填充符号位。  
**算术左移** 配置  $B = A, C = 0$ , Offset =  $N - k$ 。通路同逻辑左移, 区别在于溢出判断。  
**循环右移** 配置  $B = A, C = A$ , Offset =  $k$ ;  $[A, A]$  结构使移出的低位在高位出现。  
**循环左移** 配置  $B = A, C = A$ , Offset =  $N - k$ , 利用偏移量实现反向的循环移动。

● 核心逻辑: 漏斗型移位器本质是“截取”结构, 通过调整  $B, C$  内容与  $N - k$  偏移量将左移转化为右移截取。

● 一位左右移位器 这个感觉像是学生根据自己学习传输管逻辑的理解设计出来的, 从设计的角度来看稍显稚嫩, 了解即可。



● 输出缓冲: NMOS 传输管逻辑存在高电平阈值损失 (输出最高为  $V_{DD} - V_{th}$ ), 需接缓冲器进行**电平恢复**并提供驱动能力。

**桶型移位器** ● 系统架构: 定义输入  $A$  ( $A_3 \dots A_0$ ), 输出  $B$  ( $B_3 \dots B_0$ ), 控制信号  $Sh$  ( $Sh_0 \dots Sh_3$ )。信号最多通过一个传输门, 理论上移位延时不依赖于移位器的大小和移位位数。

MOS 管阵列的行数等于数据的字长, 列数等于可支持的移位数。

**独热编码** 控制线采用 One-hot 编码, 仅一根为高电平, 表示移位位数。

**物理结构** 由 NMOS 传输管构成的  $4 \times 4$  交叉开关阵列。

● 算术右移实现: 核心要求是空出的高位用**符号位**  $A_3$  填充 (符号扩展)。  
 $B_3 B_2 B_1 B_0 = A_3 A_2 A_1 A_0 \gg Sh_3 Sh_2 Sh_1 Sh_0$

$Sh_0$  (不移位)  $A_3 \rightarrow B_3, A_2 \rightarrow B_2, A_1 \rightarrow B_1, A_0 \rightarrow B_0$ 。  
 $Sh_1$  (右移 1 位)  $A_3 \rightarrow B_2, A_2 \rightarrow B_1, A_1 \rightarrow B_0$ , 且  $B_3 = A_3$ 。  
 $Sh_2$  (右移 2 位)  $A_3 \rightarrow B_1, A_2 \rightarrow B_0$ , 且  $B_3 = B_2 = A_3$ 。  
 $Sh_3$  (右移 3 位)  $A_3 \rightarrow B_0$ , 且  $B_3 = B_2 = B_1 = A_3$ 。

**对数移位器** ● 核心设计理念: 采用分级控制, 将总移位值分解为二进制权重的组合。

**二进制分解** 移位量  $K$  基于“**2 的指指数**”( $2^k$ ) 进行分解。每级硬件只负责移动固定的  $2^k$  位。

**级联结构** 级联多个移位级, 每一级由  $Sh_k$  控制。若  $Sh_k$  有效则移位, 否则信号直通。

● 电路结构分析: 以 0-7 位对数移位器为例:

第一级 控制信号  $Sh_1$ , 负责右移  $2^0 = 1$  位。

第二级 控制信号  $Sh_2$ , 负责右移  $2^1 = 2$  位。

第三级 控制信号  $Sh_4$ , 负责右移  $2^4 = 4$  位。

输出缓冲 最后一级经过 Buffer 输出最终结果  $B_3, B_2, B_1, B_0$ 。

● 移位范围: 对于  $N$  位数据, 通常级联  $\log_2 N$  级。图中三级结构支持最大  $1 + 2 + 4 = 7$  位的移位量, 适用于大范围移位场景。

**对数移位器原理与特性** ● 单元逻辑: 本质为并行的 2 选 1 多路复用器 (2-to-1 MUX)。

结构 每一级节点由两个 NMOS 传输管组成: 一个负责直通路径, 一个负责移位路径。

控制逻辑 每一级根据二进制控制位决定是“直通”还是“跳跃” $2^k$  位。

● 性能分析与设计权衡:

速度与移位宽度  $M$  呈对数关系, 即具有  $\log_2 M$  级延迟。

RC 延时 信号必须穿过每一级传输管, 串联电容导致  $RC$  延时随级数累积。

优化手段 在级联之间插入**中间缓冲器 (Buffer)**, 以打断长  $RC$  链并恢复信号驱动能力。

控制编码 无需译码器, 控制信号直接对应二进制权值 (如移位 3 位即  $Sh1 = 1, Sh2 = 1, Sh4 = 0$ )。

● 适用场景对比:

**桶型移位器** 适用于**较小位宽**。仅一级传输管延迟, 速度极快, 但面积代价随位宽增加迅速上升。

**对数移位器** 适用于**大位宽** (如 64 位以上)。结构易于参数化和 EDA 自动生成, 面积效率更高。

**习题解析**

作业题 ● 作业 6-2: 画出一个支持循环右移的 4-bit 桶型移位器的电路结构图

这里牢王应该是这个让移位器只支持循环移位, 桶型移位器就像 Mask ROM 一样, 设好就改不了了。

## 第十一章 MOS 存储器

### MOS 存储器分类

#### 存储器结构

#### 存储体

#### 地址译码器

#### 读写控制及输入输出电路

### Mask ROM

### SRAM

### DRAM

## 第十二章 Verilog 硬件设计

### 组合逻辑

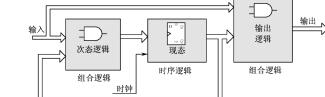
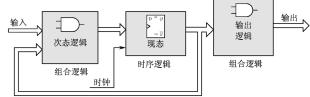
### 时序逻辑

**状态机** ● 基本组成: 状态机由三个核心模块构成:

次态逻辑 模块。负责根据“输入”和“现态”计算出下一个时钟周期应该跳转到的“次态”。

存储模块 (通常由 DFF 构成)。负责存储“现态”, 在时钟边沿到来时, 将“次态”更新为新的“现态”。

组合逻辑模块。负责产生系统的最终“输出”。



- 摩尔型 (Moore) 状态机：输出仅取决于 **现态**。

信号流向	输入 信号 与 反馈的“现态”共同决定“次态”，“时序逻辑”在时钟驱动下更新“现态”。
核心特征	输出逻辑的输入仅来自于寄存器的输出 $Q$ 端（即现态）。
同步特性	输出严格同步于状态变化。输入信号的改变必须先触发状态翻转，才能传递至输出。
工程意义	输出通常比输入滞后一个周期，但具有良好的 <b>抗毛刺 (Glitch)</b> 能力。

- 米里型 (Mealy) 状态机：输出由 **现态与输入** 共同决定。

信号流向	次态逻辑与时序逻辑部分与 Moore 型基本一致。
关键特征	输出逻辑模块同时接收来自寄存器的“现态”与直接来自外部的“输入”信号。
响应特性	输出可对输入变化做出 <b>异步响应</b> 。在同一时钟周期内，输入改变输出即可随之改变，无需等待时钟边沿。
工程对比	实现相同功能时状态数通常较少，响应速度更快；但输入端的噪声或毛刺容易直接传递至输出端。

**状态机设计描述方式** ● 核心概念：根据现态 (CS)、次态 (NS) 和输出逻辑 (OL) 在 `always` 块中的分配，分为三种经典描述方式：

- 1. 三段式 (Three-process): 将三个逻辑环节完全解耦，与硬件框图一一对应。

现态 (CS)  
次态 (NS)  
输出逻辑 (OL)  
优点

时序逻辑 `always` 块，由时钟驱动更新状态寄存器。  
组合逻辑 `always` 块，根据输入和 CS 计算 NS。  
独立组合逻辑 `always` 块，描述输出信号。  
结构最清晰，可读性最高，利于综合工具进行时序分析和优化。

- 2. 两段式 (Two-process): 将逻辑环节进行合并，是工业界常用的写法。

策略一：(CS+NS) + 第一个过程块描述现态更新与次态计算；第二个描述输出。

(OL) 策略二：(CS) + 第一个过程块描述寄存器更新；第二个合并次态与输出逻辑。

特性  
明确分离了时序逻辑与组合逻辑，但需注意复杂 OL 可能导致关键路径过长。

- 3. 一段式 (Single-process): 将 CS, NS, OL 全部放入同一个时序 `always` 块中。

实现方式  
输出特性  
局限性

通常基于时钟边沿触发，代码量最少，结构简洁。  
输出信号被综合为**寄存器输出** (Registered Output)，天然无毛刺。  
输出信号会比状态变化滞后一个时钟周期；复杂 Mealy 机描述臃肿。

**三段式状态机** 这里放一个基于三段式描述的有限状态机 (FSM) 设计实例，具体功能为“101 序列检测器”。

