E組-大學類可程式邏輯設計

初賽時間為3月23日(三) **8:30~20:30**，初賽當日請密切注意IC競賽網頁與CIC網頁，所有最新訊息將於網頁上公告。請參賽隊伍於**早上10點半前**完成下列步驟進行初賽登錄，主辦單位將依完成此步驟之隊伍數決定各組最後得獎名額，請務必完成登錄動作，以免影響您的權益。

※請參賽者將作品在今天20:30前上傳至FTP。

[請將您的隊伍參賽資料E-mail至 icdesign\_e@yuntech.edu.tw](mailto:請將您的隊伍參賽資料E-mail至 icdesign_e@yuntech.edu.tw)

* 信件內容格式如下:

**參賽組別：E組-大學類可程式邏輯設計**

**參賽編號：(例：50001)**

**參賽姓名：張三、李四**

* 信件標題請標示為「**IC設計競賽初賽資料登錄**」

※初賽之注意事項請參閱競賽手冊

**2011 IC Design Contest Preliminary**

大學類可程式邏輯設計設計

1. **問題描述**

請完成一影像顯示控制(Image Display Control)電路設計。此控制電路，可依指定之操控指令，使顯示端的影像進行影像平均(Average)、X軸及Y軸鏡像(Mirror )與水平及垂直方向的平移(Shift)功能。本控制電路有5只信號輸入(cmd、cmd\_valid、IROM\_Q、clk、reset)及7只信號輸出(IROM\_EN、IROM\_A、IRB\_RW、IRB\_D、IRB\_A、busy、done)，關於各輸入輸出信號的功能說明，請參考表一。

每個參賽隊伍必須根據下一節所給的設計規格完成設計。參賽隊伍可藉由CIC 所提供的輸入指令及正確結果檔來檢查設計是否有達到要求，詳情請參考附錄B。

本次IC 設計競賽比賽時間為上午08:30 到下午08:30。當IC 設計競賽結束後，CIC 會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄D 中所列的要求，附上評分所需要的檔案。

1. **設計規格**
   1. **系統方塊圖**



圖一、系統方塊圖

* 1. **輸出/輸入介面**

表一、輸入/輸出訊號

|  |  |  |  |
| --- | --- | --- | --- |
| 信號名稱 | 輸出/入 | 位元寬度 | 說明 |
| *reset* | input | 1 | 高位準非同步(active high asynchronous)之系統重置信號。  說明:本信號應於系統啟動時送出。 |
| *clk* | input | 1 | 時脈信號。  說明:此系統為同步於時脈正緣(posedge)之同步設計。 |
| *cmd* | input | 3 | 指令輸入信號。  說明:本控制器共有八種指令輸入，相關指令說明請參考表二。指令輸入只有在cmd\_valid為high及busy為low時為有效指令 |
| *cmd\_valid* | input | 1 | 指令輸入控制訊號。  說明:當本信號為high時表示cmd指令為有效指令輸入。 |
| *IROM\_Q* | input | 8 | Image ROM八位元資料輸出埠。 |
| *IROM\_A* | output | 6 | IROM六位元位址信號。 |
| *IROM\_EN* | output | 1 | IROM致能控制訊號。  說明:當本信號為low時，表示是將啟動IROM進行讀取；信號為high時，表示將關閉IROM。 |
| *busy* | output | 1 | 系統忙碌訊號。  說明:當本信號為high時，表示此控制器正在執行現行指令(current)，而無法接受其他新的指令輸入 |
| *done* | output | 1 | 當控制器完成寫入IRB時，將done設為high表示完成。 |
| *IRB\_A* | output | 6 | IRB六位元位址信號。 |
| *IRB\_D* | output | 8 | IRB八位元資料輸入埠。 |
| *IRB\_RW* | output | 1 | IRB讀寫控制訊號。  說明:當本信號為low時，表示是將啟動IRB進行寫入；信號為high時，表示是將IRB進行讀取。 |

1. **Image ROM(IROM)與Image Register Bank(IRB)規格描述**

本試題使用到兩個記憶體模組，一為唯讀記憶體(ROM)格式，另一為單埠Register file格式。Image ROM(IROM)模組的記憶體寬度為8位元，而記憶體深度為64個word；Image Register Bank(IRB)模組的記憶體寬度為8位元，而記憶體深度也為64個word (如圖二所示)。



圖二、IROM及IRB記憶體結構圖

1. **系統功能描述**

當reset結束後，影像顯示控制器將從IROM讀取一張8x8大小的影像資料存到控制器內部緩衝區進行處理。影像顯示控制器必須處理使用者輸入之指令，從中計算顯示工作視窗原點座標(origin)，依輸入之指令進行影像平均化、平移以及鏡像等功能。當執行到Write指令時，控制器會將處理完的影像資料寫入IRB (如圖三所示)。圖三之範例表示自reset後起始點(4,4)經過二次上移、一次左移後，進行一次Mirror Y指令，然後用Write指令寫到IRB之示意圖。



圖三、功能描述範例示意圖(Mirror Y)

1. **輸入與輸出端之影像及參數規範**

[影像輸入]

主辦單位將提供輸入端影像資料存至IROM。此影像為8x8共64筆測試樣本，每筆樣本為8位元資料。參賽者必須由IROM讀取影像資料，並且依左而右、由上而下存至影像控制電路的影像緩衝區(image buffer)中(如圖四所示資料，輸入的順序為 0、1、2、3、4、5、6、7、8、9、a、b、c、d、e、f、10、…、3d、3e、3f)。註:下圖僅為示範，詳細輸入影像值未必如下圖四所示。



圖四、IROM記憶體資料與影像資料位置對映圖

[影像輸出]

影像處理器所處理過的影像資料尺寸為8x8，共64筆資料，每筆資料長度為8位元。影像處理器處理完的資料，會依由左而右、由上而下，依序寫入IRB內，完成影像輸出之動作(如圖五所示)。設計電路時亦可先將處理過的資料放在緩衝區中，等處理完再寫入IRB內。

註: 以下僅為圖例示範，詳細輸入影像值未必如下圖五所示。



圖五、IRB記憶體資料與影像資料位置對映圖

[影像座標系統]

本控制電路所處理之影像大小為8x8點座標，本試題定義影像之座標軸如下：輸入端影像之水平方向為X軸，以向右為正向，座標範圍為0~+8；垂直方向為Y軸，以向下為正向，座標範圍為0~+8；座標原點(0,0)位於左上角(如圖六所示)。

[工作視窗及工作視窗原點座標]

工作視窗為一2x2大小的方塊，當控制電路收到平均化、鏡像等指令時，即指對目前工作區的2x2方塊內像素進行平均化、鏡像等影像處理。

工作視窗原點座標(origin)指工作視窗在影像座標系統上的位置，以工作視窗中心點在影像座標系統上的的位置代表(如圖六所示)。為確保進行影像處理時工作區不超出影像邊界，因此限制工作視窗原點座標之X軸與Y軸範圍最大為+1~+7。參賽者須根據此座標軸，進行顯示端的畫面，進行顯示端的畫面平移(Shift)功能設計。隨著處理Shift平移指令，工作視窗原點座標會隨著作更新。

註: 本試題定義當Reset後，影像讀入控制器後工作視窗原點座標為(4, 4)，如下圖六所示。



圖六、輸入端影像參考座標

1. **影像顯示控制器功能規範**

[指令定義]

影像控制器電路控制指令。輸入指令(cmd)所對應之功能如表二所示。

表二、控制指令定義

|  |  |
| --- | --- |
| cmd編號 | 控制指令說明 |
| 0 | Write |
| 1 | Shift Up |
| 2 | Shift Down |
| 3 | Shift Left |
| 4 | Shift Right |
| 5 | Average |
| 6 | Mirror X |
| 7 | Mirror Y |

* + - * 寫入(Write)
        + 當執行寫入(Write)指令時，控制器會依由左而右、由上而下將影像資料寫入IRB。
      * 畫面上移(Shift Up)
        + 上移工作視窗區塊。執行此Shift Up模式，將使原點的Y減少1，但Y軸座標最小不可低於1。
        + 當Y座標等於1時，倘若再收到上移指令，則Y軸座標將仍維持為1，僅重覆執行和現行指令前相同之功能。
      * 畫面下移(Shift Down)
        + 下移工作視窗區塊。執行此Shift Down模式，將使原點的Y軸增加1，但Y軸座標最大不可大於6。
        + 當Y座標等於6時，倘若再收到下移指令，則Y軸座標將仍維持為6，僅重覆執行和現行指令前相同之功能。
      * 畫面左移(Shift Left)
        + 左移工作視窗區塊。執行此Shift Left模式，將使原點的X軸刪減1，但X軸座標最小不可低於1。
        + 當X座標等於1時，倘若再收到左移指令，則X軸座標將仍維持為1，僅重覆執行和現行指令前相同之功能。
      * 畫面右移(Shift Right)
        + 右移工作視窗區塊。執行此Shift Right模式，將使原點的X軸增加1，但X軸座標最小不可大於6。
        + 當X座標等於6時，倘若再收到右移指令，則X軸座標將仍維持為6，僅重覆執行和現行指令前相同之功能。
      * 影像資料平均(Average)
        + 本試題定義，當執行平均(Average)指令時，將對目前工作視窗之影像資料取近似平均數之計算，即將目前工作視窗所對應的4筆影像資料相加之後再除以4，當有小數點時則以無條件捨去法處理(例如(a+b+12+13)/4=14.5，即輸出14)，輸出資料4筆皆取計算後之近似平均數，並將處理過資料寫回影像緩衝區內覆蓋在原始影像資料上(如圖七所示)。



圖七、取近似平均數影像輸出

* + - * 影像資料X軸鏡像(Mirror X)
        + 本試題定義，當執行X軸鏡像(Mirror X)指令時，將目前工作視窗之影像資料對X軸翻轉，並將處理過資料寫回影像緩衝區內覆蓋在原始影像資料上(如圖八所示)。



圖八、X軸鏡像資料影像輸出

* + - * 影像資料Y軸鏡像(Mirror Y)
        + 本試題定義，當執行Y軸鏡像(Mirror Y)指令時，將目前工作視窗之影像資料皆以目前座標對Y軸翻轉，並將處理過資料寫回影像緩衝區內覆蓋在原始影像資料上(如圖九所示)。



圖九、Y軸鏡像資料影像輸出

1. **影像顯示控制器架構範例**

以下為影像控制器電路方塊圖，僅供參賽者作為設計之參考，參賽者亦可自行發揮創意。



圖十、影像顯示控制器電路設計之參考方塊圖

1. **時序規格圖**
   * + - 重置(Reset)後之時序規格圖，如圖十一所示。
         * 在電路重置(Reset)之後，控制器將會由IROM讀取64筆影像資料。
         * 當IROM\_EN為low時，表示啟動IROM，即可輸入位址信號讀取IROM內的影像資料(圖中\*0代表IROM中位址0中所存放資料，其餘類推)。
         * 在整個處理過程中，busy皆維持為high。並在讀取完成後，將busy設回low以接受新指令輸入。



圖十一、IROM資料讀取之時序規格圖

* + - * 寫入指令(write)之時序規格圖，如下圖十二所示。
        + 執行寫入指令時控制器會將緩衝區中的資料(即處理完的影像資料)寫入IRB。
        + 當IRB\_RW為high時，表示對IRB寫入，即可輸入位址信號將影像資料寫入IRB。(圖中#0代表要寫入IRB中位址0中的資料，其餘類推)
        + 在整個處理過程中，busy皆維持為high。並在輸出完成後，將busy設回low以接受新指令輸入。
        + 自Reset後done信號設為low，直到執行「寫入指令」寫入完成後，才將done信號設為high，表示寫入完成。此時testbench會拿IRB的資料與golden pattern比對。



圖十二、IRB寫入指令之時序規格圖

* + - * 其他控制指令(average、shift up、shift down、shift left、shift right)之時序規格圖，如圖十三所示。
        + 在整個處理過程中，busy皆維持為high。並在輸出完成後，將busy設回low以接受新指令輸入。



圖十三、其他控制指令之時序規格圖

1. **時序規格圖**

本次FPGA組初賽主要由Mentor Graphics公司Modelsim進行RTL模擬來進行評分，唯各參賽者所設計之影像顯示控制電路必須可分別在FPGA開發工具進行電路合成。請各參賽者依使用Altera或是Xilinx FPGA開發工具之不同，選擇如下的元件及對應之FPGA發展工具進行設計編譯。請參賽者注意，***本試題第三節所述的評分標準中，關於元件資源使用率(usage ratio)及設計效能，或選用不同之FPGA開發工具，並不會影響本競賽初賽的評分!! 且各位參賽者需在report file中填寫所使用之合成器為Quartus II或是ISE***。本次競賽所使用之FPGA開發環境軟體版本以附錄A中所指定為標準。

表三、Altera組元件指定

|  |  |
| --- | --- |
| Altera | |
| Target Family | Cyclone II |
| Target Device | EP2C35 |
| Target Package | FBGA |
| Pin count | 672 |
| Target Speed | 6 |

表四、Xilinx組元件指定

|  |  |
| --- | --- |
| Xilinx | |
| Target Family | Spartan 3 |
| Target Device | XC3S1500 |
| Target Package | FG (FBGA) |
| Pin count | 676 |
| Target Speed | -4 |

1. **評分標準**

主辦單位的評分人員將依照參賽者提供之設計電路進行RTL simulation，以驗證設計正確性，並且依據設計檔上傳至CIC FTP檔案伺服器(請參閱附錄D)的時間來進行排名。各參賽隊伍應於規定的系統時脈下，確保電路可合成且滿足功能驗證(functional verification)，並完全通過CIC所提供的測試樣本為準。

CIC將本試題依RTL simulation及電路合成結果區分為下面3個等級，以作為功能完成度之評分；若為同一等級則以檔案上傳時間(即作答時間的長短)來評分：

1. A等級：影像顯示控制電路的RTL simulation通過測試樣本一及測試樣本二 (tb1 & tb2)之功能驗證，且影像顯示控制電路為可合成
2. B等級：影像顯示控制電路的RTL simulation通過測試樣本一(tb1)之功能驗證，且影像顯示控制電路為可合成
3. C等級：影像顯示控制電路的RTL simulation對測試樣本一及測試樣本二 (tb1 & tb2)結果均fail

請注意，我們將以各參賽隊伍的設計結果正確為前提，並以最後上傳檔案的時間為依據。一旦設計經評審驗證後，完成同一等級者，上傳時間越早，其所得到的分數就越高。建議每完成一個等級就先將設計檔案內容上傳，主辦單位將根據設計內容的完成度給予記分。審查成績將另擇期通知。

***附錄***

在附錄A中說明本次競賽之軟體環境；附錄B為主辦單位所提供各參賽者的設計檔說明；附錄C 為評分用檔案，亦即參賽者必須回傳至CIC 的檔案資料；附錄D則為設計檔上傳步驟說明。

***附錄A 軟體環境***

競賽中所提供的設計軟體環境與版本如下表五。驗證評分時，係以所列軟體及版本作為驗證依據。

表五、設計軟體版本

|  |  |
| --- | --- |
| **Functionality** | **Corresponding EDA tools** |
| Design Entry | VHDL/Verilog |
| FPGA Synthesizer | Mentor Graphics Precision RTL v2010a |
| FPGA Simulator | Mentor Graphics ModelSim 6.6d SE |
| FPGA tools | Altera Quartus II v10.1 or Xilinx ISE v12.3i |

其中ModelSim、Precision RTL為輔助性工具，並不強制各參賽單位使用。各隊伍可以利用上述EDA軟體工具來檢查自己設計的正確性及設計是否可合成，也可直接使用FPGA廠商的發展軟體(如Altera Quartus II或是Xilinx ISE)中內建的編輯功能來完成這些動作，這些並不會影響評分的進行(請參考本試題卷第3節之評分標準說明)。**主辦單位是以(1)ModelSim模擬結果及(2)電路是否可在ISE/Quartus II中合成作為評分的依據**。

如參賽手冊中刊載主辦單位，採用之ModelSim為CIC提供學術界申請使用的Mentor Graphics公司發行之正式版，有支援Verilog/VHDL混合模擬的功能，若參賽者使用自行由Altera/Xilinx公司下載之OEM版ModelSim而無法順利用主辦單位提供的verilog testbench進行模擬者，不在主辦單位負責範圍內。

***附錄B 設計檔案說明***

1. 以下表六為主辦單位所提供各參賽者的設計檔案

表六、設計檔

|  |  |
| --- | --- |
| **檔名** | **說明** |
| tb .v | 測試樣本檔(testbench)。此測試樣本檔定義了時脈週期與測試樣本之輸入信號，module名稱為tb |
| ctrl.v (ctrl.vhd) | 參賽者影像顯示控制器ctrl的設計檔範本，已包含系統輸/出入埠之宣告 |
| IROM.v | ROM模擬檔 (simulation model) |
| IRB.v | Register Bank模擬檔 (simulation model) |
| tb1\_RB1\_ini.dat | 測試樣本一之RB1輸入檔案 (initializing file) |
| tb1\_RB2\_ref.dat | 測試樣本一之RB2比對檔 (reference file) |
| tb2\_RB1\_ini.dat | 測試樣本二之RB1輸入檔案 (initializing file) |
| tb2\_RB2\_ref.dat | 測試樣本二之RB2比對檔 (reference file) |
| report\_000.txt | 結果報告範本 |

1. 請使用***ctrl.v(.vhd)***，進行影像顯示控制電路之設計。其模組名稱、輸出/入埠宣告如下列範本所示︰

// Verilog user: ctrl.v

module ctrl(clk, rst, cmd, cmd\_valid, IROM\_Q, IROM\_A, IROM\_EN, busy, done, IRB\_A, IRB\_D, IRB\_RW);

input clk, rst;

input [2:0] cmd;

input cmd\_valid;

input [7:0] IROM\_Q;

output [5:0] IROM\_A;

output IROM\_EN, busy, done;

output [5:0] IRB\_A;

output [7:0] IRB\_D;

output IRB\_RW;

endmodule

-- VHDL user: ctrl.vhd

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity ctrl is Port (

clk : in STD\_LOGIC;

rst : in STD\_LOGIC;

cmd : in STD\_LOGIC\_VECTOR (2 downto 0);

cmd\_valid : in STD\_LOGIC;

IROM\_Q : in STD\_LOGIC\_VECTOR (7 downto 0);

IROM\_A : out STD\_LOGIC\_VECTOR (5 downto 0);

IROM\_EN : out STD\_LOGIC;

busy : out STD\_LOGIC;

done : out STD\_LOGIC;

IRB\_A : out STD\_LOGIC\_VECTOR (5 downto 0);

IRB\_D : out STD\_LOGIC\_VECTOR (7 downto 0);

IRB\_RW : out STD\_LOGIC);

end ctrl;

architecture ctrl\_arc of ctrl is

begin

end ctrl\_arc;

1. 比賽共提供兩組測試樣本。請自行修改tb.v內容，來決定模擬時使用那一組測試樣本。tb.v內容第一行：  
     
   `define tb1  
     
   表示使用第一組測試樣本。若要使用第二組測試樣本，請將上面這行修改為：  
     
   `define tb2
2. 比賽共提供兩組測試樣本，參賽者可依下面範例來進行模擬:
   * FPGA組使用modelsim進行模擬，在compile verilog時，使用下面指令：

**vlog verilog\_filename.v**

* + FPGA組使用modelsim進行模擬，在compile VHDL時使用下面指令：  
      
    **vcom VHDL\_filename.vhd**
  + 關於模擬時使用的一些記憶體模型，因已經以include方式加在tb.v裏，所以不需加在模擬指令裏。即對tb.v進行compile時，IROM.v及IRB.v即自動跟著一起compile。
  + 若RTL模擬時，為了確保足夠的可視範圍(visibility)，可在載入時加上「-novopt」參數以關閉最佳化功能，其參考指令語法如下(work為工作library之名稱，tb為測試樣本的module name):  
      
    **vsim –novopt work.tb**
  + 提醒VHDL的使用者，如同參賽手冊所載明：比賽時使用CIC提供之Mentor Graphics公司的正式版ModelSim。該版本之ModelSim有支援Mix-language (即整個系統中混用Verilog及VHDL作設計)的模擬功能，為保持測試樣本之一致性，故未再提供VHDL版的測試樣本與memory simulation model，但並無妨礙。參賽者只要掌握「對設計中的.v檔用vlog作compile」、「對設計中的.vhd檔用vcom作compile」、「最後在載入模擬時，不分verilog或VHDL，一律用vsim –novopt work.tb指令」的基本原則即可，細節請自行參考ModelSim使用手冊。若參賽者未詳閱參賽手冊之說明並遵行之，而使用自行下載之其它版本ModelSim軟體(如Altera或Xilinx公司提供的OEM版ModelSim)，致使比賽時設計環境出問題造成不便，請自行負責。

附錄 C 評分用檔案

如表七所示，評分所需檔案可分為三部份：(1)RTL design，即各參賽隊伍對該次競賽設計的RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用到的各module檔放進來，以免評審進行評分時，無法進行編譯；(2)Post-layout gate-level netlist，即由FPGA發展軟體所產生的Post-layout gate-level netlist，以及對應的SDF檔(Altera組為\*.vo、\*\_v.sdo檔或\*.vho、\*\_vhd.sdo檔，Xilinx組為\*\_timesim.v、\*\_timesim.vhd及\*\_timesim.sdf檔)；(3)report file，參賽隊伍必須依照自己的設計內容，撰寫report\_xxx.txt檔，以方便主辦單位進行評分，report\_xxx.txt的格式如圖十二所示。(report檔以後三碼序號表示版本，首次繳交為report\_001.txt。若繳交檔案更新版本，則新版的report檔檔名為report\_002.txt，依此類推)。**請注意，**本次初賽之電路設計並未開放使用FPGA廠商之IP(如Altera之Megafunction Wizard及Xilinx之Core Generator)，**若參賽者之設計中有使用到Altera的Megafunction/Xilinx的Co-gen & Architecture IP的話，將不予計分。**

表七、評分用檔案

|  |  |
| --- | --- |
| Result\_xxx directory | |
| RTL category | |
| File format | Description |
| \*.v or \*.vhd | Verilog (or VHDL) synthesizable RTL code |
| Post-Layout Gate-Level category | |
| File format | Description |
| \*.vo, \*.vho, \*.sdo  (\*.v, \*.vhd, \*.sdf) | Verilog/VHDL post-layout gate-level netlist generated by FPGA Development Tool, and SDF file |
| Report category | |
| File format | Description |
| Report\_xxx.txt | Design report file |

舉例來說，假設參賽隊伍採Verilog設計語言，並以模組化設計將系統切分為fc.v、sub1.v及sub2.v，經FPGA發展軟體(以Quartus II為例)合成後所產生的post-layout gate-level netlist為fc.vo，所產生的SDF檔為fc\_v.sdo，則參賽隊伍須將fc.v、sub1.v、sub2.v、fc.vo、fc\_v.sdo、report\_xxx.txt等檔案確實放置於同一個Result\_xxx目錄下。其中report\_xxx.txt的內容可參考下面圖十四所示：

隊號(Team number): 60001

--- RTL category---

使用之HDL語言: Verilog

使用之合成器: Quartus II

RTL檔案名稱(RTL filename): fc.v, sub1.v, sub2.v

Post-layout gate-level Netlist: fc.vo, fc\_v.sdo

Report: report\_001.txt (此次為第一次上傳)

-----注意事項(annotation)--------------------------------------------------------

(其餘注意事項依各參賽隊伍的需求填寫，非為必要部份)

fc電路RTL設計檔之Top module為fc，位於fc.v內

圖十四、report\_000.txt的範本

附錄 D 檔案上傳

所有包含於如附錄C中表格所示的檔案，均需要提交至CIC。提交的設計檔案，需要經過壓縮於同一個資料夾下，並為\*.zip或\*.rar格式(建議以\*.zip格式為優先)1。步驟如下:

1. 建立一個result\_xxx資料夾。其中“xxx”表示繳交版本(即第幾次上傳之編號)。例如 “001” 表示為第一次上傳；“002”表示為第二度上傳；003表示為第三度上傳，以此類推…。
2. 參考附錄C評分用檔案，將所有繳交檔案複製到result\_xxx資料夾
3. 參賽者需依據設計內容編輯報告檔案“report\_xxx.txt” (如圖十四所示)，並變更其檔名。例如，設計的最初(第一次上傳)版本，報告檔名應命名為“report\_001.txt”並置於Result\_001資料夾下。倘若參賽者於上傳設計後，若需再變更設計，則需進行第二次上傳以便更新(update)，此時檔名應改為“report\_002.txt”並置於Result\_002資料夾下，再連同設計檔一併壓縮上傳。亦即Result\_xxx與report\_xxx.txt之“xxx”編號需一致。而評審將以***最後上傳的設計檔及報告檔編號進行評分作業***。
4. 確認該提交的檔案均已備妥，即可將Result\_xxx資料夾進行壓縮成\*.zip(或\*.rar)格式，如Result\_xxx.zip(或Result\_xxx.rar)。
5. 待完成壓縮，即可進行FTP上傳 (CIC已於競賽當日的前4天，將FTP的username及password藉電子郵件，寄送到參賽者信箱)。倘若上傳設計檔過程中，有任何問題，請與CIC接洽。

**請注意!!**上傳之FTP需切換為二進制模式(binary mode)，且傳輸埠均設為21 (port:21)。

ftp的帳號和密碼在賽前已用email寄給各參賽者。若有任何問題，請聯絡CIC

FTP site1 (台灣大學)：iccftp.ee.ntu.edu.tw (140.112.20.92)

FTP site2 (新竹晶片中心)：iccftp.cic.org.tw (140.126.24.18)

FTP site3 (南區晶片中心)：iccftp2.cic.org.tw(140.110.117.9)

1. 若你需要繳交更新版本，請重覆以上步驟，並記得修改report檔及壓縮檔的版本編號，因為你無法修改或刪除或覆蓋之前上傳的資料。再次提醒各參賽隊伍，Result\_xxx目錄名稱與report\_xxx.txt報告檔之“xxx”編號需一致，且依各隊伍上傳設計檔之次數進行編號。評審將以最後上傳的設計檔及報告檔編號進行評分作業!!
2. 建議各參賽隊伍，無論是否完成設計，均需上傳設計檔案!

1假如參賽者無任何壓縮軟體，您可以至以下連結，下載壓縮軟體試用版。

1. winzip: <http://www.winzip.com>
2. 7zip: <http://www.7-zip.org/download.html>