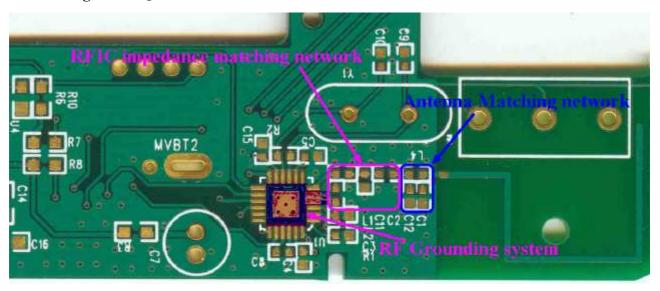


### 義隆電子股份有限公司 Elan Microelectronics Corp.

No. 12, Innovation 1<sup>st</sup> Rd., SBIP, Hsinchu City. Taiwan R.O.C. TEL: +886-3-5639977 FAX: +886-3-5630118

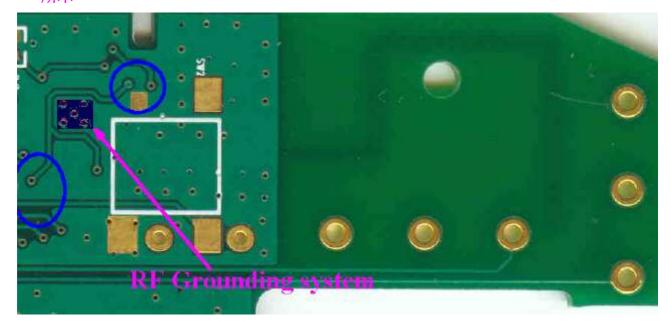
Subject: EM198850AW\_HW design rule

- PCB layout issue
  - Package form QFN24



如上圖所示區分三部份

- 1. 天線匹配電路:由於 PCB 材質及天線式樣的變異及不同因此 PCB Layout 必須預留 Ⅱ型電路以作爲天線阻抗調整,使特性達最佳化 。
- 2. RFIC 阻抗匹配電路: 此匹配電路可使 IC 特性達最佳化
- 3. RFIC Grounding system: 由於 RFIC 感度高位使 IC 特性達最佳化情況下因此接地系統必須列入考慮的主要因素,於 PCB-Top 與 Bottom 間 RFIC-GND 之高頻阻抗 爲 0 之條件下其導通孔(Via)至少 4 個,在 PCB 之 Bottom 的 GND 環路中儘可能的使 RFIC 端與 MCU 系統端的 GND 成一迴路且儘可能的加大使之連成一片,【勿使用較小(細)的走線】以降低 MCU 系統與 RFIC-GND 之高頻阻抗;如下圖蘭色區域所示。

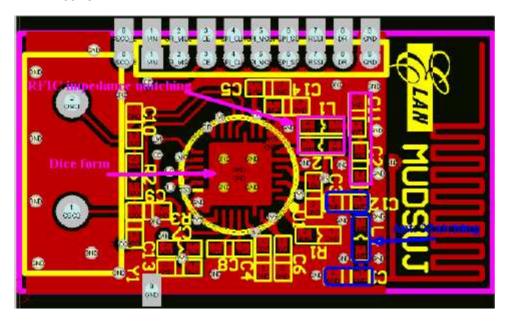




### 義隆電子股份有限公司 Elan Microelectronics Corp.

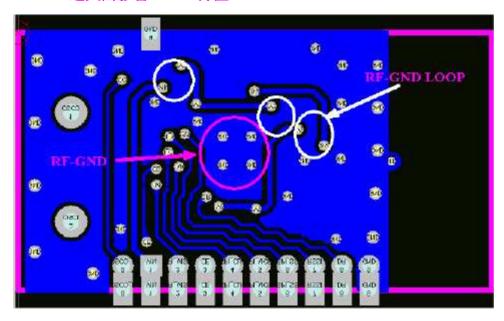
No. 12, Innovation 1<sup>st</sup> Rd., SBIP, Hsinchu City. Taiwan R.O.C. TEL: +886-3-5639977 FAX: +886-3-5630118

#### ■ Dice form



如上圖所示區分三部份

- 1. 天線匹配電路: 由於 PCB 材質及天線式樣的變異及不同因此 PCB Layout 必須 預留Ⅱ型電路以作爲天線阻抗調整,使特性達最佳化。
- 2. RFIC 阻抗匹配電路: 此匹配電路可使 IC 特性達最佳化
- 3. RFIC Grounding system: 由於 RFIC 感度高位使 IC 特性達最佳化情況下因此接地系統必須列入考慮的主要因素,於 PCB-Top 與 Bottom 間 RFIC-GND 之高頻阻抗為 0 之條件下其導通孔(Via)至少 4 個,在 PCB 之 Bottom 的 GND 環路中儘可能的使 RFIC 端與 MCU 系統端的 GND 成一迴路且儘可能的加大使之連成一片,【勿使用較小(細)的走線】以降低 MCU 系統與 RFIC-GND 之高頻阻抗;如下圖白色區域所示。
- 4. Dice form 的地板-Footprint 儘可能的縮短(小)避免過大而使 RF-GND 邦定的線 過長而影響 RFIC 特性。

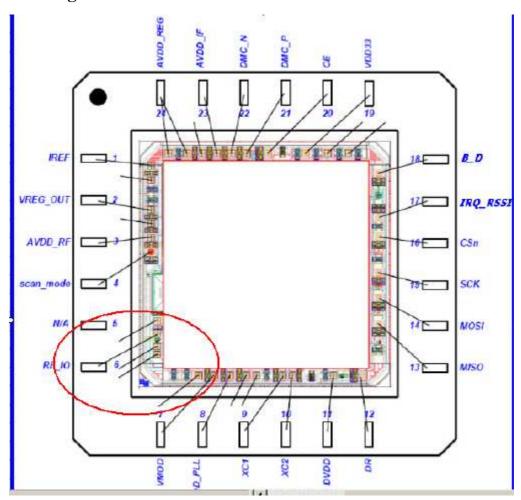




## 義隆電子股份有限公司 Elan Microelectronics Corp.

No. 12, Innovation 1<sup>st</sup> Rd., SBIP, Hsinchu City. Taiwan R.O.C. TEL: +886-3-5639977 FAX: +886-3-5630118

# Bonding for Dice form issue



如上圖紅色區域 共 4 條 RF-GND 的邦定其線長必須小於 700um,而 RF\_IO 也必須儘可能縮短於 1000um 使 RFIC 特性達最佳化狀態