

CS6135 VLSI Physical Design Automation

Homework 1: P&R Tool

112062682 張宇越

- Different Configuration experiment :

Core Utilization	Clock Period	DRC violations	Slack	Chip Area(um^2)	Wire length(um)
0.54	600	0	6.8	47342.28	186028.1
0.55	600	0	7.285	46530.65	189299.8
0.56	600	0	0.194	45758.21	186643.6
0.57	601	0	7.8	44990.98	184709.5
0.58	601	0	5.8	44291.72	188248.3
0.6	581	0	2.2	42877.8	186380.6
0.61	580	0	2.2	42224.99	184996.4
0.62	586	0	1.7	41606.2	185128
0.63	600	0	4.02	40962.1	183900.3
0.64	599	0	2.1	40352.69	180345.2
0.65	584	0	0.7	39775.3	180028
0.66	637	0	0.9	39232.1	179143.1
0.67	588	0	2.1	38664.01	177897.3
0.71	686	0	23.256	36652.08	172620.5

- 提高 core utilization 有助於減少 chip area 和 wire length，但也會影響到 slack 和 clock period 數值的變化。
 - 較高的 clock period，slack 會比較大，容易犧牲部分效能。
- How the adjustments of the clock period and the core utilization affect the metrics ?
 - 我寫了一個 bash 做 apr 的自動化測試，core utilization 的範圍從 0.4 ~0.8，clock period 的範圍從 580~700，若是 slack > 0 且 drc = 0，則輸出結果。
 - 當 utilization 愈高時，clock period 會需要越大，才能達成 slack > 0 且 drc = 0。

- Explain the purpose of inserting well tap cell :
 - 防止 Latch-up 。
 - 穩定電位，避免浮動 Well 。
 - 提供額外的 Power/Ground Contact，降低接觸電阻的機率。
 - 減少 IR Drop，提高電源穩定性，確保元件正常運作。
- Best Result :

Core Utilization	Clock Period	DRC violations	Slack	Chip Area(um^2)	Wire length(um)
0.71	686	0	23.256	36652.08	172620.5

