

同济大学计算机系

数字逻辑课程实验报告



学 号 2252941

姓 名 杨瑞灵

专 业 计算机科学与技术

授课老师 张冬冬

一、实验内容

在本次实验中，我们将使用 Verilog HDL 语言实现数据选择器和数据分配器的设计和仿真，深入了解数据选择器与数据分配器的原理。

使用 logisim 画出数据选择器和数据分配器的逻辑电路。

学习使用 Verilog HDL 语言设计实现数据选择器和数据分配器。

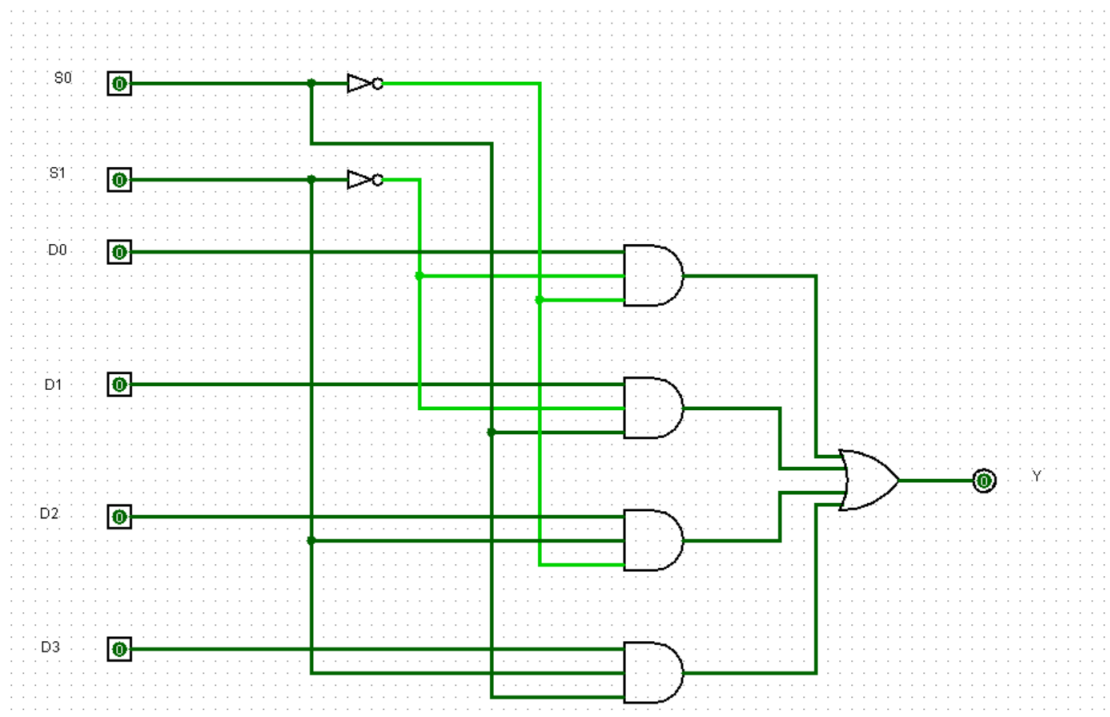
6.2_1: 数据选择器

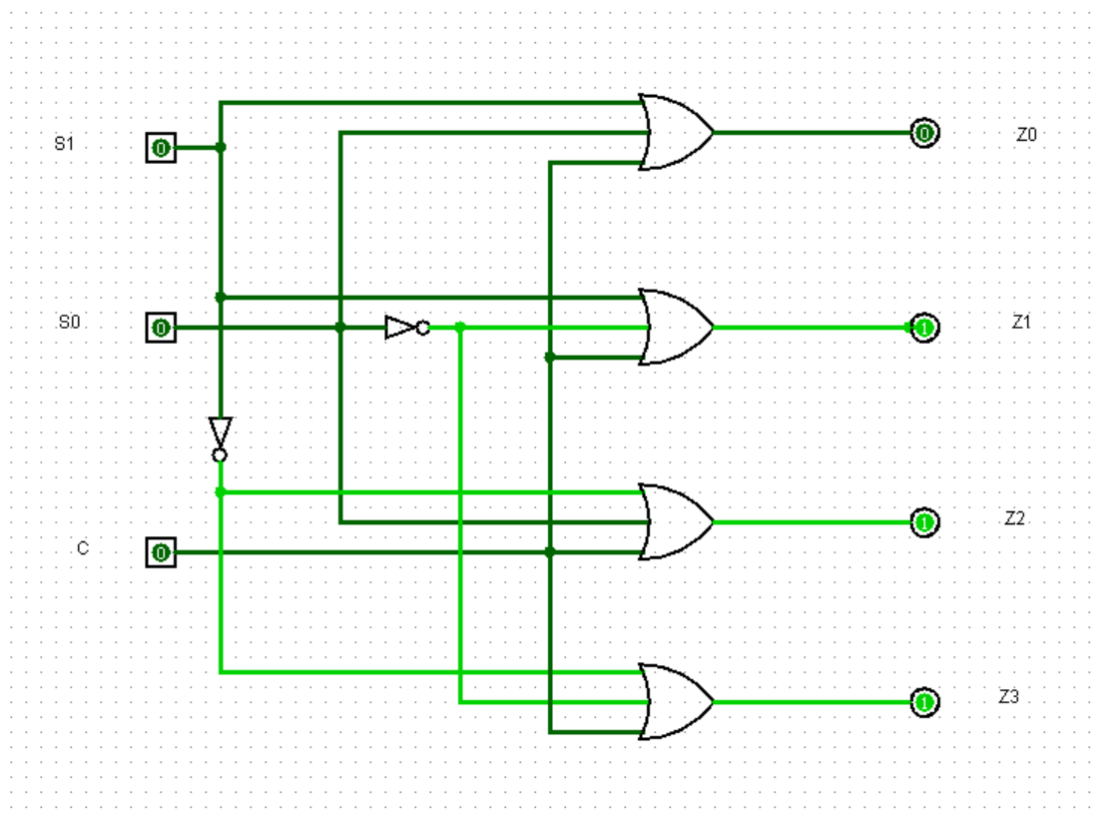
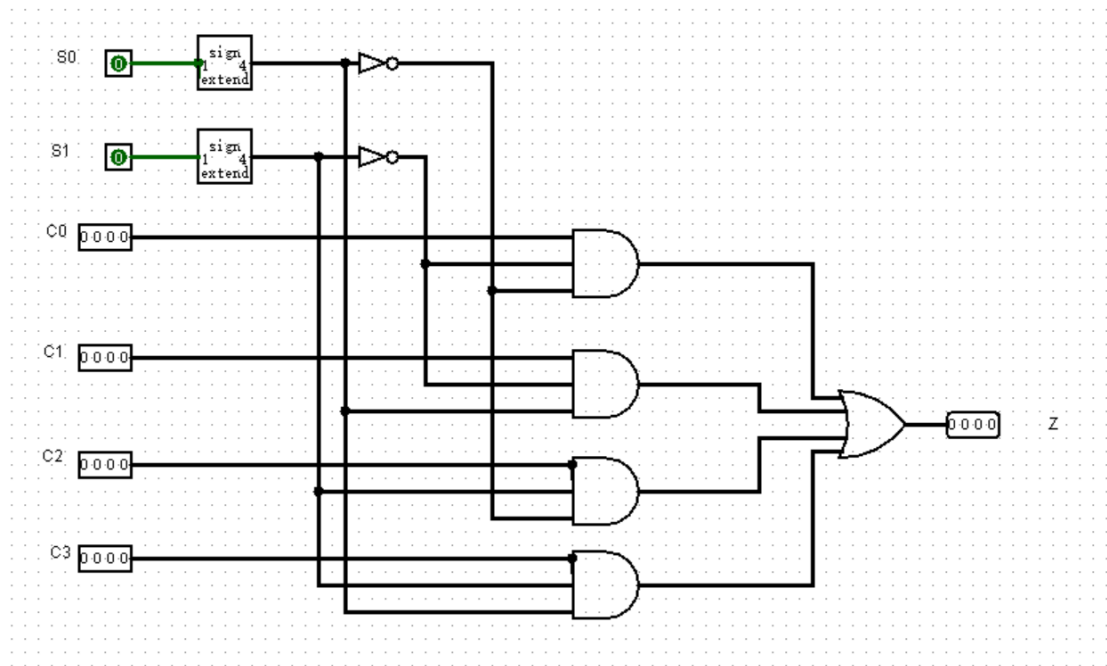
6.2_2: 数据分配器

6.2_3: 数据扩展实验

二、硬件逻辑图

（实验步骤中要求用 logisim 画图的实验，在该部分给出 logisim 原理图，否则该部分在实验报告中不用写）





三、模块建模

（该部分要求对实验中建模的所有模块进行功能描述，并列出各模块建模的verilog 代码）

（1）6.2_1

module selector41(

```

input [3:0] iC0,
input [3:0] iC1,
input [3:0] iC2,
input [3:0] iC3,
input iS1,
input iS0,
output [3:0] oZ
);
assign oZ[0]=(~iS0 && ~iS1)? iC0[0]:
              (iS0 && ~iS1)? iC1[0]:
              (~iS0 && iS1)? iC2[0]:iC3[0];
assign oZ[1]=(~iS0 && ~iS1)? iC0[1]:
              (iS0 && ~iS1)? iC1[1]:
              (~iS0 && iS1)? iC2[1]:iC3[1];
assign oZ[2]=(~iS0 && ~iS1)? iC0[2]:
              (iS0 && ~iS1)? iC1[2]:
              (~iS0 && iS1)? iC2[2]:iC3[2];
assign oZ[3]=(~iS0 && ~iS1)? iC0[3]:
              (iS0 && ~iS1)? iC1[3]:
              (~iS0 && iS1)? iC2[3]:iC3[3];
endmodule

```

(2) 6.2_2

```

module de_selector14(
    input iC,
    input iS1,
    input iS0,
    output oZ0,
    output oZ1,
    output oZ2,
    output oZ3
);
    or(oZ0,iC,iS1,iS0);
    or(oZ1,iC,iS1,~iS0);
    or(oZ2,iC,~iS1,iS0);
    or(oZ3,iC,~iS1,~iS0);

```

endmodule

(3)6.2_3

```

module selector81(
    input iC0,
    input iC1,
    input iC2,

```

```

input iC3,
input iC4,
input iC5,
input iC6,
input iC7,
input iS2,
input iS1,
input iS0,
output oZ
);
assign oZ = (~iS2 && ~iS1 && ~iS0)? iC0:
            (~iS2 && ~iS1 && iS0)? iC1:
            (~iS2 && iS1 && ~iS0)? iC2:
            (~iS2 && iS1 && iS0)? iC3:
            (iS2 && ~iS1 && ~iS0)? iC4:
            (iS2 && ~iS1 && iS0)? iC5:
            (iS2 && iS1 && ~iS0)? iC6:iC7;

endmodule

```

```

module de_selector18(
input iC,
input iS2,
input iS1,
input iS0,
output oZ0,
output oZ1,
output oZ2,
output oZ3,
output oZ4,
output oZ5,
output oZ6,
output oZ7
);
or(oZ0,iS2,iS1,iS0,iC);
or(oZ1,iS2,iS1,~iS0,iC);
or(oZ2,iS2,~iS1,iS0,iC);
or(oZ3,iS2,~iS1,~iS0,iC);
or(oZ4,~iS2,iS1,iS0,iC);
or(oZ5,~iS2,iS1,~iS0,iC);
or(oZ6,~iS2,~iS1,iS0,iC);
or(oZ7,~iS2,~iS1,~iS0,iC);

```

```
endmodule
```

```
module transmission8(
    input [7:0] iData,
    input A,
    input B,
    input C,
    output [7:0] oData
);
    wire t;
    selector81 sel81(iData[0], iData[1],
iData[2],iData[3],iData[4],iData[5],iData[6],iData[7],A,B,C,t);
    de_selector18
deS18(t,A,B,C,oData[0],oData[1],oData[2],oData[3],oData[4],oData[5],oData[6],oData[7]);
endmodule
```

四、测试模块建模

（要求列写各建模模块的 test bench 模块代码）

(1)6.2_1

```
module selector41_tb();
    reg [3:0] iC0;
    reg [3:0] iC1;
    reg [3:0] iC2;
    reg [3:0] iC3;
    reg iS1;
    reg iS0;
    wire [3:0] oZ;
    selector41 sel(iC0,iC1,iC2,iC3,iS1,iS0,oZ);
    initial
    begin
        iS0 <= 0;
        iS1 <= 0;
        #40 iS0 <= 1;
        iS1 <= 0;
        #40 iS0 <= 0;
        iS1 <= 1;
        #40 iS0 <= 1;
        iS1 <= 1;
    end
end
```

```

initial
begin
    iC0 <= 4'b0001;
    iC1 <= 4'b0010;
    iC2 <= 4'b0011;
    iC3 <= 4'b0100;
end
endmodule

```

```

(2)6.2_2
module de_selector14_tb();
reg iC,iS1,iS0;
wire oZ0,oZ1,oZ2,oZ3;
de_selector14 ds(iC,iS1,iS0,oZ0,oZ1,oZ2,oZ3);
initial
begin
    iC=0;
    iS1<=0;iS0<=0;
    #50 iS1<=0;iS0<=1;
    #50 iS1<=1;iS0<=0;
    #50 iS1<=1;iS0<=1;
end
endmodule

```

```

(3)6.2_3
module transmission8_tb();
reg [7:0] iData;
reg A;
reg B;
reg C;
wire [7:0] oData;
transmission8 tr8(iData,A,B,C,oData);
always
begin
    #25 iData<=8'b0000_0000;
    #25 iData<=8'b1111_1111;
end
initial
begin
    #25 A<=0;B<=0;C<=0;
    #50 A<=0;B<=0;C<=1;
    #50 A<=0;B<=1;C<=0;
    #50 A<=0;B<=1;C<=1;
end
endmodule

```

```

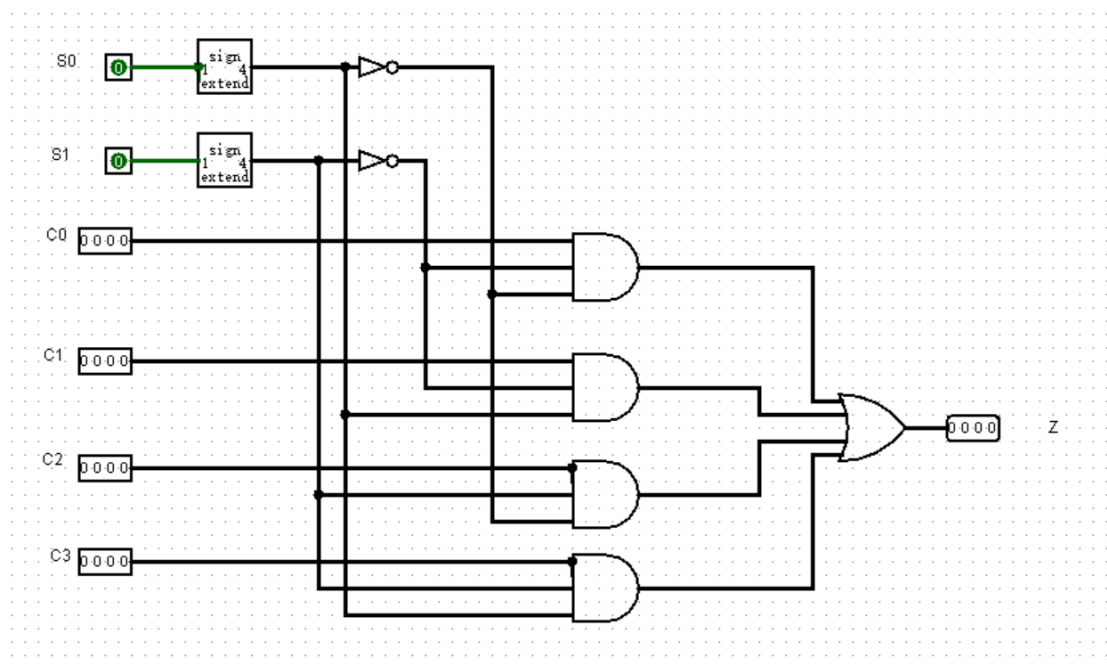
#50 A<=1;B<=0;C<=0;
#50 A<=1;B<=0;C<=1;
#50 A<=1;B<=1;C<=0;
#50 A<=1;B<=1;C<=1;
end
endmodule

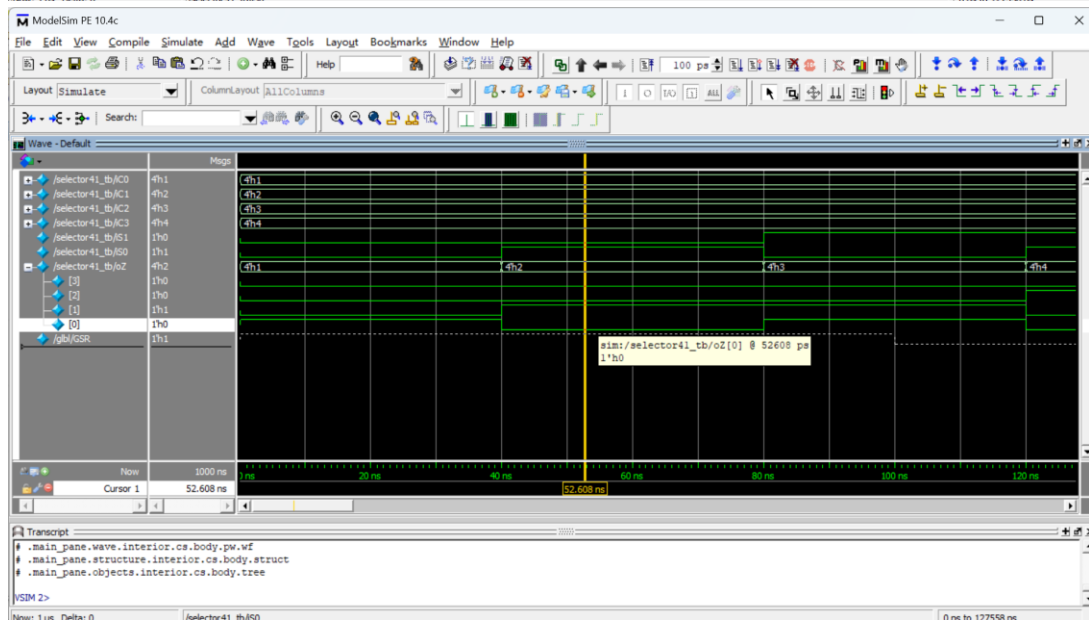
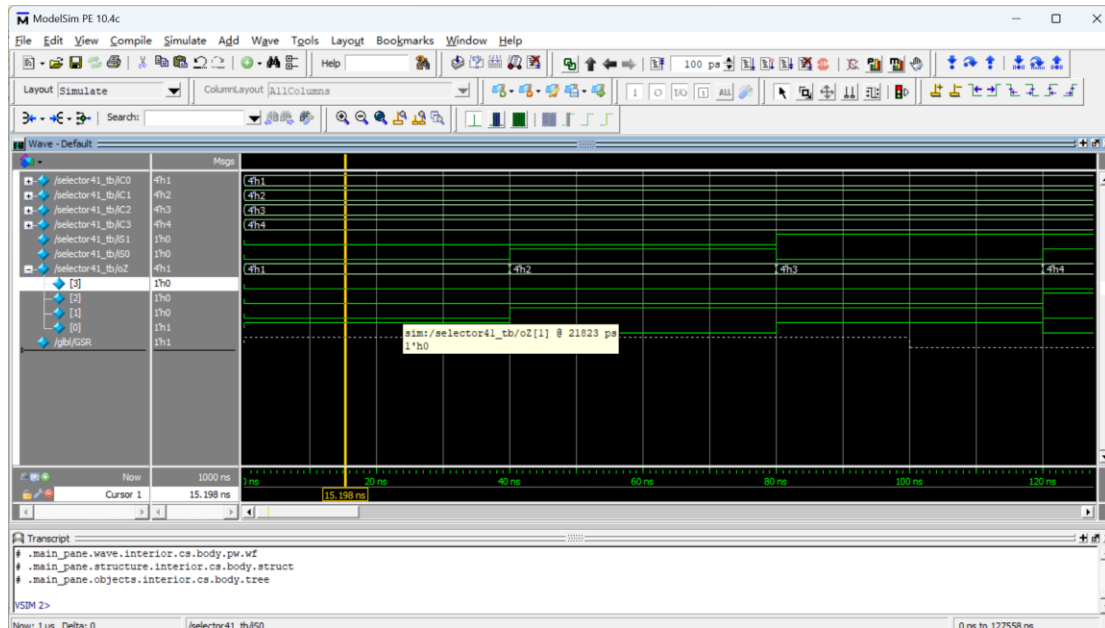
```

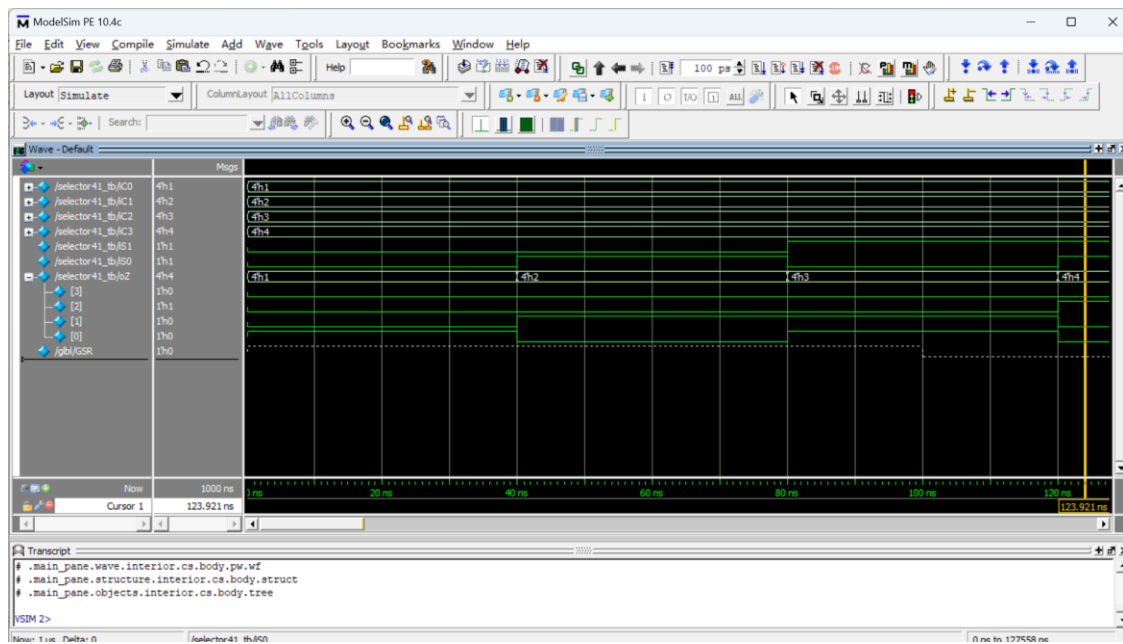
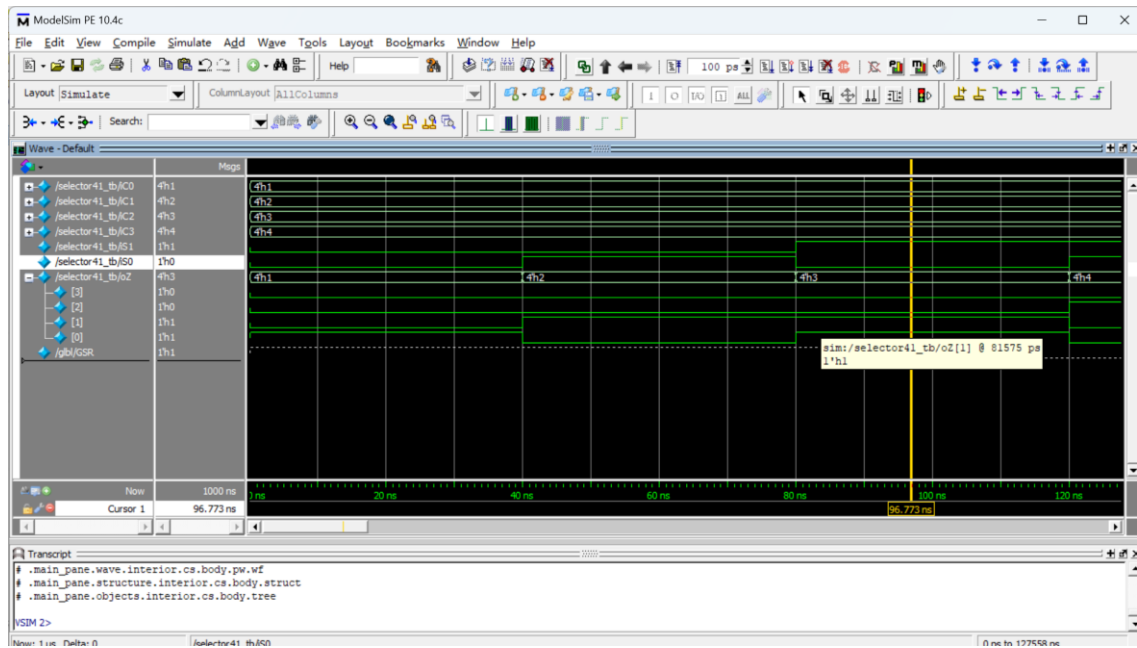
五、实验结果

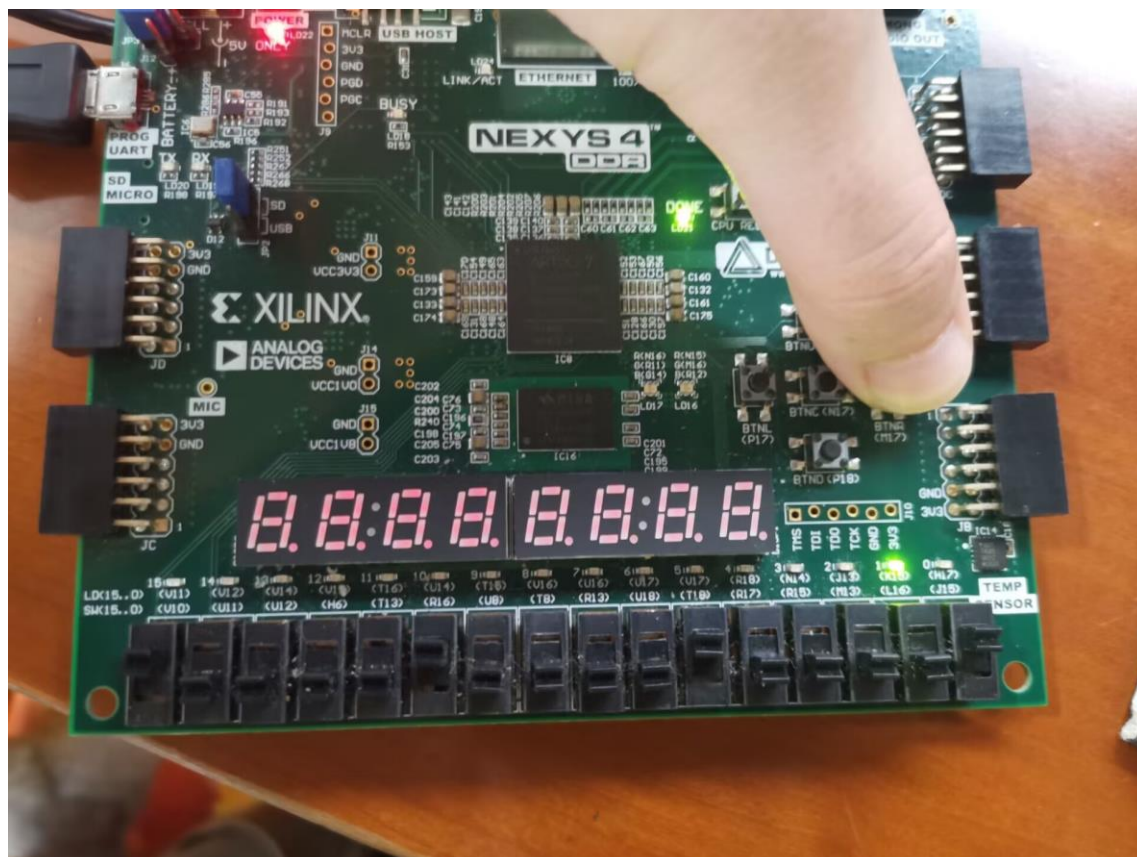
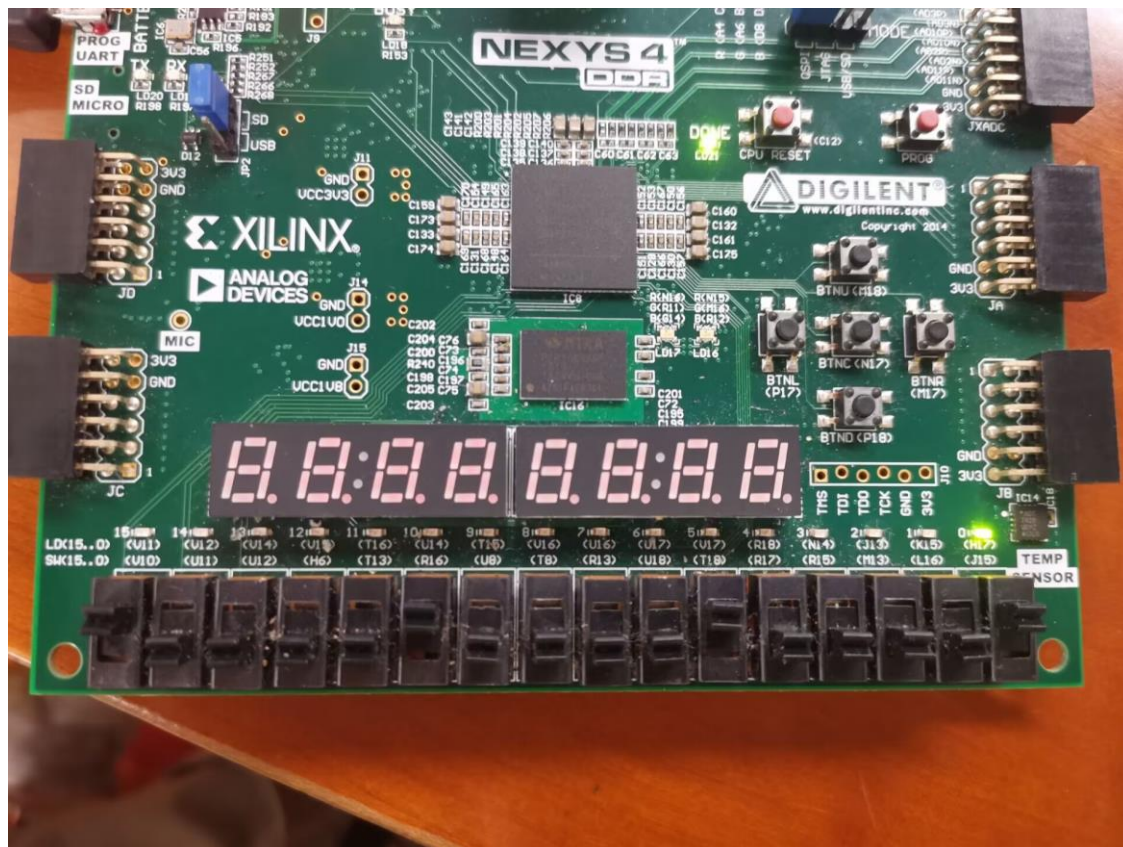
（该部分可截图说明，要求 logisim 逻辑验证图、modelsim 仿真波形图、以及下板后的实验结果贴图（实验步骤中没有下板要求的实验，不需要下板贴图））

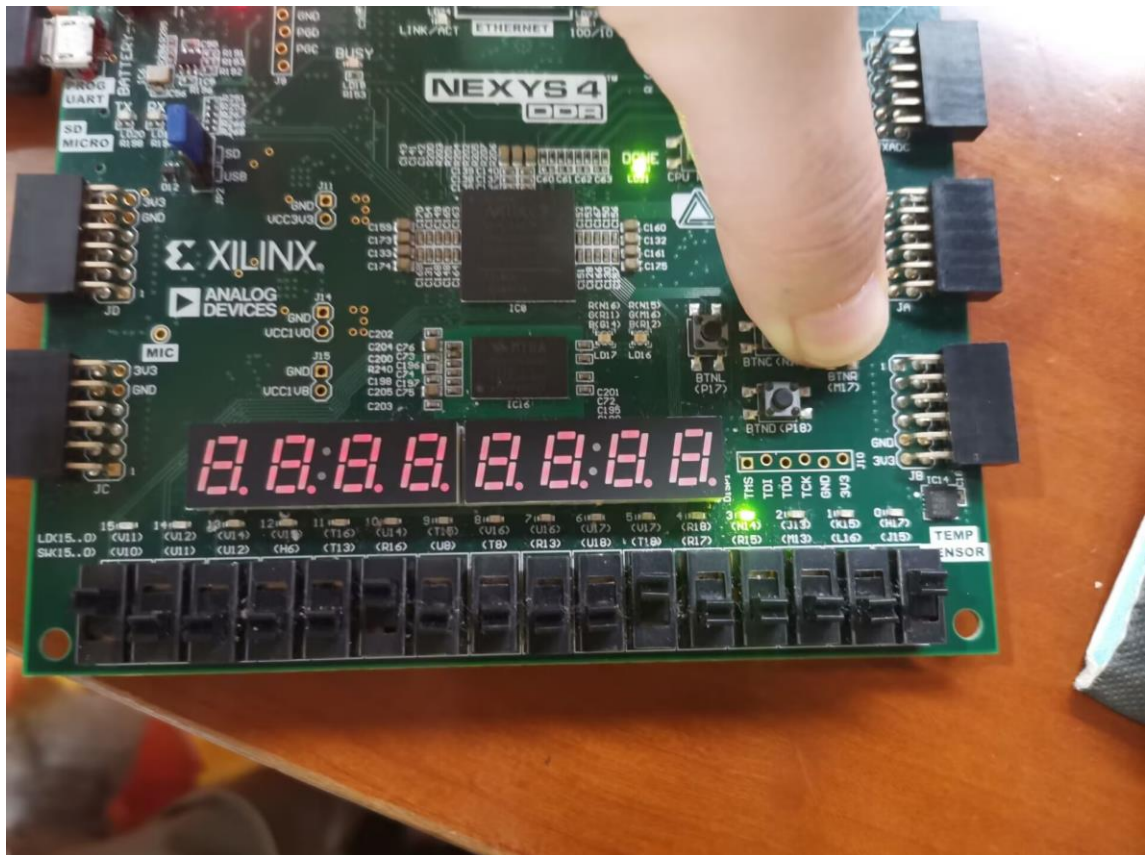
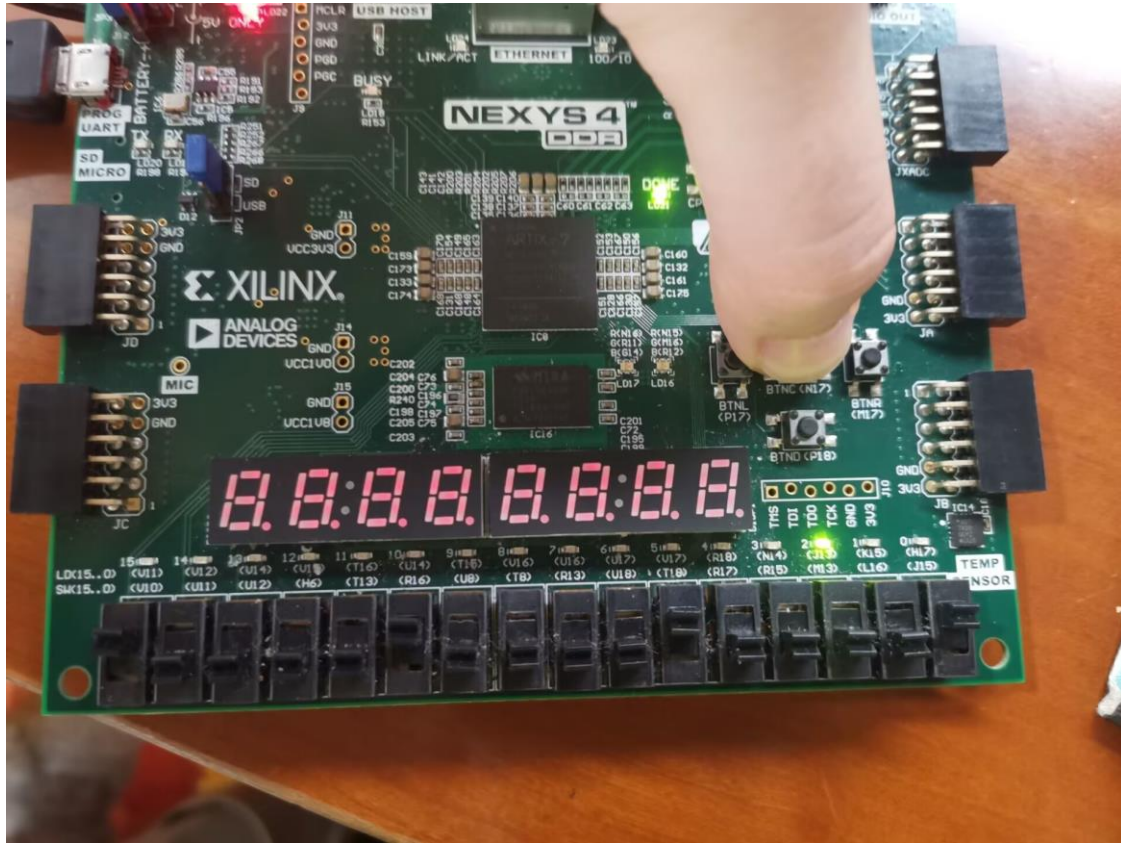
(1)6.2_1



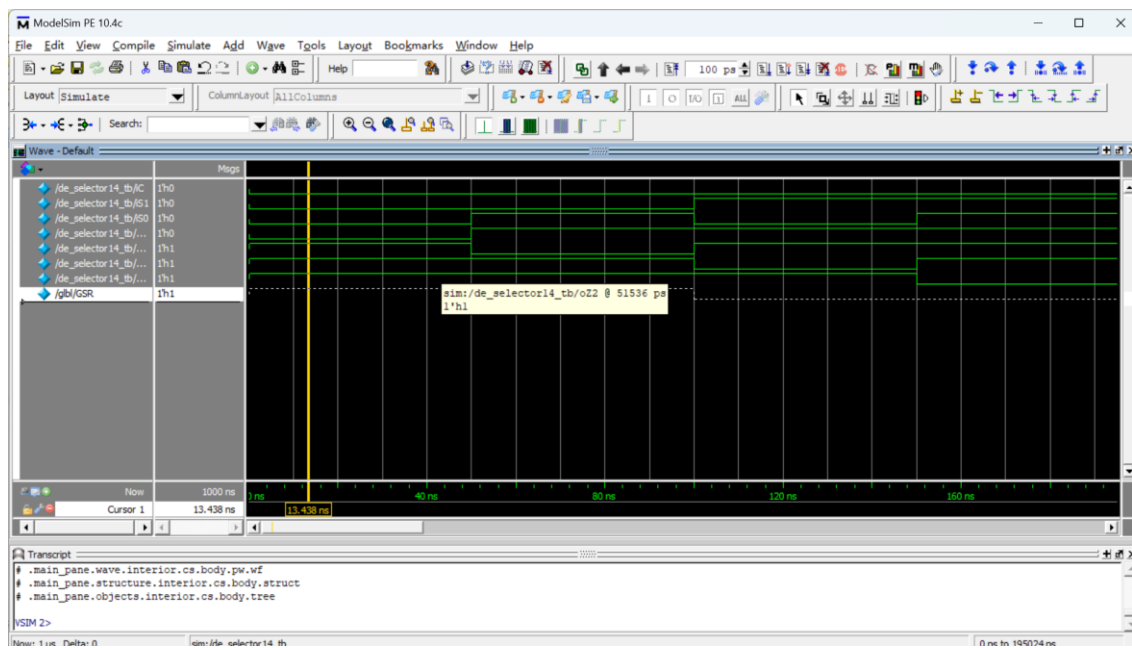
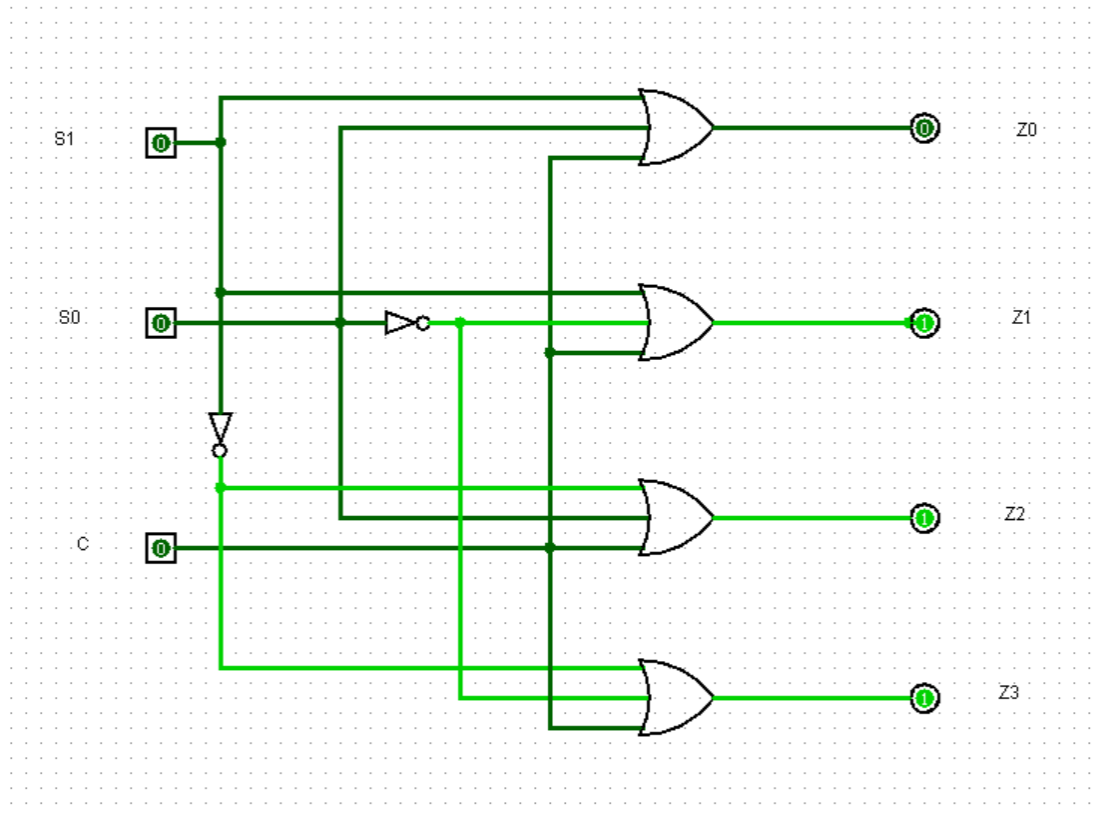


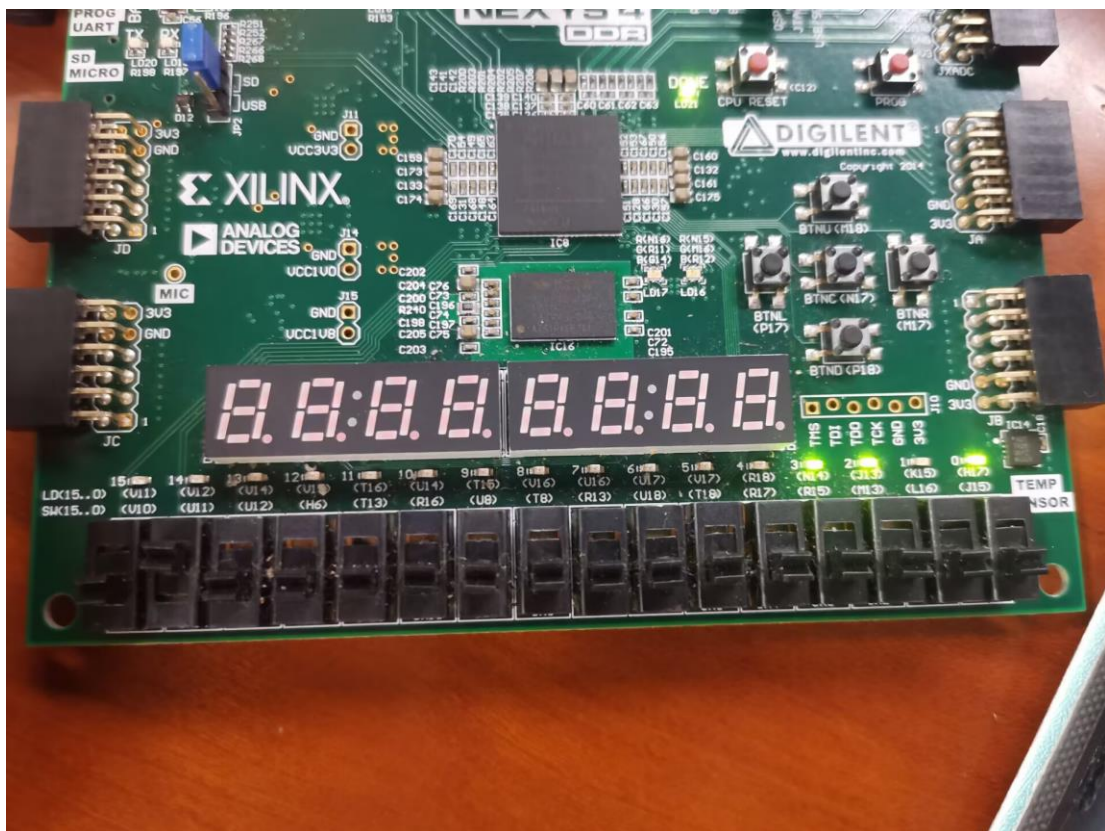
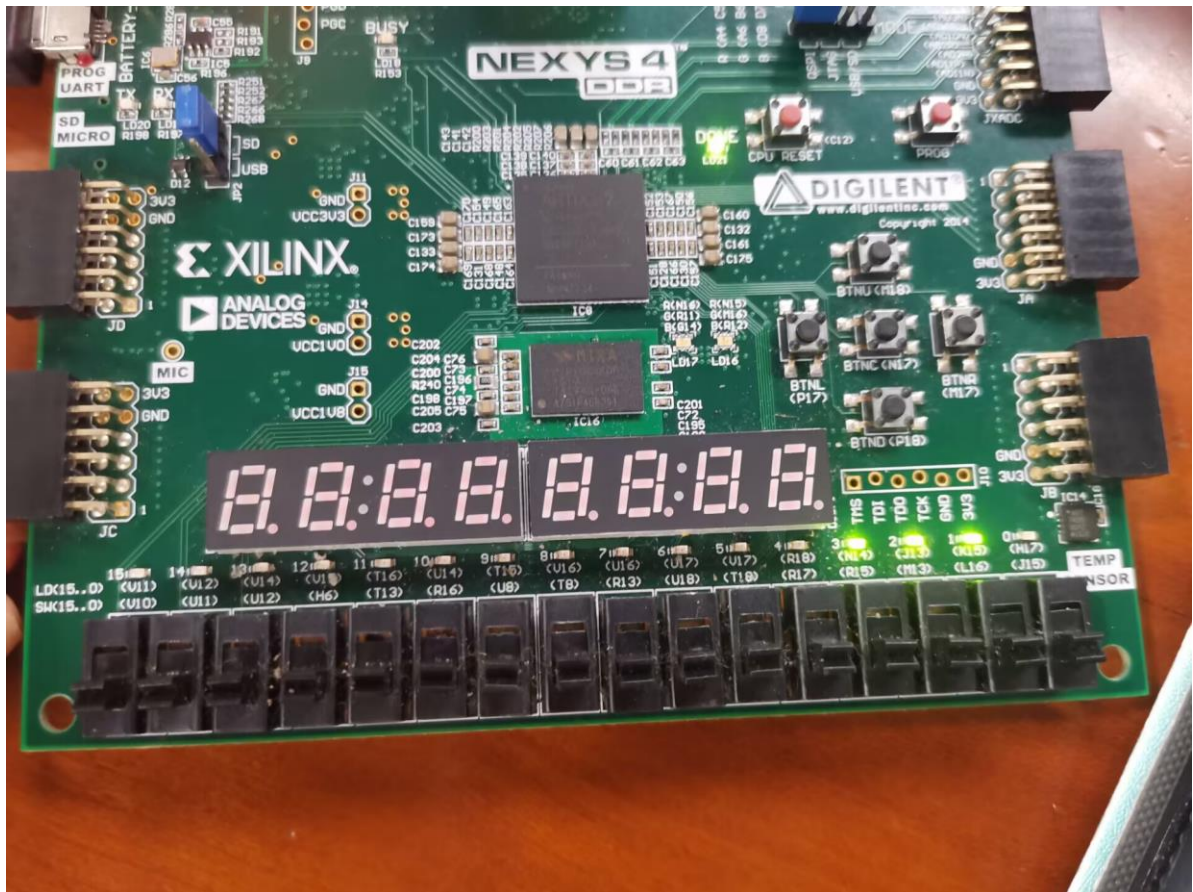


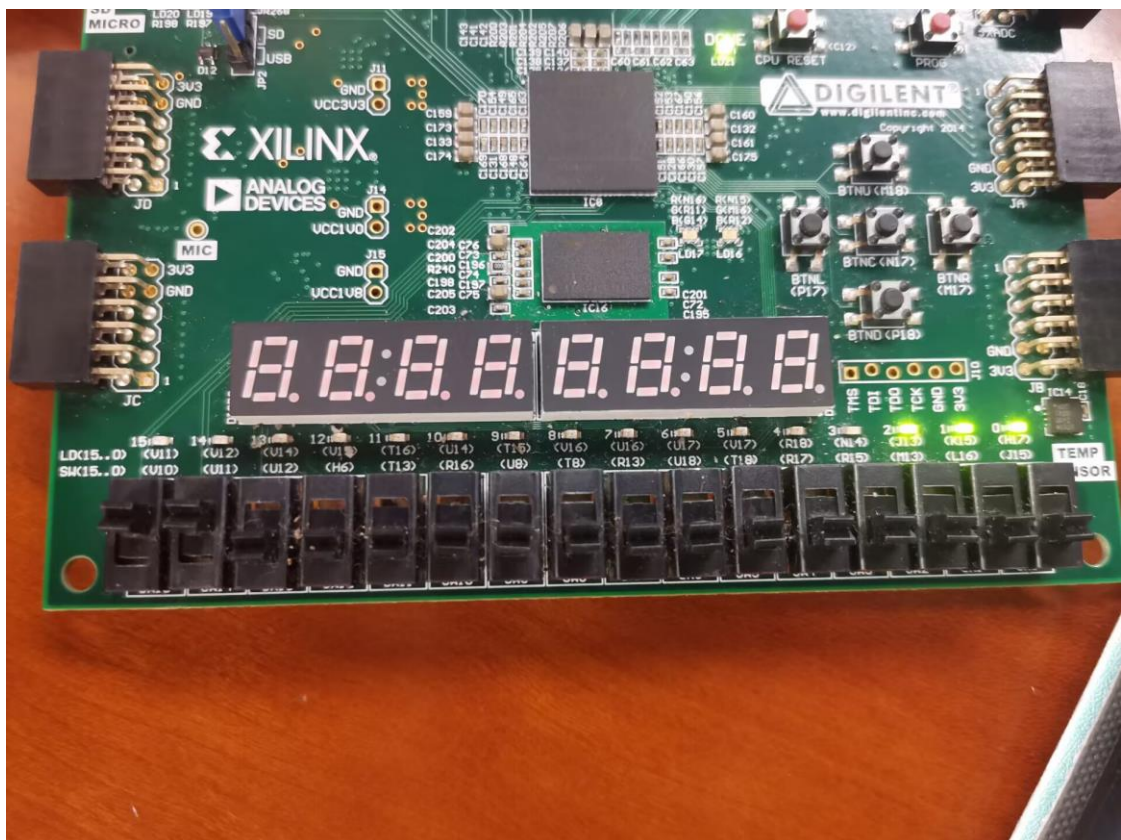
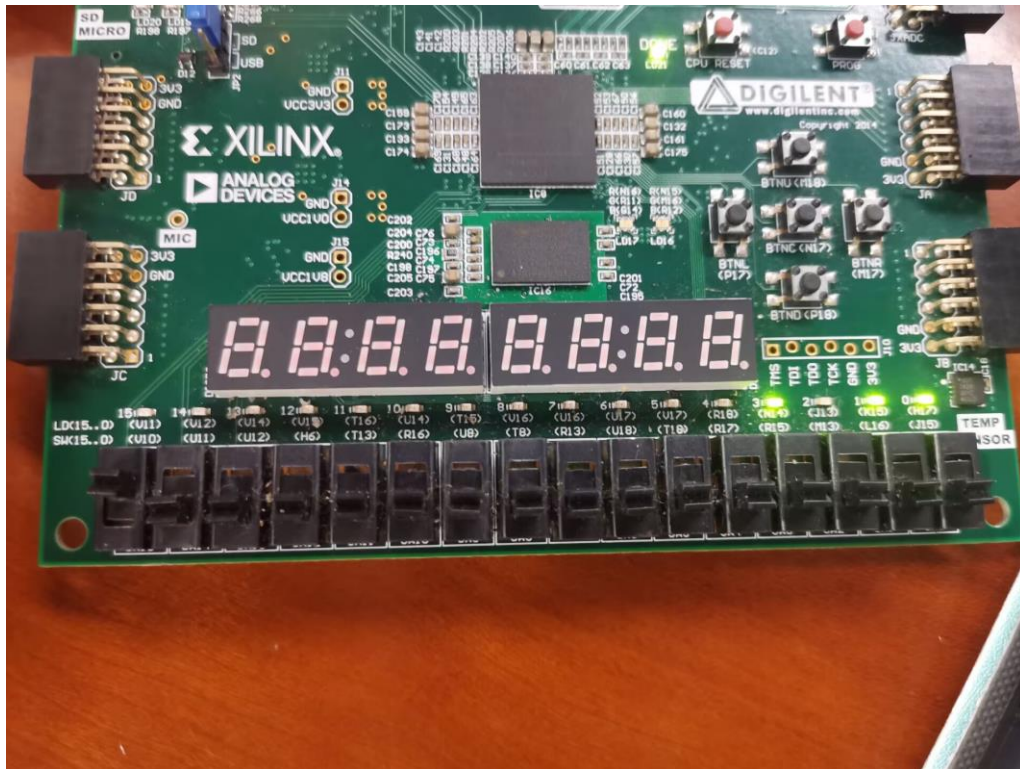




(2)6.1_2







(3)6.2_3

