1. Describe the input fields of each pipeline register(10%)

IF/ID:輸入為 IF stage 會用到 64 bits

ID/EX:輸入為 ID stage 會用到 191 bits

EX/MEM:輸入為 EX stage 會用到 107 bits

MEM/WB:輸入為 MEM stage 會用到 71bits

2. Explain your control signals in the sixth cycle(both test data test_1.txt and test_2.txt are needed)(10%)

test_1:

在第6個 cycle 的時候 ID stage 是執行 txt 檔中第五條指令

Rtype Function 為 101111 的指令也就是 OR, 並符合 OR 指令的控制訊號。

test_2:

同理可得,Opcode 為 101000, 執行 SW 指令, 並符合 SW 指令的控制訊號。

	Decoder		gesign									
signal name	R-Format	addi	Iw	5W	beg	bne	jump	jal	blt	bnez	bgez	jr
OP5	0	0	D	1	0	0	0	0	0	0	0	0
OP4	0	ı	1	0	-	1	0	0	ı	1	- 1	0
oP3	0	0	1	1	ı	1	-	1	1	-	1	0
OP2	0	0	٥	0	0	D	-1	1	1	1	1	0
oP1	0	- 1	0	0	0	1	0	ı	0	0	ı	0
090	0	- 1	0	0	ı	0	0	1	٥	-1	٥	D
RegDst	0 (00	0	X	Х	X	X	10	X	X	X	X
ALUSTC	0	1	ı	1	٥	0	X	X	0	0	0	0
MemtoReg	0	0	1	X	X	×	X	X	×	X	×	X
Reg Write	1	1	1	0	0	6	0	1	0	0	0	0 0
Mem Read	0	0	1	0	0	0	0	0	0	0	0	
Mem Write	0	٥	D	1	0	0	0	0	D	0	0	0
Branch	0	0	0	0	1	1	0	0	1	1	1	0
ALU OP2	0	1	0	0	0	0	0	0	1	1	1	0
ALU OP1	1	0	٥	0	0	0	1	1	0	0	0	Ī
ALUOPO	0	1	0	0	1	1	1	ı	0	0	٥	
jump	0	D	0	0	0	0	1	1	٥	0	0	0
Branch Type	0	0	0	0	0	ı	X	X	1	1	0	X
link	0	0	0	Ō	0	0	0	1	0	0	0	0
jr	D	0	0	0	0	0	0	0	0	0	0	1