

31		25 24		20 19		15 14		12 11		7 6		0		
imm[31:12]						rd		0110111		U lui				
imm[31:12]						rd		0010111		U auipc				
imm[20 10:1 11 19:12]						rd		1101111		J jal				
imm[11:0]				rs1		000		rd		1100111		I jalr		
imm[12 10:5]		rs2		rs1		000		imm[4:1 11]		1100011		B beq		
imm[12 10:5]		rs2		rs1		001		imm[4:1 11]		1100011		B bne		
imm[12 10:5]		rs2		rs1		100		imm[4:1 11]		1100011		B blt		
imm[12 10:5]		rs2		rs1		101		imm[4:1 11]		1100011		B bge		
imm[12 10:5]		rs2		rs1		110		imm[4:1 11]		1100011		B bltu		
imm[12 10:5]		rs2		rs1		111		imm[4:1 11]		1100011		B bgeu		
imm[11:0]				rs1		000		rd		0000011		I lb		
imm[11:0]				rs1		001		rd		0000011		I lh		
imm[11:0]				rs1		010		rd		0000011		I lw		
imm[11:0]				rs1		100		rd		0000011		I lbu		
imm[11:0]				rs1		101		rd		0000011		I lhu		
imm[11:5]		rs2		rs1		000		imm[4:0]		0100011		S sb		
imm[11:5]		rs2		rs1		001		imm[4:0]		0100011		S sh		
imm[11:5]		rs2		rs1		010		imm[4:0]		0100011		S sw		
imm[11:0]				rs1		000		rd		0010011		I addi		
imm[11:0]				rs1		010		rd		0010011		I slti		
imm[11:0]				rs1		011		rd		0010011		I sltiu		
imm[11:0]				rs1		100		rd		0010011		I xori		
imm[11:0]				rs1		110		rd		0010011		I ori		
imm[11:0]				rs1		111		rd		0010011		I andi		
0000000		shamt		rs1		001		rd		0010011		I slli		
0000000		shamt		rs1		101		rd		0010011		I srli		
0100000		shamt		rs1		101		rd		0010011		I srai		
0000000		rs2		rs1		000		rd		0110011		R add		
0100000		rs2		rs1		000		rd		0110011		R sub		
0000000		rs2		rs1		001		rd		0110011		R sll		
0000000		rs2		rs1		010		rd		0110011		R slt		
0000000		rs2		rs1		011		rd		0110011		R sltu		
0000000		rs2		rs1		100		rd		0110011		R xor		
0000000		rs2		rs1		101		rd		0110011		R srl		
0100000		rs2		rs1		101		rd		0110011		R sra		
0000000		rs2		rs1		110		rd		0110011		R or		
0000000		rs2		rs1		111		rd		0110011		R and		
0000		pred		succ		00000		000		00000		0001111		I fence
0000		0000		0000		00000		001		00000		0001111		I fence.i
0000000000000				00000		000		00000		1110011		I ecall		
0000000000001				00000		000		00000		1110011		I ebreak		
csr				rs1		001		rd		1110011		I csrrw		
csr				rs1		010		rd		1110011		I csrrs		
csr				rs1		011		rd		1110011		I csrrc		
csr				zimm		101		rd		1110011		I csrrwi		
csr				zimm		110		rd		1110011		I csrrsi		
csr				zimm		111		rd		1110011		I csrrci		

图 2.3: RV32I 带有指令布局, 操作码, 格式类型和名称的操作码映射。(此图基于[Waterman and Asanovi'c 2017]的表 19.2。)

第四章 乘法和除法指令

奥卡姆的威廉 (1452–1519) 是一位英国神学家，他推广了现在所谓的“奥卡姆剃刀”原理，它意味着在科学方法中对简洁性的偏爱。

若非必要，勿增实体。——奥卡姆的威廉 (William of Occam)，1320

4.1 引言

RV32M 向 RV32I 中添加了整数乘法和除法指令。图 4.1 是 RV32M 扩展指令集的图形表示，图 4.2 列出了它们的操作码。

除法是直截了当的。可以回想起如下的式子：

$$\text{商} = (\text{被除数} - \text{余数}) \div \text{除数}$$

或者

$$\text{被除数} = \text{除数} \times \text{商} + \text{余数}$$

$$\text{余数} = \text{被除数} - (\text{商} \times \text{除数})$$

RV32M 具有有符号和无符号整数的除法指令：divide(div)和 divide unsigned(divu)，它们将商放入目标寄存器。在少数情况下，程序员需要余数而不是商，因此 RV32M 提供 remainder(rem)和 remainder unsigned(remu)，它们在目标寄存器写入余数，而不是商。

srl 可以做除数为 2 的无符号除法。例如，如果 $a2=16(2^4)$ ，那么 `srl t2,a1,4` 这条指令和 `divu t2,a1,a2` 得到的结果相同。

RV32M

multiply

multiply high $\left\{ \begin{array}{l} \text{unsigned} \\ \text{signed unsigned} \end{array} \right\}$

$\left\{ \begin{array}{l} \text{divide} \\ \text{remainder} \end{array} \right\} \left\{ \begin{array}{l} \text{unsigned} \end{array} \right\}$

图 4.1: RV32M 指令的图示

31	25	24	20	19	15	14	12	11	7	6	0	
0000001	rs2		rs1		000		rd		0110011			R mul
0000001	rs2		rs1		001		rd		0110011			R mulh
0000001	rs2		rs1		010		rd		0110011			R mulhsu
0000001	rs2		rs1		011		rd		0110011			R mulhu
0000001	rs2		rs1		100		rd		0110011			R div
0000001	rs2		rs1		101		rd		0110011			R divu
0000001	rs2		rs1		110		rd		0110011			R rem
0000001	rs2		rs1		111		rd		0110011			R remu

图 4.2: RV32M 操作码映射包含指令布局，操作码，指令格式类型和它们的名称 ([Waterman and Asanovic 2017]的表 19.2 是此图的基础。)

乘法的式子很简单：