

综合设计验收安排

一、验收时间

2023年12月24日上午8:30-11:30，下午14:30-17:30

每个同学带电脑和纸质版设计报告参加验收，验收时间为10分钟。

每小时验收6人，每次是一组6位同学来参加验收。

每组所有同学比规定时间提前10分钟到达教室做验收的准备工作。

如第一组所有同学8:20到达指定教室，第二组所有同学9:20到达指定教室，其它组依此类推。

全班分为六到七组，各组验收时间大致为：

第一组：1号——6号时间：8:30-9:30

第二组：7号——12号时间：9:30-10:30

第三组：13号——18号时间：10:30-11:30

第四组：19号——24号时间：14:30-15:30

第五组：25号——30号时间：15:30-16:30

第六组：31号——36号时间：16:30-17:30

第七组：37号及以后时间：17:30—

重修同学请与对应班的学委或课代表联系，确定自己的验收时间。

请各班学委或课代表安排落实每组的6位成员，验收当天（也即12月24日），与助教的联系保持畅通，协助助教完成验收工作。

二、验收地点

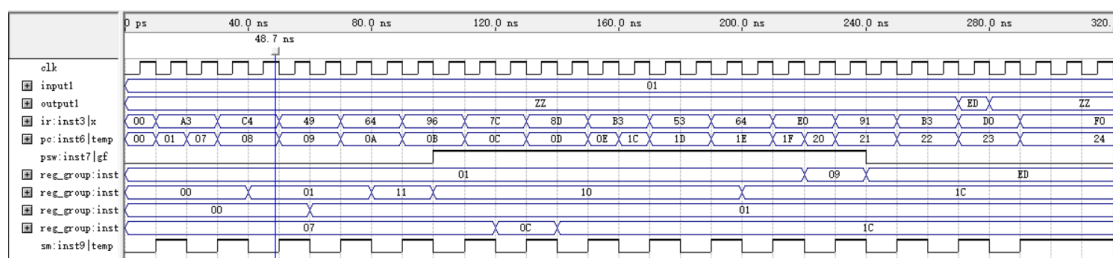
计科1、2、3、4、5、6班：院楼103

软件1、2、3、4、5班、信安1、2班：院楼105

拔尖班、智能1、2、3、4班：院楼106

二、验收内容

1、演示：要求采用 Verilog 语言实现，验收现场对工程进行编译、仿真，检查 warning（警告条数）、成本开销、时钟周期、停机以及仿真结果。如果模型机能实现 12 条指令，那么要求用自己设计的测试程序或老师提供的测试程序进行验收。“测试程序_仿真”代码应该在第 28 个周期 OUT 指令输出 EDh(11101101)，正确停机应该是 PC 计数到 24h，IR 寄存器最后存储的指令为 F0h（11110000）。



2、模型机结构。一是检查连接的正确性，如果采用命名法连接，可在 Tool 下 netlist viewer 中查看 RTL viewer 了解模型机结果。要求能条理清晰地解释顶层结构，各个模块的实现过程，基于顶层结构清楚地解释指定指令的执行过程。

3、成本开销：在 Cyclone II 系列 EP2C5T144C8 芯片下对比成本开销

Flow Status	Successful - Tue Dec 12 13:44:35 2023
Quartus II Version	9.0 Build 184 04/29/2009 SP 1 SJ Web Edition
Revision Name	my_cpu
Top-level Entity Name	my_cpu
Family	Cyclone II
Device	EP2C5T144C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	167 / 4,608 (4 %)
Total combinational functions	156 / 4,608 (3 %)
Dedicated logic registers	50 / 4,608 (1 %)
Total registers	50
Total pins	17 / 89 (19 %)
Total virtual pins	0
Total memory bits	2,048 / 119,808 (2 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

- 4、时钟周期：工程编译后通过两种方式查看时钟周期：一是 Processing 下的“Classic Timing Analyzer Tool”，二是“Timing Analyzer”下的“Summary”。如果没有实现 12 条指令，此时时钟周期仅作参考，如果有红色提示，这时时钟周期不是真正的时钟周期！

Registered Performance		tpd	tsu	tco	th	Custom Delays
Clock: clk						
From	lpm_ram_io:inst10(altram:sram)altsyncram:ram_block(altsyncr...					
To	reg_group:inst8lr2[7]					
Clock period	19.232 ns					
Frequency	52.00 MHz					

Timing Analyzer Summary		Slack	Required Time	Actual Time	From	To
1	Worst-case tsu	N/A	None	8.990 ns	input[4]	reg_group:inst5a[4]
2	Worst-case tco	N/A	None	21.752 ns	ALU:inst6[1]	d[2]
3	Worst-case tpd	N/A	None	14.762 ns	input[0]	d[0]
4	Worst-case th	N/A	None	-1.604 ns	input[1]	reg_group:inst5c[1]
5	Clock Setup: 'CLK'	N/A	None	34.00 MHz (period = 29.412 ns)	ALU:inst6[2]	lpm_ram_io:inst3(altram:sram)altsyncram:ram_block(altsyncram_88a1:auto_generat
6	Clock Hold: 'CLK'	Not operational: Clock Skew > Data Delay	None	N/A	reg_group:inst5c[5]	ALU:inst6temp[5]
7	Total number of failed paths					

- 5、停机指令：要求在 HALT 指令后面放几条指令，HALT 执行完后，后面的

指令是否执行，从而验证 HALT 是否实现了真正的停机。

6、回答问题和修改程序: 这项有修改程序、较难的问题和容易问题三种选择，同学们任选其一，如果第一次选择的问题回答不出来，可再选一次（但会同比多扣 5 分（此 5 分是满分 100 分多扣 5 分，不是 25 分扣 5 分））。同组同学不重复抽相同的题。

7、下板的话, 能跑通测试程序且较难问题的回答正确, 验收成绩可计 100 分。

8、不允许用其他同学的综合设计来进行验收，一旦发现，计 0 分。

综合设计评价标准

考核内容	具体要求	优秀 (90-100)	良好 (75-89)	合格 (60-75)	不及格 (0-59)	备注
模型机验收 (CT3)	系统演示 (24 分)	系统编译通过，仿真验证自己写的程序（含 12 条指令，指令间有相关性），结果正确，警告信息 20 条以内	系统编译通过，仿真验证老师给的测试程序，结果正确，警告信息 20-30 条	系统编译通过，能仿真验证简单指令，警告信息超过 30 条	系统编译有错误	能在 FPGA 板上执行所有指令且结果正确，回答较难问题正确，验收成绩计满分
	程序框架结构 (20 分)	能条理清晰地解释顶层结构，介绍各个模块的实现过程，基于顶层结构条理清楚地解释指定指令的执行过程	能较清楚地解释顶层结构，介绍各个模块的实现过程，基于顶层结构大致清楚指定指令的执行过程	能大致解释顶层结构，介绍各个模块的实现过程，基于顶层结构解释自选指令的执行过程	不清晰顶层结构，不清楚指定模块的实现过程，基于顶层结构不能清楚地解释自选指令的执行过程	
	执行的指令条数 (15 分)	执行全部 12 条指令	执行 9-11 条指令	执行 6-8 条指令	6 条以下	
	成本开销 (5 分)	成本开销 5% 以内	成本开销 5%-8%	开销超过 8%	成本开销极大	
	时钟周期 (5 分)	无红色警告，执行 12 条指令的时钟周期在 24ns 内	无红色警告，执行 12 条指令的时钟周期在 24ns-45ns	有红色警告，能执行 12 条指令，时钟周期在 45ns 以上	有红色警告，不能执行 12 条指令	

	停机处理 (6 分)	能正确停机	短暂停机，后续系统又执行指令	短暂停机，后续系统执行混乱	不能停机	
	回答问题/ 修改程序 (25 分)	能按要求修改程序，实现要求的功能	能正确回答较难问题	能正确回答容易问题	不能正确地回答提问	
报告 (CT2)		报告结构完整，表述清楚，层次分明，条理清晰，图表规范。能提出独到见解，详细记录实验过程中的困难和解决办法	报告结构完整，叙述清楚，图表规范，有一定的见解。	报告结构完整，叙述清楚，图表较规范	报告结构较完整，叙述较清楚，图表不太规范	

四、验收的相关资料上传

验收结束后，各位同学将实验报告（pdf）和工程文件（压缩包）上传至学习通平台，此项作业已发布，实验报告和工程文件命名按作业要求，提交截止时间为 12 月 26 日零点。