

## 模型机的整合步骤：

1、创建工程，将各模块的.v 文件添加至工程，选择芯片 family=Cyclone II；name=EP2C5T144C8。

2、在工程中打开每个模块的.v 文件，创建各模块的图形符号。

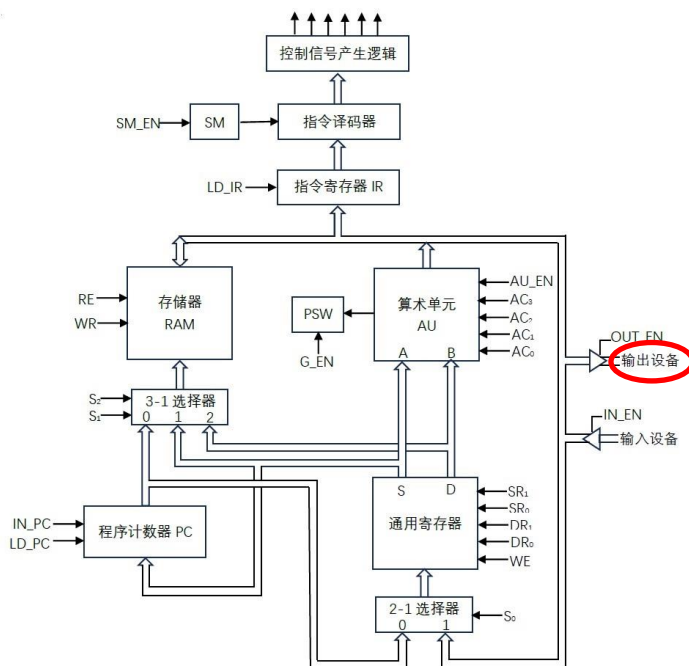
3、模型机的顶层文件采用原理图方式实现。新建一个原理图文件，接下来：

第一步：从元件库中选择“LPM\_RAM\_IO”作为 RAM，配置“LPM\_RAM\_IO”的端口和参数；

第二步：调试“读取指令”通路。从元件库中选择 PC、3-1 选择器、IR，将这三个模块和 RAM 的对应端口连接起来。在 RAM 的 mif 文件中，连续的地址单元存放几条指令，加载输入和控制信号，仿真验证指令是否能正确地读取至指令寄存器 IR；

第三步：调试“数据通路”部分。从元件库中选择通用寄存器和运算单元 AU，将其对应端口连接起来，加载输入和控制信号，仿真验证由通用寄存器提供操作数，在 AU 中完成运算，执行的结果是否可以正确写回至通用寄存器。

第四步：将所有模块整合起来。从元件库中选择剩下的模块，按模型机的结构框架（如下图），将各模块的对应端口连接起来。



第五步：将“测试代码\_仿真”中的指令按顺序存放至 mif 文件的对应单元中，仿真验证输出端口（上图红圈圈起来的位置）是否输出 EDh（11101101）。

第六步：基于 FPGA 进行测试。输入设备为 FPGA 板的拨码开关，输出设备为 FPGA 板的一组 LED 指示灯。将“测试代码\_下板”中的指令按顺序存放至 mif 文件的对应单元中，引脚分配，编译后将网表文件下载至 FPGA。拨动拨码开关，使外部输入值为 01h，此时 8 个 LED 灯亮灭显示 EDh（11101101），改变拨码开关，使外部输入值大于 11h，LED 灯不亮，模型机停止执行。（选做）

模型机整合的具体细节可以参考“[模型机的整合视频](#)”（此为前一版模型机的整合视频），前一版模型机与现在版本只是运算单元差异大点，另外就是引脚名有些不同，具体整合过程是一样的。

如有同学不熟悉 Quartus 的使用，可以登录学习通平台，在“章节-->6.1 Quartus II 软件”中，看已录制好的“Quartus II 使用视频”。