

微算機系統

個人報告

實驗二：

多位元加法器&多位元減法器設計

組別： 20

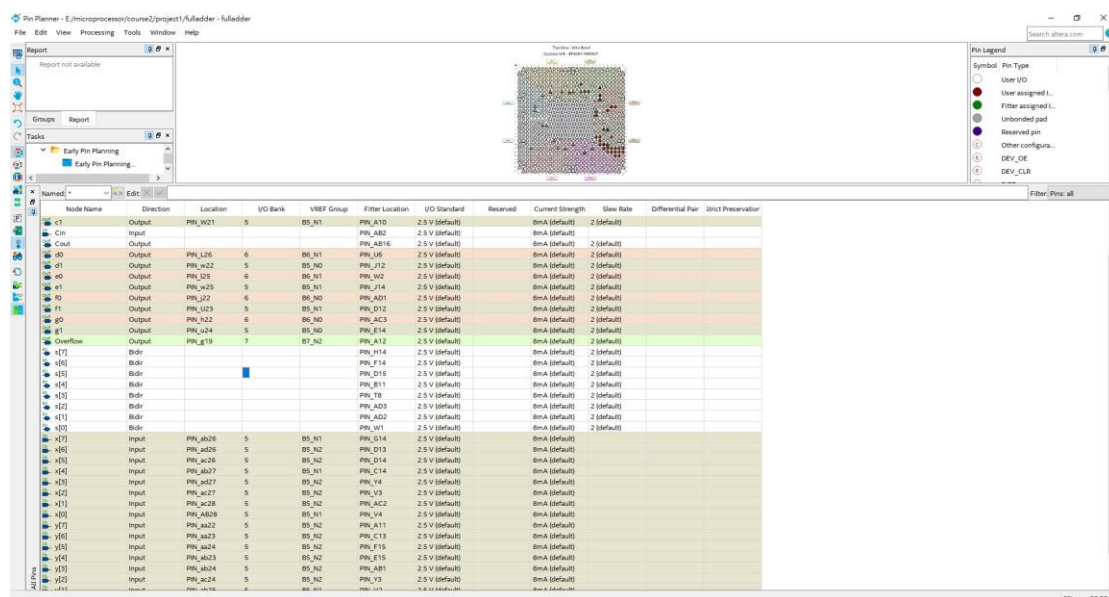
班級、姓名與學號：

醫工三 葉芸茜 B812110004

日期： 2023.10.12

1. 實驗心得：(心得須超過 150 字，以 word 字數為標準)

這次的微計算機系統實驗過程中遇到許多問題，如一開始我們將 Cin、Cout 和 s 寫在 entity 的 port 下面(作為外部訊號)，後來接腳位再編譯後會發現這三個變數系統會自動匹配腳位(即變數腳位點不可為空)，導致第三個七段顯示器的腳位被自動接在了 s 上，因此我們改成把它們寫在 signal(作為內部訊號)來解決這個問題。



Node Name	Direction	Location	I/O Bank	VREF Group	Filter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair	Strict Preservation
Cin	Input	PN1_W21	5	B5_N1	PN1_A18	2.5 V (default)	0mA (default)	2 (default)			
Cout	Output	PN1_L26	6	B6_N1	PN1_A82	2.5 V (default)	0mA (default)	2 (default)			
d0	Output	PN1_n22	5	B5_N0	PN1_L06	2.5 V (default)	0mA (default)	2 (default)			
d1	Output	PN1_n22	5	B5_N0	PN1_J12	2.5 V (default)	0mA (default)	2 (default)			
d0	Output	PN1_L25	6	B6_N1	PN1_W02	2.5 V (default)	0mA (default)	2 (default)			
e1	Output	PN1_n25	5	B5_N1	PN1_J14	2.5 V (default)	0mA (default)	2 (default)			
f0	Output	PN1_J22	6	B6_N0	PN1_A01	2.5 V (default)	0mA (default)	2 (default)			
f1	Output	PN1_U23	5	B5_N1	PN1_D12	2.5 V (default)	0mA (default)	2 (default)			
g0	Output	PN1_n22	6	B6_N0	PN1_A03	2.5 V (default)	0mA (default)	2 (default)			
g1	Output	PN1_n24	5	B5_N0	PN1_F14	2.5 V (default)	0mA (default)	2 (default)			
Overflow	Output	PN1_g19	7	B7_N2	PN1_A12	2.5 V (default)	0mA (default)	2 (default)			
h[7]	Bidir				PN1_H14	2.5 V (default)	0mA (default)	2 (default)			
h[6]	Bidir				PN1_F14	2.5 V (default)	0mA (default)	2 (default)			
h[5]	Bidir				PN1_D15	2.5 V (default)	0mA (default)	2 (default)			
h[4]	Bidir				PN1_B11	2.5 V (default)	0mA (default)	2 (default)			
h[3]	Bidir				PN1_T8	2.5 V (default)	0mA (default)	2 (default)			
h[2]	Bidir				PN1_A03	2.5 V (default)	0mA (default)	2 (default)			
h[1]	Bidir				PN1_A03	2.5 V (default)	0mA (default)	2 (default)			
h[0]	Bidir				PN1_N1	2.5 V (default)	0mA (default)	2 (default)			
i[7]	Input	PN1_ab26	5	B5_N1	PN1_G14	2.5 V (default)	0mA (default)				
i[6]	Input	PN1_ac26	5	B5_N2	PN1_D13	2.5 V (default)	0mA (default)				
i[5]	Input	PN1_ac26	5	B5_N2	PN1_D14	2.5 V (default)	0mA (default)				
i[4]	Input	PN1_ab27	5	B5_N1	PN1_C14	2.5 V (default)	0mA (default)				
i[3]	Input	PN1_ac27	5	B5_N2	PN1_Y4	2.5 V (default)	0mA (default)				
i[2]	Input	PN1_ac27	5	B5_N2	PN1_Y3	2.5 V (default)	0mA (default)				
i[1]	Input	PN1_ac28	5	B5_N2	PN1_AC2	2.5 V (default)	0mA (default)				
i[0]	Input	PN1_ab28	5	B5_N1	PN1_V4	2.5 V (default)	0mA (default)				
j[7]	Input	PN1_ab22	5	B5_N2	PN1_A11	2.5 V (default)	0mA (default)				
j[6]	Input	PN1_ab23	5	B5_N2	PN1_C13	2.5 V (default)	0mA (default)				
j[5]	Input	PN1_ab24	5	B5_N2	PN1_F15	2.5 V (default)	0mA (default)				
j[4]	Input	PN1_ab23	5	B5_N2	PN1_C15	2.5 V (default)	0mA (default)				
j[3]	Input	PN1_ab24	5	B5_N2	PN1_A81	2.5 V (default)	0mA (default)				
j[2]	Input	PN1_ac24	5	B5_N2	PN1_Y3	2.5 V (default)	0mA (default)				

第二個遇到的問題是 Cin 如何給初始值，起初我們沒有給初始值導致燒錄執行結果未撥動任何開關七段顯示器會顯示 01，後來我們直接在 begin 的地方 Cin 處直接改 0，但會出現 std_logic type does not match integer literal 的 error，因此我們改寫成 '0' (加入單引號)來明確傳遞的值是邏輯值。

第三個問題是設計減法器的時候，起初我們以為是設計有號位數，因此使用 c6 xor c7 來判斷溢位與否，後來改成無號位數減法器在溢位的設計上卡關，最終以 not c7 解決，但執行結果依然出問題，其後發現是在 fullminus.vhd 出錯，我們設計的減法器是以加法器為基礎，將 y 取 not，並將 Cin 初始值設為 1 來達到二的補數的效果，但假如直接更動 fullminus.vhd 檔，即在 y 處全部改為 not y 會出現錯誤結果，但改為設在 fullminusor.vhd 就能解決這個狀況。我使用真值表針對兩者做推導後，發現因為邏輯閘有 level 層次關係，可能致使結果的邏輯值出錯。通過這次實驗也更認識了 vhd1 的語法，以及 package 的傳遞。

2. 組員貢獻度及工作內容：

葉芸茜：50 %，文書處理、實驗設計與實作、程式規劃、測試與除錯。

湯青秀：50 %，文書處理、實驗設計與實作、程式規劃、測試與除錯。