**微算機系統**

**個人報告**

實驗二：

多位元加法器&多位元減法器設計

組別： 20

班級、姓名與學號：

醫工三 葉芸茜B812110004

日期： 2023.10.12

1. 實驗心得：(心得須超過150字，以word字數為標準)

這次的微算機系統實驗過程中遇到許多問題，如一開始我們將Cin、Cout和s寫在entity的port下面(作為外部訊號)，後來接腳位再編譯後會發現這三個變數系統會自動匹配腳位(即變數腳位點不可為空)，導致第三個七段顯示器的腳位被自動接在了s上，因此我們改成把它們寫在signal(作為內部訊號)來解決這個問題。

一張含有 文字, 螢幕擷取畫面, 軟體, 電腦圖示 的圖片

自動產生的描述

第二個遇到的問題是Cin如何給初始值，起初我們沒有給初始值導致燒錄執行結果未撥動任何開關七段顯示器會顯示01，後來我們直接在begin的地方Cin處直接改0，但會出現std\_logic type does not match integer literal的error，因此我們改寫成‘0’(加入單引號)來明確傳遞的值是邏輯值。

第三個問題是設計減法器的時候，起初我們以為是設計有號位數，因此使用c6 xor c7來判斷溢位與否，後來改成無號位數減法器在溢位的設計上卡關，最終以not c7解決，但執行結果依然出問題，其後發現是在fullminus.vhd出錯，我們設計的減法器是以加法器為基礎，將y取not，並將Cin初始值設為1來達到二的補數的效果，但假如直接更動fullminus.vhd檔，即在ｙ處全部改為not y會出現錯誤結果，但改為設在fullminusor.vhd就能解決這個狀況。我使用真值表針對兩者做推導後，發現因為邏輯閘有level層次關係，可能致使結果的邏輯值出錯。通過這次實驗也更認識了vhdl的語法，以及package的傳遞。

2. 組員貢獻度及工作內容：

葉芸茜：50 %，文書處理、實驗設計與實作、程式規劃、測試與除錯。

湯青秀：50 %，文書處理、實驗設計與實作、程式規劃、測試與除錯。