

CS5120 Homework Assignment 01

Student ID: 107065507

Name: 盧允凡

1. Design Concept

輾轉相除法(Euclidean algorithm):

輸入兩大於零的數字，大的數減去小的數，遞迴計算，直到出現 0，即可求出 GCD。

由此得知，我們需要判斷 input 大小，即為 swap 的功能。

另外，如果兩 input 相等或是遞迴過程中出現兩數相等，表示程式即將結束，此為 found 的能。

從 Finite State Machine(p.5 in hw01_gcd.pdf)思考要如何設計 architecture 並畫出 block diagram

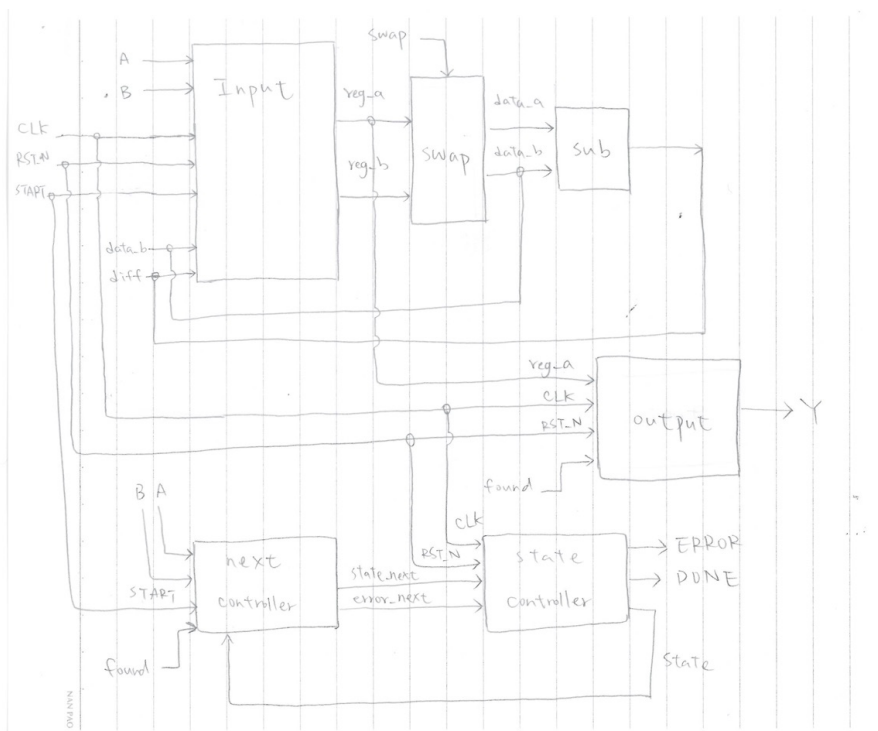


Figure 1. Block diagram

其中 $\text{swap} = (\text{reg_b} > \text{reg_a}) ? 1'b1 : 0$; $\text{found} = (\text{reg_a} == \text{reg_b} \mid \mid A == B) ? 0 : 1'b1$;

完成 block diagram 後，即可進行 verilog coding。

2. Simulation and Discussion

在 testbench 中寫入以下測資：

(21, 6), (16, 16), (72, 32), (32, 72), (1, 2), (0, 0), (23, 0), (0, 29), (23, 29), (255, 254)

檢查文字 output 皆為正確答案，接下來看 waveform

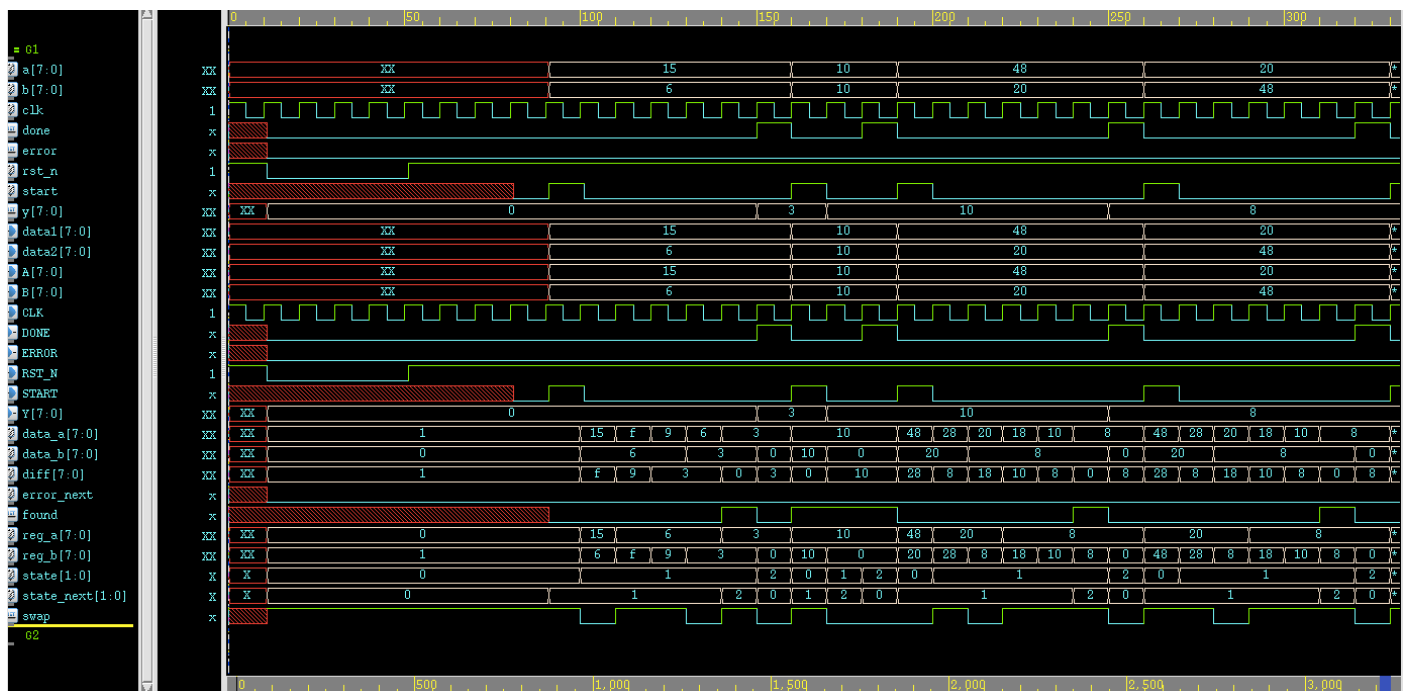


Figure 2. waveform

RST_N 為 low active 訊號，設好初始值 RST_N=0 過一個 delay 後變 1，之後 input 輸入，每次新 input 輸入可不必再設一次 reset。

START=1 時，開始機算。計算完成時 DONE=1。當 inputs 有一值為 0 時 ERROR=1。

此 GCD engine，當兩 inputs 相等(A==B)時，最快計算完成，花費 2 cycles。

(255, 254)為此 8-bit GCD engine 的 worst case，需輾轉相減 254 次，花費 254 cycles。

3. Summary

Verilog coding 事前的 architecture 規劃非常重要。