

-
- @Author: Yangzhiyuan
 - @Date: 2024-08-22 23:5:1
 - @Category:
 - @Filename:
 - @Summary:

*K^AT_EX MarkDown HTML VsCode PicGo MyEasyPicBedMain Prince
PADS*

- PADS-LOGIC材料清单输出
 - 输出
 - 汇总
- PADS-LOGIC转换及层定义
 - PADS转Altium Designer
 - Altium Designer转PADS
 - PADS层定义
 - 标准四层板结构
 - 叠层配置
- PADS-LOGIC设计规则
 - 设计规则
 - PADS对象管理
 - PCB板上的对象
 - PADS是如何管理对象
 - 设计规则优先级
 - PADS规则分类
 - 默认规则
 - 类规则
 - 网络规则
 - 组规则
 - 管脚对规则
 - 封装规则
 - 元器件规则
 - 条件规则
 - 差分规则
 - 电气网络规则
 - PADS默认规则

- [安全间距](#)
- [布线规则](#)
- [扇出规则](#)
- [PADS-LOGIC网表输出](#)
 - [网表概念](#)
 - [PADS网表的概念](#)
 - [Logic网表输出](#)
 - [网表错误报告](#)
 - [Layout网表导入](#)
 - [Layout链接](#)
 - [设计](#)
 - [文档](#)
 - [首选项](#)
 - [ECO名称](#)
 - [选择](#)

PADS-LOGIC材料清单输出

输出

设计完原理图之后，通过

文件->报告->设置



勾选包含标题->全选->复制

即可粘贴到excel表格中

检查表格是否有属性信息缺失，缺失的话，要对属性信息补充，同时对元件信息重新编号，再重新生成BOOM表
单

可以使用任务栏“自动重新编号元件”对所有元件自动重新编号

汇总

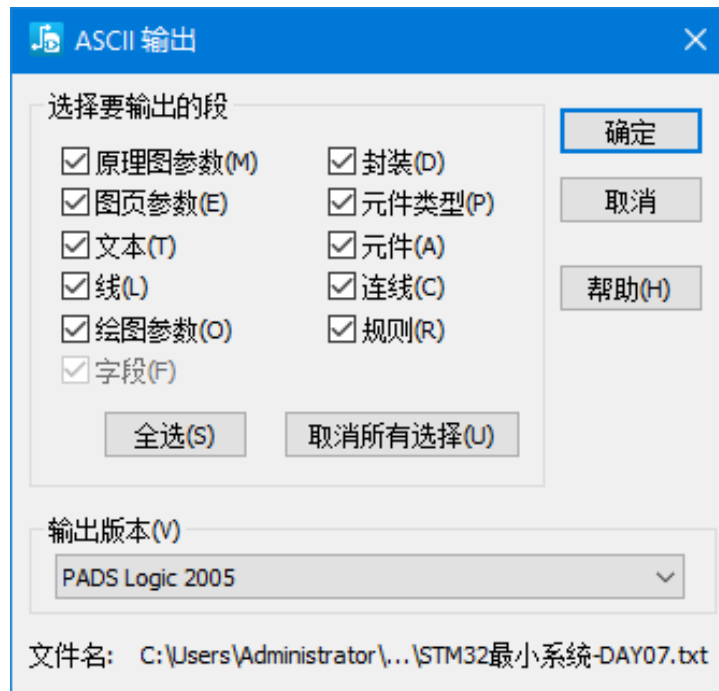
对价格进行求和，同时排版

PADS-LOGIC转换及层定义

PADS转Altium Designer

文件->导出->ASCII文件(*.txt)

然后在弹出的对话框中->全选->输出版本：2005->确定



使用2005版本，兼容性好 直接使用AD“文件->导入向导”就可以生成.SchDoc

Altium Designer转PADS

- 导入转换

文件->导入

缺点就是元件属性和PCB需要重新完善

- 转换器

打开PADS Schematic Translator VX..

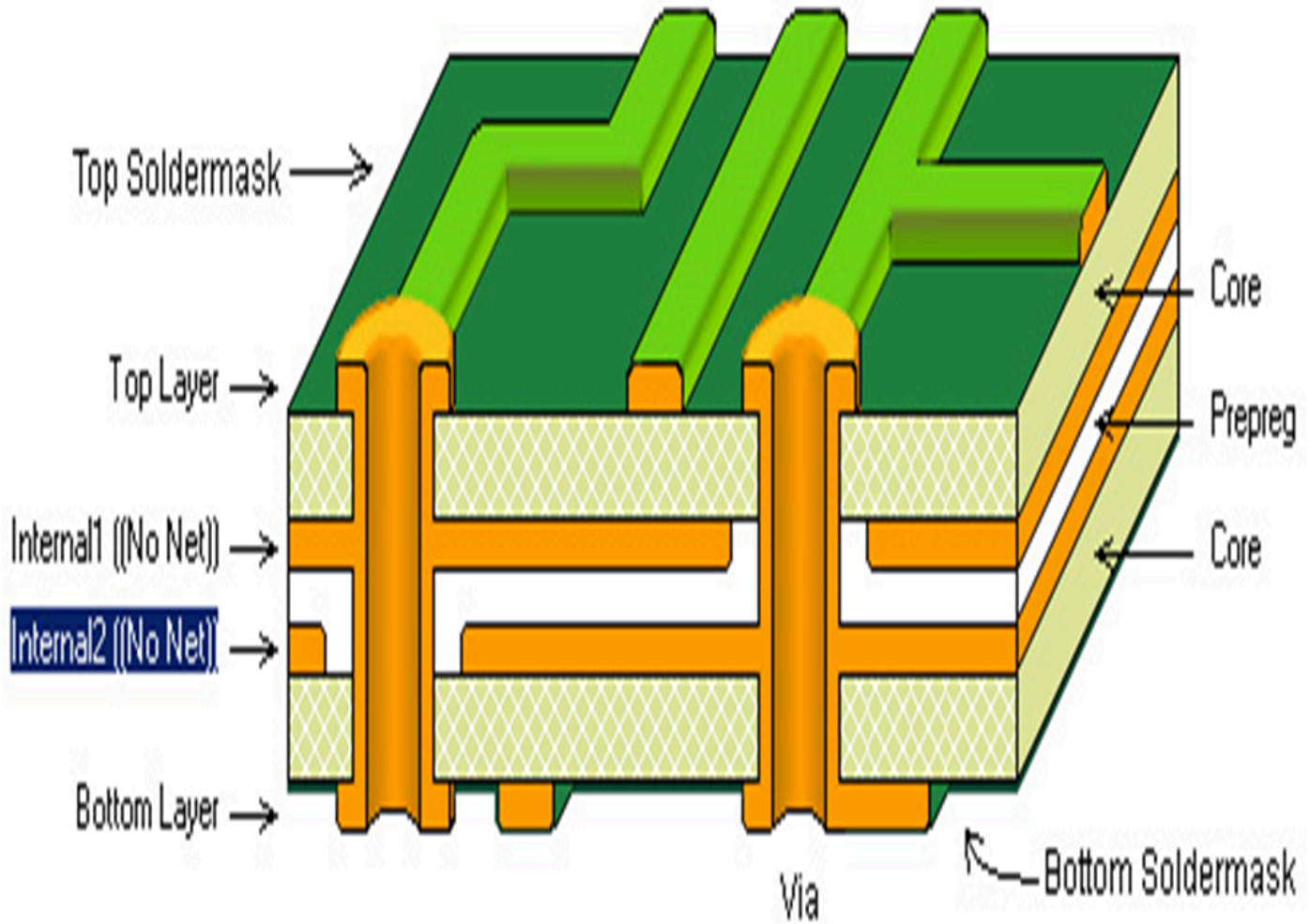
选择Protel 99SE/DXP

添加要转换的原理图->选择已转换文件的放置位置->转换veyh

使用转换器转换会生成schcvt.log日志文件

PADS层定义

标准四层板结构




标准的四层PCB由上至下通常包括以下层：

0. 阻焊层
1. 顶层（Top Layer）：包含元件焊盘和走线。
2. 内层1（Inner Layer 1）：通常用作电源层或地层。
3. 内层2（Inner Layer 2）：用作另一种电源层或地层，与内层1不同。
4. 底层（Bottom Layer）：包含焊接焊盘和走线。

这四层通过通孔（vias）连接，以实现电路的多层互连。

叠层配置

设置->层定义



平面类型

层设置

布线方向

级别输入

目录

名称

1	CM	H	顶面
2	CM	V	底面
3	GN		Layer_3
4	GN		Layer_4
5	GN		Layer_5
6	GN		Layer_6
7	GN		Layer_7
8	GN		Layer_8

确定(O)

取消(C)

帮助(H)

名称(N): 顶面

电气层类型 只有顶层和底层可以放置元器件

☒ 元器件(E)

☐ 布线(U)

平面类型

☒ 无平面(P) 任意

☐ CAM 平面 覆铜

☐ 混合平面(X) 覆铜+布线

布线方向

☒ 水平(Z) ☐ 45

☐ 垂直(V) ☐ -45

☐ 任意(Y)

电气层 修改PCB层数 默认是2层板，在下面修改

数量: 2 的 20

修改(F)...

重新分配(R)...

厚度(T)...

最大层数: 30 最多64层

最大层(L)...

PADS-LOGIC设计规则

设计规则

PADS-LOGIC中设置->设计规则

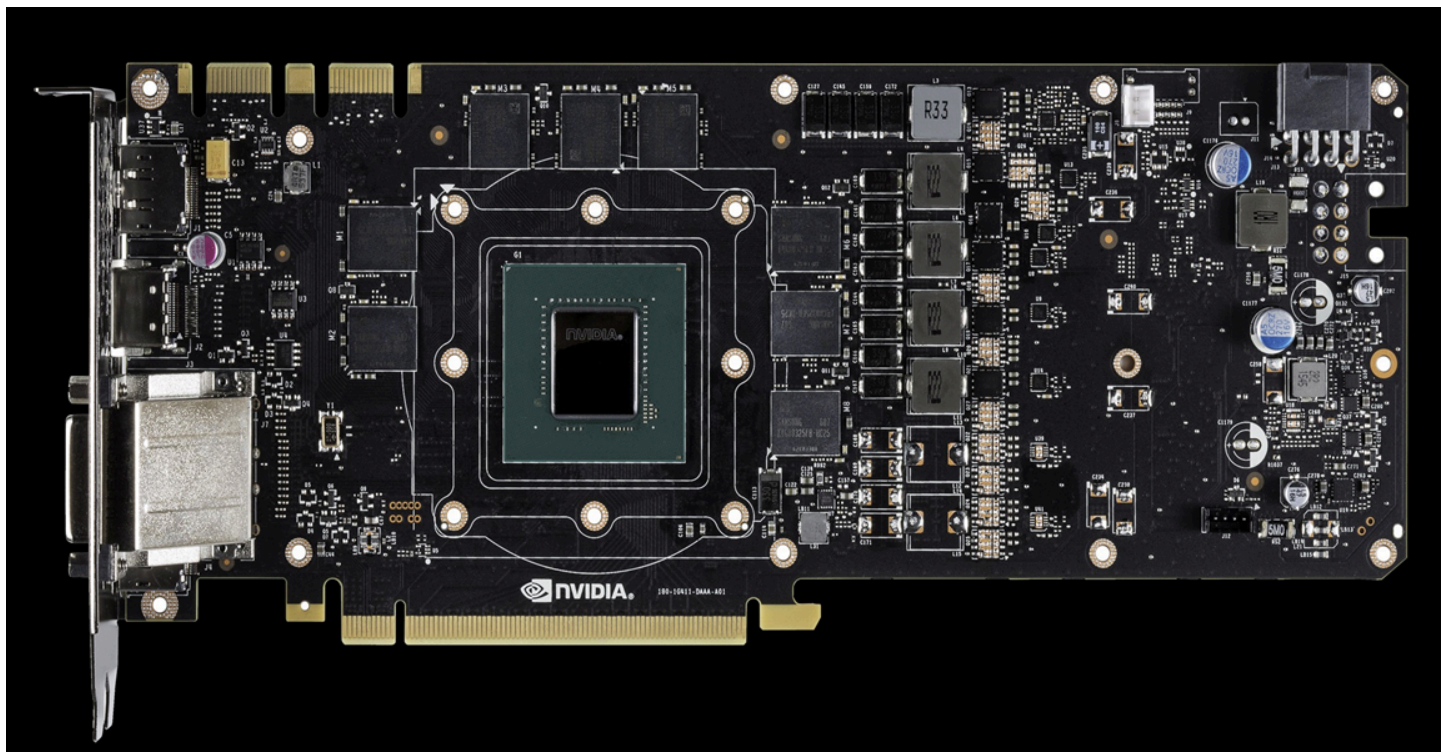


PADS 自一开始就提出了“设计即正确”的概念，它之所以能做到这一点，是因为它有一个实时监控器（设计规则约束驱动器）。PADS Layout预先设置了很多规则，实时监控用户的设计，在违反设计规则时，系统会禁止用户继续操作或是给出警告等。

PADS对象管理


PCB板上的对象

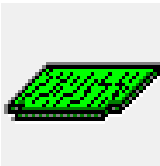
PCB板上有封装、走线、引脚、过孔、钻孔、丝印、铜皮、板框等很多对象。



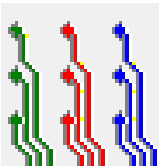
PADS是如何管理对象

PADS-LAYOUT中设置->设计规则

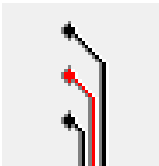

规则



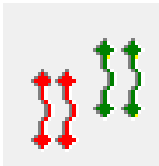
默认



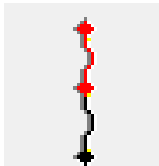
类



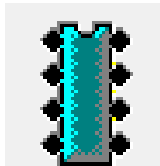
网络



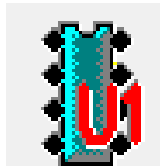
组



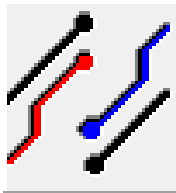
管脚对



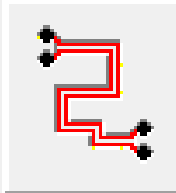
封装



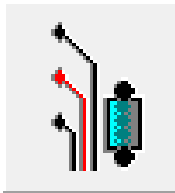
元器件



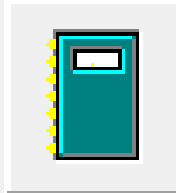
条件规则



差分对



电气属性网络



报告

关闭(C)

帮助(H)

PADS对象管理将PCB中涉及到的对象全面归类，分为默认、类、网络、组、管脚对、封装、元器件、条件规则、差分对 9种，每一个对象层均管理属性相同的一类对象

设计规则优先级

PADS 将对象组织为一个层次结构，不同层所在的对象表示不同的优先级，上一层设计规则将被下一层设计规则覆盖（即越往下优先级越高），如网络层层与类层对同一个网络设置分别设计不同的设计规则，则PADS系统会按照网络层设置的规则对PCB进行检查。

默认规则<类<网络<组<管脚对<封装<元器件<条件规则<差分对<电气属性网络

PADS规则分类

默认规则



默认设计规则具有整体性，如果其他没有进行设置，则当前设计中所有对象的设计规则都是以默认设计规则为准，这是优先级最低的规则设置，一旦其它任何项进行了相同的设置，该规则就会被新的规则覆盖。

类规则



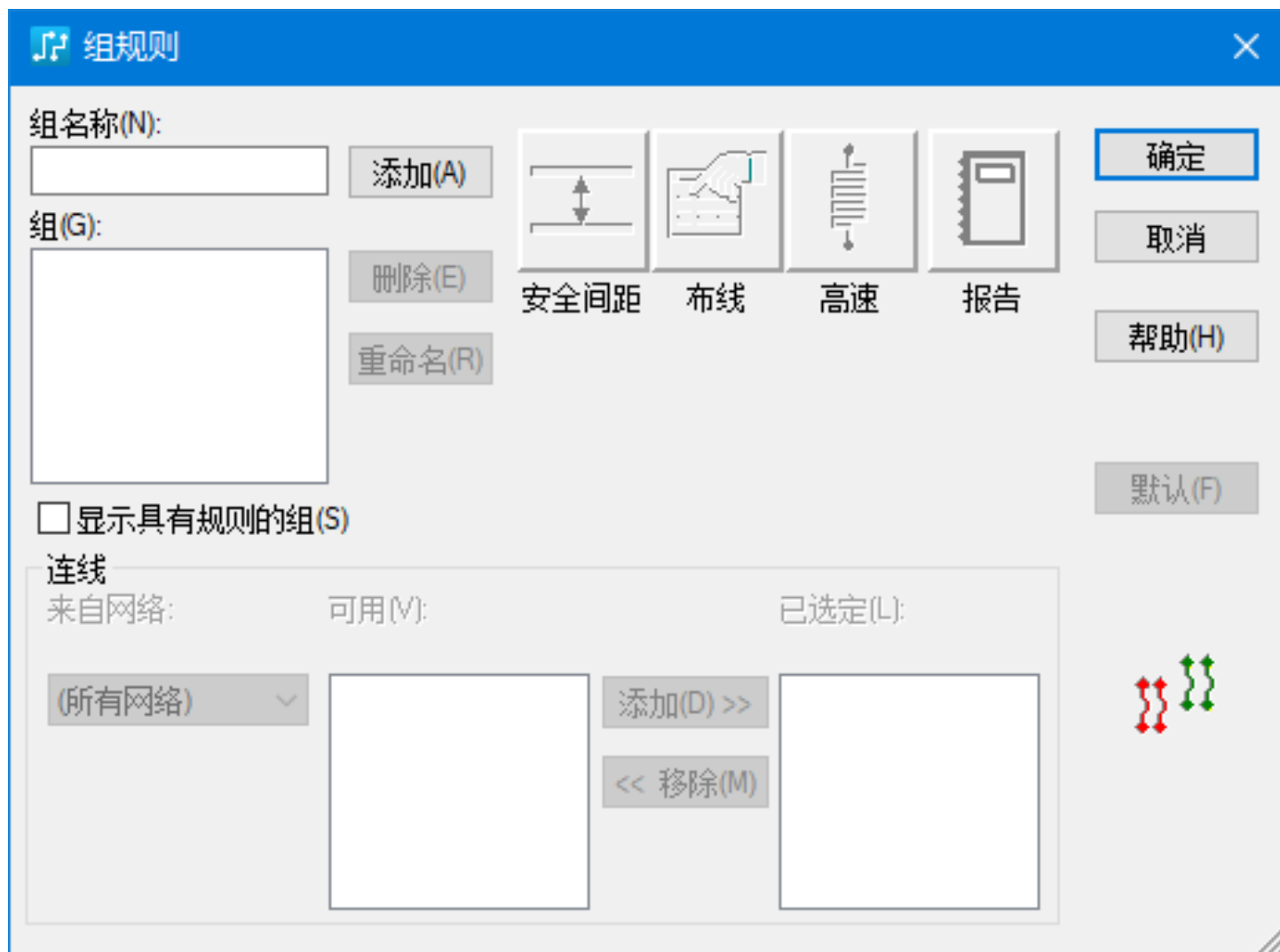
所谓的类，是指一组具有相同电气特性，可以使用相同设计规则的网络。在实际设计中，电源网络和信号网络的设置规则不同，时钟信号网络与一般信号网络不同，通过将这些网络分为不同的类来统一设置

网络规则



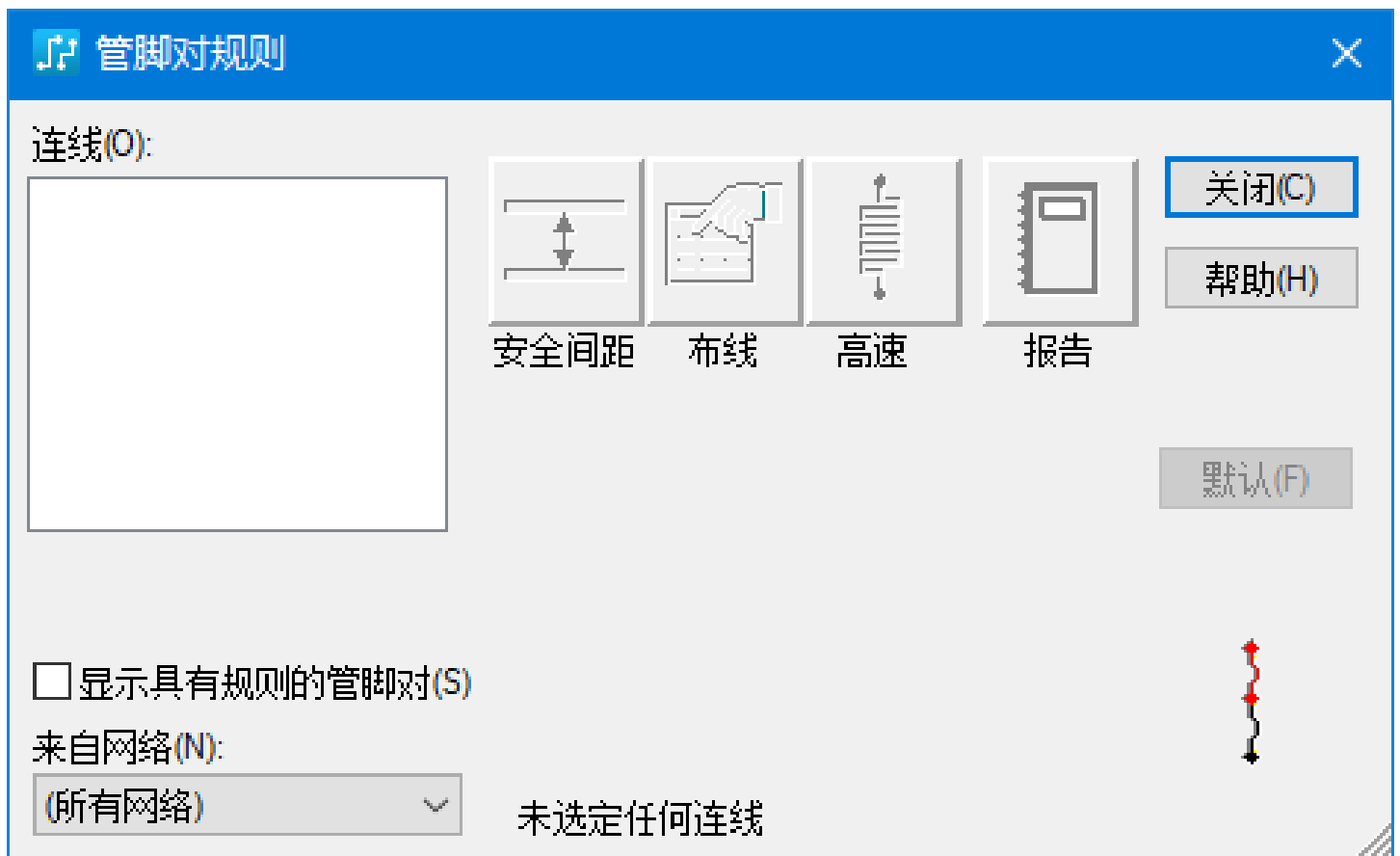
类规则设置的对象是一组具有相同设计规则的网络，而网络规则设置的对象是每个单独的网络，就像放大镜一样，网络规则更仔细地对类规则中的每个网络分别进行设置，因此，网络规则的优先级比类规则的优先级高。

组规则



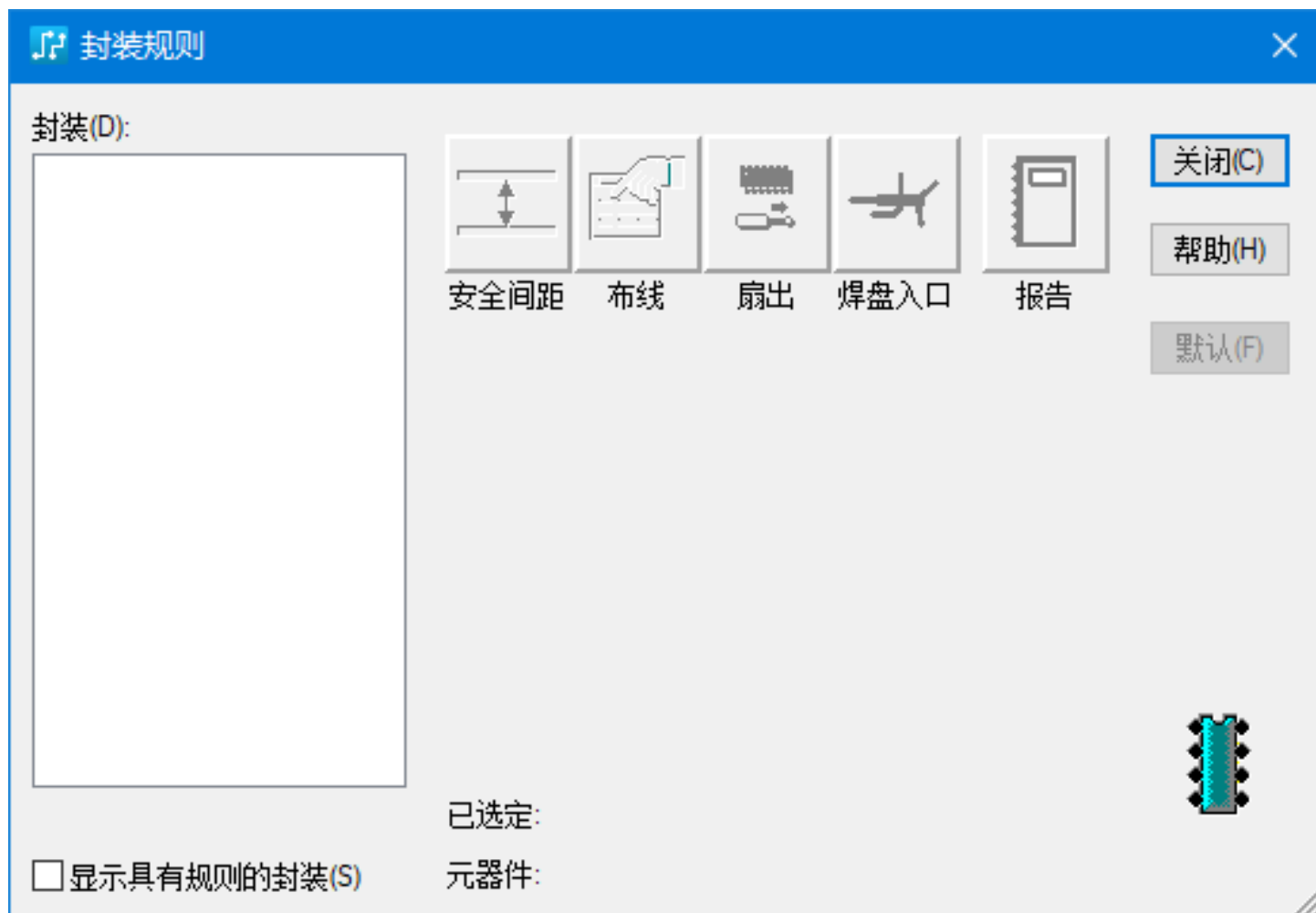
对网络连接的元器件管脚进行定位。任何一个网络都会连接一个或多个元器件，那么相应的在一个网络内就会有多个管脚对。所谓管脚对是指两个元件的连接，它可以是某一网络，也可以是某网络的一部分。

管脚对规则



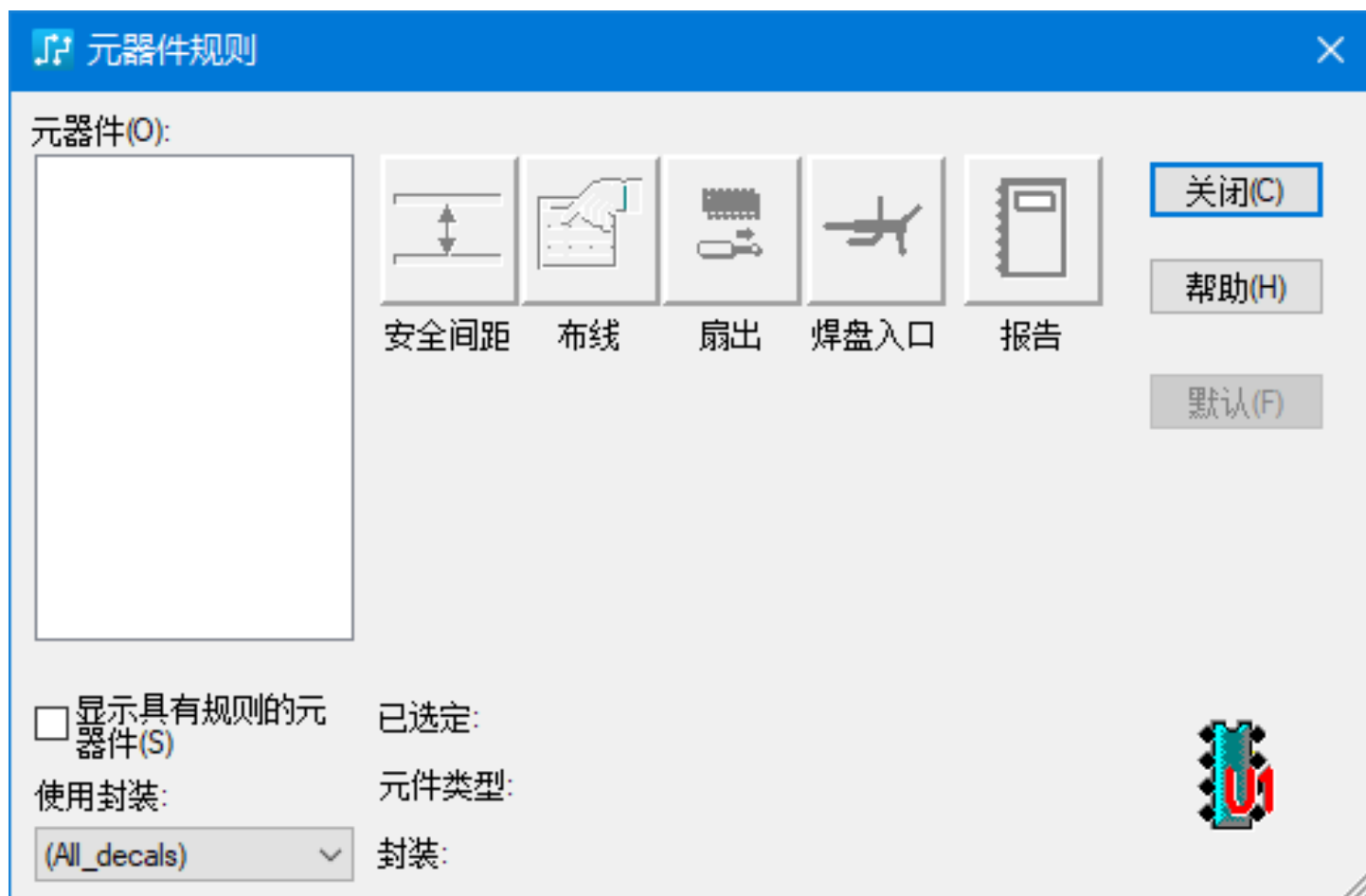
管脚对规则的对象是某一管脚对，而组是一组具有相同设计规则的管脚对集合，可见管脚对规则具有比组设计规则更高的优先级。

封装规则



封装规则是针对元件的封装而言的，在一个PCB中，不同封装之间的差异可能很大，因此需要针对不同的封装进行不同的规则设置。如果在封装规则中对某一封装进行了设置，则整个设计中具有相同封装的元件都使用该规则。

元器件规则



元件规则的设置对象是每一个元件，用户可以设置与一个元件相关的安全间距、布线规则、扇出规则、走线与焊盘关系。

条件规则

条件规则设置

×

定义条件对象

源规则对象

☒ 所有(A)

☐ 类(S)

☐ 网络(N)

☐ 组(G)

☐ 管脚对(P)

针对规则对象

☒ 层

☐ 类(E)

☐ 网络(T)

☐ 组(U)

☐ 管脚对(I)

Top

Bottom

应用

到层(M):

(所有层)

▼

现有网络集

当前规则集

☒ 安全间距

对象到对象(B):

矩阵(M)...

☐ 高速

长度(L):

间隙:

平行

纵向平行

创建(R)

删除(D)

差分规则



差分对



网络

管脚对

电气网络

可用(B):

选择(S) >>

<<取消选择(U)

添加(D) >>

<< 移除(V)

选择(E) >>

<<取消选择(N)

对(P):

对特性

线长

最小值(l):

0

最大值(x):

448000

☐ 自动布线时限制层更改(C)

按层设置布线对的线宽和间隙

层	宽度	间隙
<所有层>	12	12

添加(A)

删除(L)

障碍

☐ 允许自动布线时穿越障碍(W)

最大障碍数(O):

最大障碍尺寸(Z):



确定

取消

报告(R)

帮助(H)

电气网络规则

 电气网络规则

电气网络(E):


高速


关闭(C)

帮助(H)

默认(F)

☐ 显示具有规则的电气网络(S)

已选定:



PADS默认规则

安全间距

安全间距规则: 默认规则

同一网络(N)

所有	拐角(E)	过孔
过孔		6
SMD	6	6
导线	0	
焊盘	6	

其他(O)

钻孔到钻孔: 6

元件体到元件体: 6

线宽(W)

最小值	建议值	最大值
12	12	12

安全间距

所有(L)	导线(T)	过孔(V)	焊盘(P)	SMD	铜箔(Q)
导线(R)	6				
过孔(I)	6	6			
焊盘(A)	6	6	6		
SMD	6	6	6	6	
文本(X)	6	6	6	6	
铜箔(C)	6	6	6	6	6
板(B)	6	6	6	6	6
钻孔(D)	6	6	6	6	6

确定

取消

删除(E)

帮助(H)

图中单位mil

安全间距一般规定5mil

布线规则

拓扑类型(G)

- ☐ 受保护
- ☒ 最小化
- ☐ 串行源
- ☐ 平行源
- ☐ 中间向外

布线选项

铜共享

- ☒ 过孔(V)
- ☒ 导线(C)

优先级(I):

3

- ☒ 自动布线(U)
- ☒ 允许拆线式布线(O)
- ☒ 允许移动已布线的网络(W)
- ☐ 允许移动受保护的布线(L)

确定

取消

删除(E)

帮助(H)

设置布线层

可用层(Y):

添加(A) >>

<< 移除(R)

选定的层(S):

Top
Bottom

过孔

可用过孔(B):

添加(D) >>

<< 移除(M)

导通(T) >>

半导(P) >>

选定的过孔(D):

STANDARDVIA

最大过孔数

- ☒ 无限制的过孔(N)
- ☐ 最大值(F): 60

提示: 最大过孔数仅适用于自动布线



扇出规则

扇出规则: 默认规则

对齐

☒ 对齐(A)

☐ 备选(R)

☐ 多行(M)

方向

☒ 内部(I)

☐ 外部(O)

☐ 双面(B)

过孔间距

☒ 使用栅格(G)

☐ 1 根导线

☐ 2 根导线

管脚共享

☒ 导通管脚(T)

☒ SMD 管脚

☒ 过孔(V)

☐ 导线(C)

网络

☒ 平面(P)

☐ 信号(N)

☐ 未使用的管脚(U)

扇出长度

☒ 无限制(L)

最大值(X):

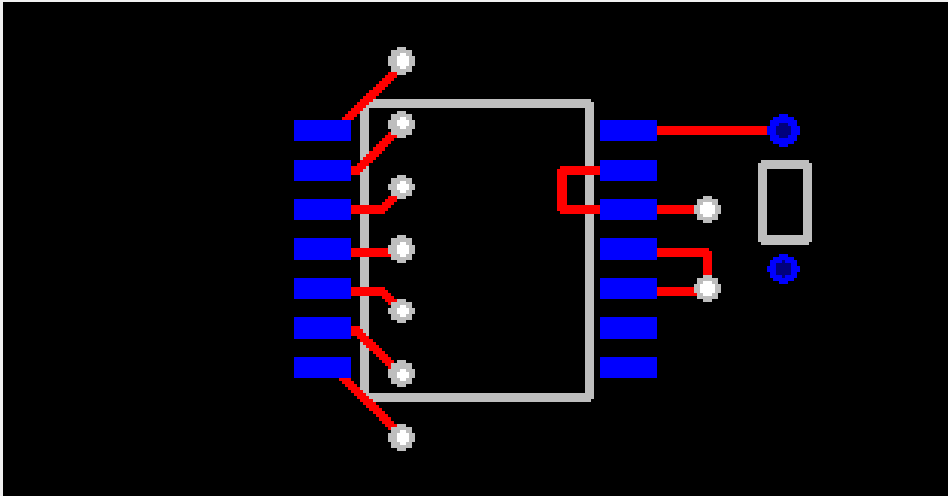
确定

取消


删除(D)

帮助(H)

预览



提示: 尽管您可以在 PADS Layout 或 PADS Router 中定义这些规则, 规则只能在 PADS Router 中使用。



PADS-LOGIC网表输出

网表概念

PADS网表的概念

PADS网表（Netlist）是连接电子原理图和印刷电路板（PCB）布局的文件，它包含了原理图中所有元件的连接信息。在PADS软件中，网表用于同步原理图和PCB布局设计，确保电路的电气连接在两个设计阶段中保持一致。网表通常包含元件的网络名称、引脚编号、连接关系等信息，是电子设计自动化（EDA）中不可或缺的一部分。

有了网表在Layout中才会生成PCB

Logic网表输出

工具->Layout网表



输出文件名(O)

C:\Users\Administrator\Desktop\STM32最小系

浏览(B)...

选择图页(S):

- ☒ 01POWER
- ☒ 02MCU
- ☒ 03KEY +LED
- ☒ 04RELAY +BUZZER
- ☒ 05ARDUINO
- ☒ 06USB/UART

全选(A)

取消所有选择(U)

☒ 包含子图页(I)

输出格式(F):

PADS Layout 9.0

☒ 包含设计规则(R)

☒ 包含元件属性(P)

☒ 包含网络属性(N)

提示: 运行“连接性报告”以查找可能的连接性错误

确定

取消

帮助(H)

网表错误报告

会进行：设计与库元件的一致性检查、单个/零个管脚网络警告、原理图连接性错误检查

PCB 网表错误报告 - stm32F072.sch - Tue Aug 27 02:08:05 2024

设计与库元件的一致性检查

库一致性检查未找到错误。

单个/零个管脚网络警告

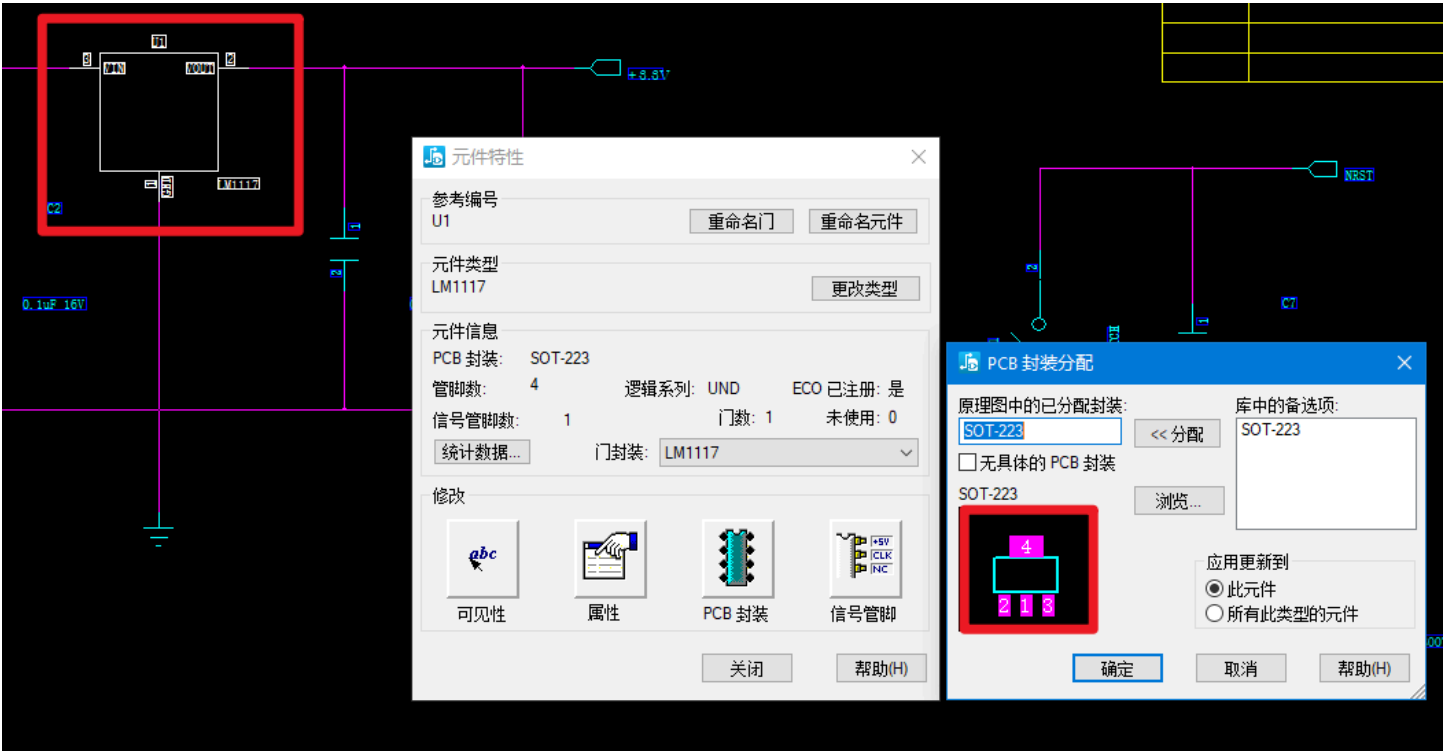
网络 VOUT 在 PCB 网表文件中的管脚不足两个。

原理图连接性错误

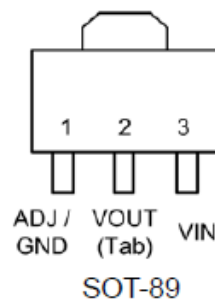
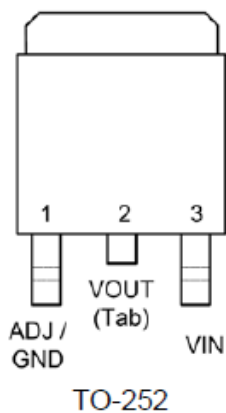
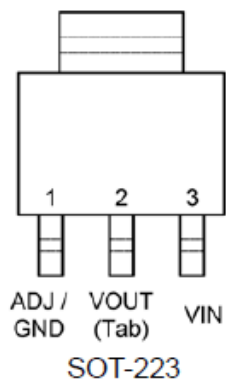
没有连接性错误或警告。

按照报错或者警告信息去排查

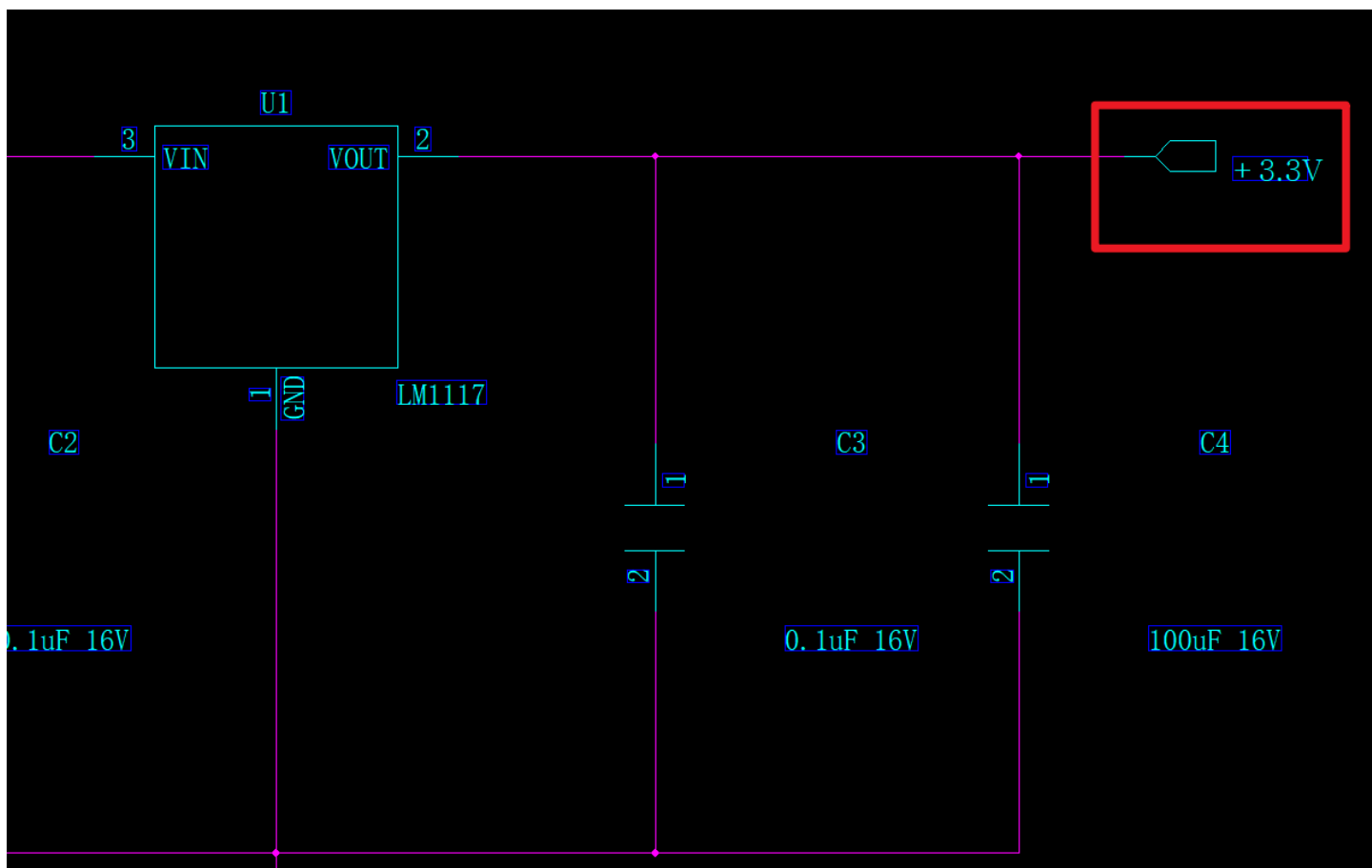
LM1117电源芯片，PCB封装有四个引脚，而CAE封装是三个引脚



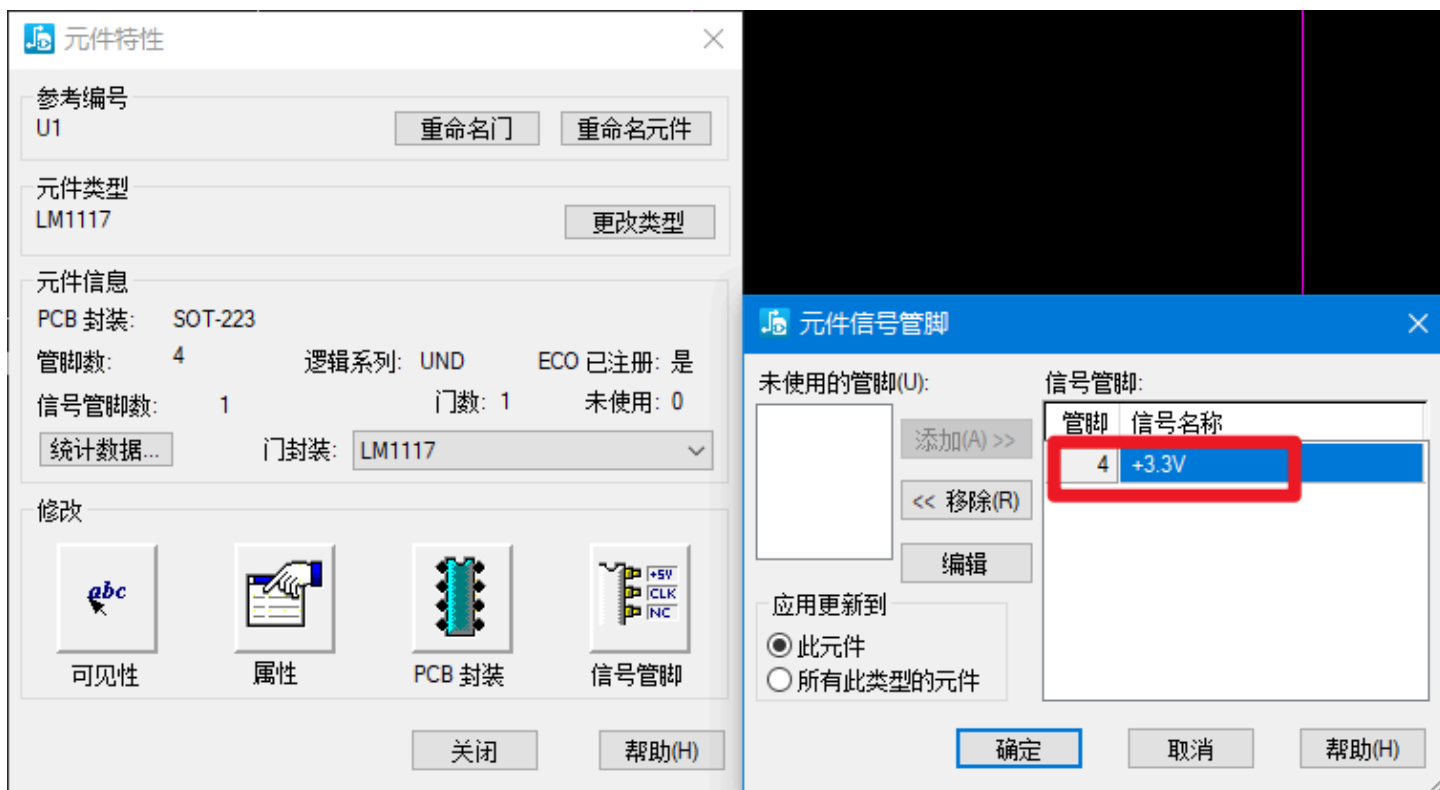
PIN CONFIGURATION



其第四引脚就是VOUT，也就是和2号引脚相通



2号引脚接到+3.3V，因此只需要将4脚改成连接+3.3V就正常了



Layout网表导入

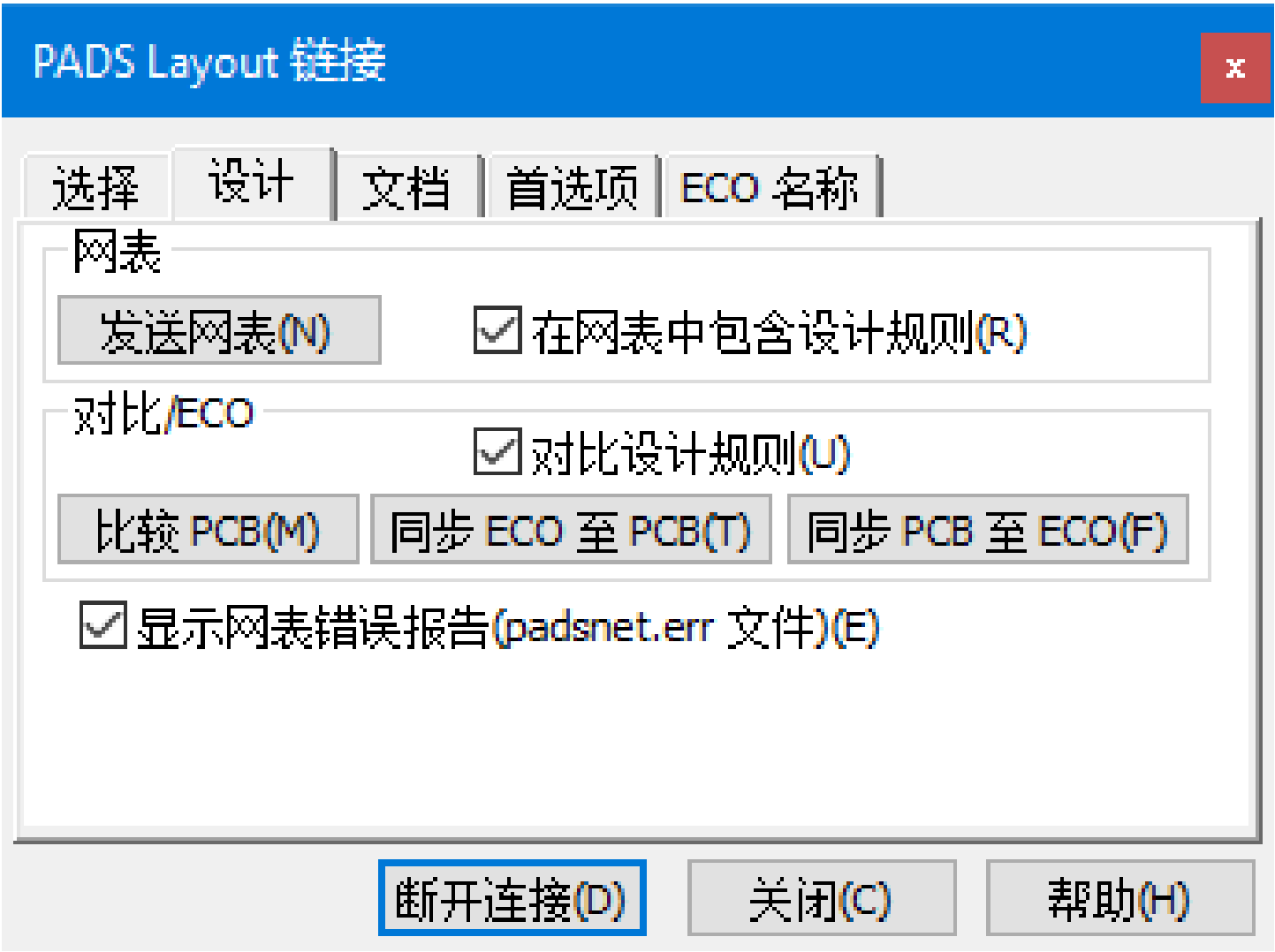
打开PADS->LAYOUT

文件->导入->选择生成的*.asc文件

Layout链接

Logic->工具->PADS Layout

设计



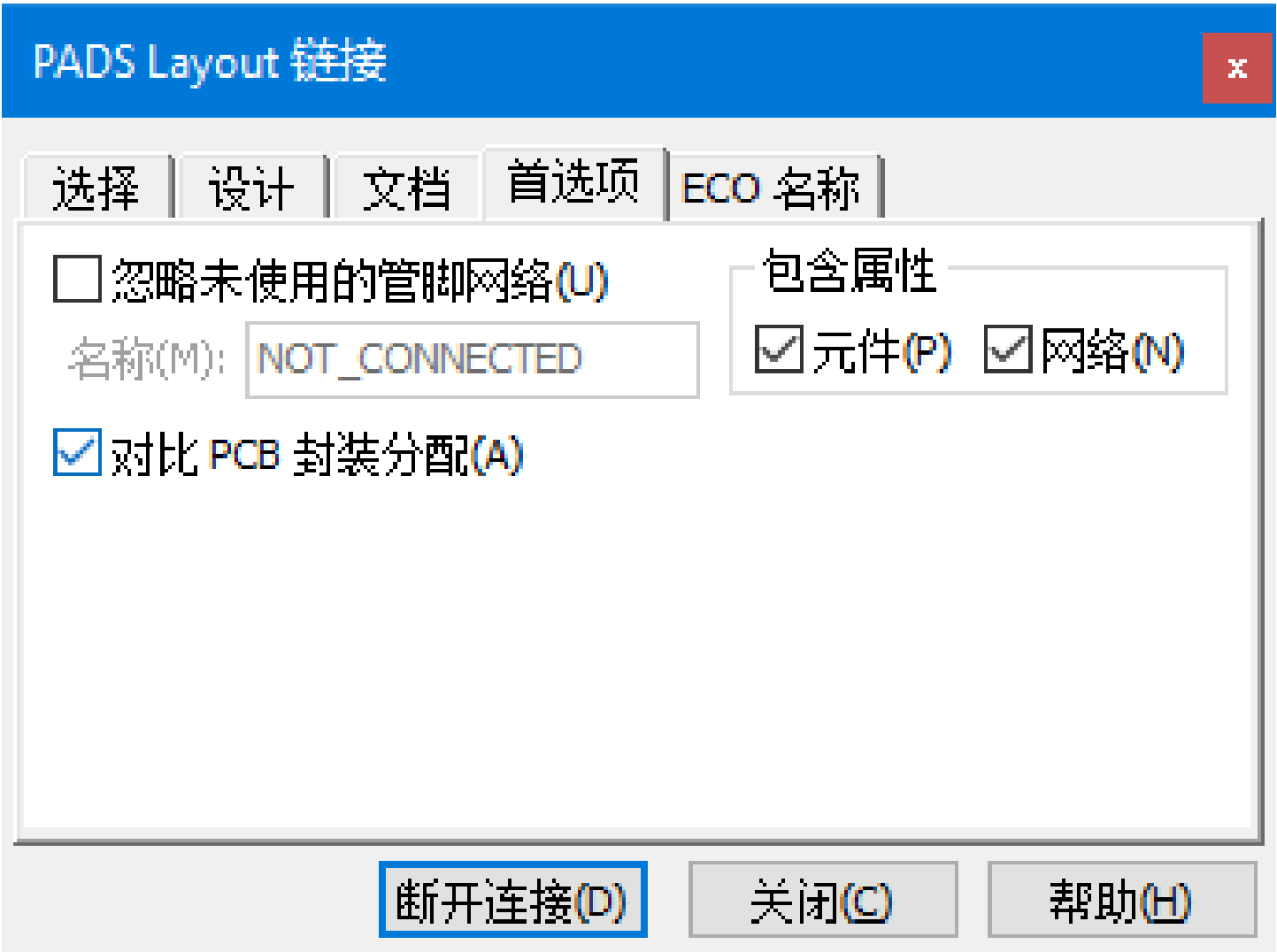
- 在Logic中“工具->PADS Layout->设计”中勾选“在网表中包含设计规则”，点击发送网表，就可以同步到Layout中
- 如果勾选:“对比->对比设计规则”， Logic中的设计规则会覆盖Layout中的设计规则
- 对比PCB选项：如果修改了元件的PCB封装，就可以同步到Layout里
- 默认勾选“显示网表错误报告”，可以查看网表导出错误

文档



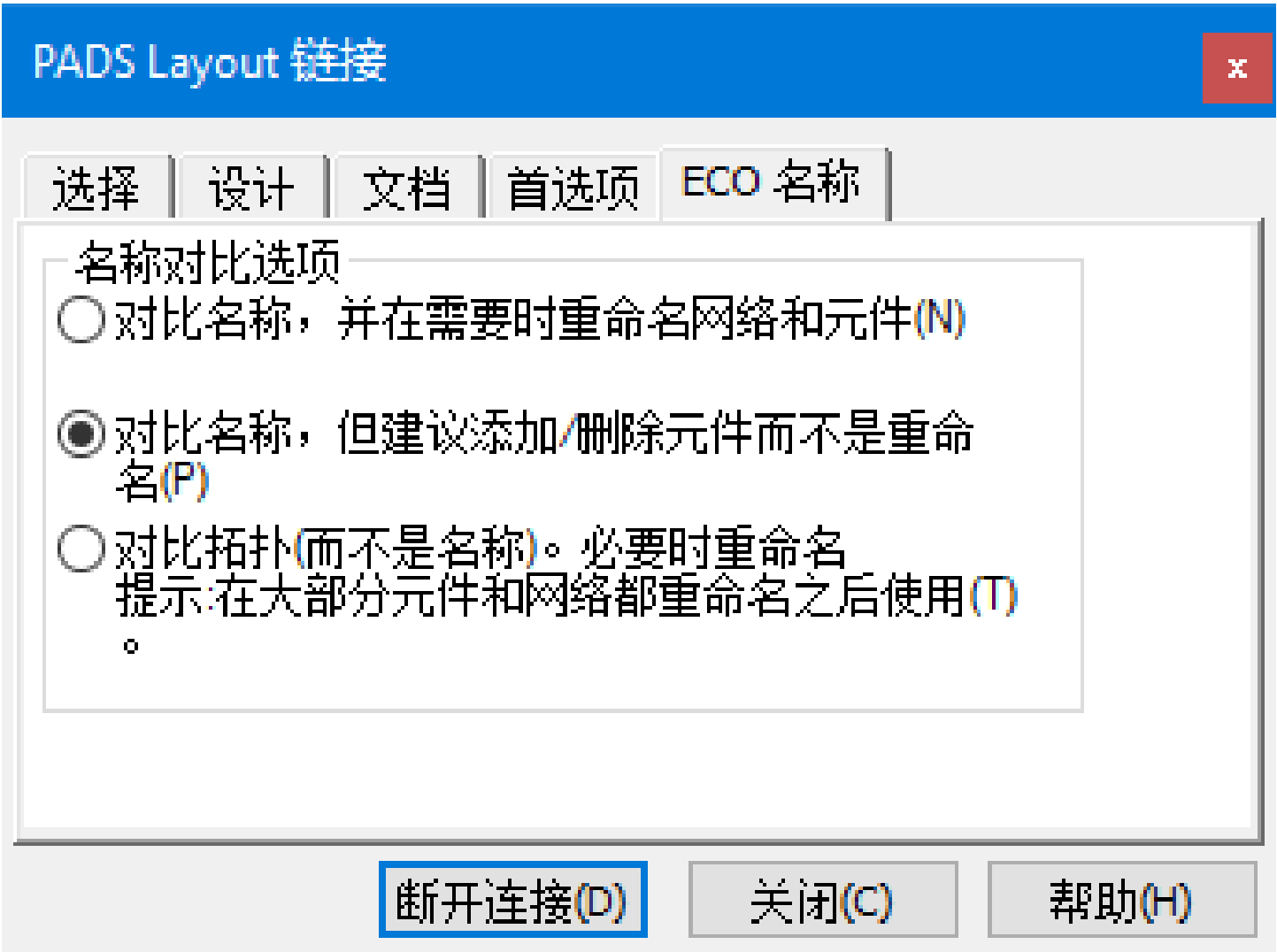
Logic与Layout所关联的PCB文件，确保一致

首选项



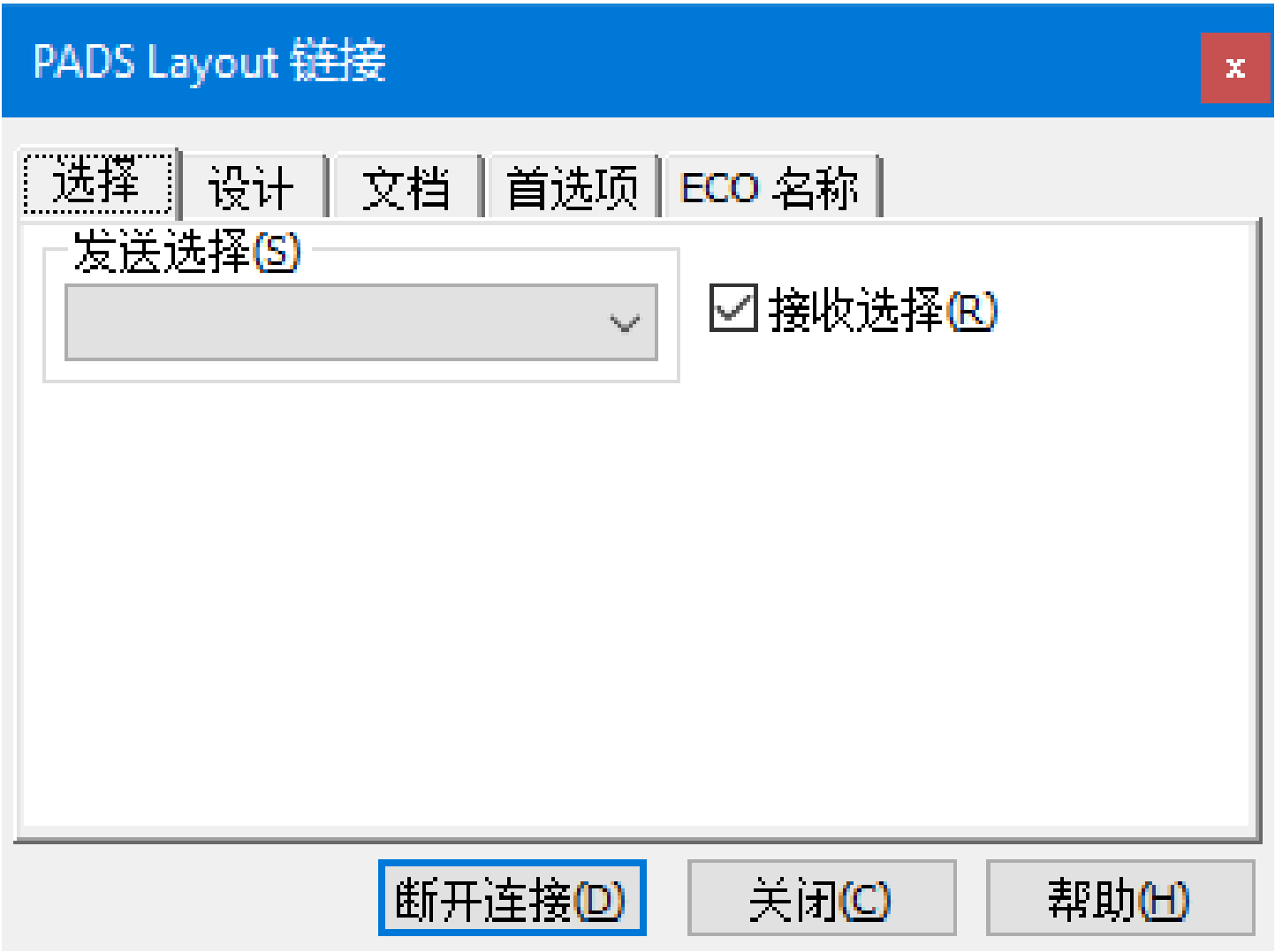
勾选“对比PCB封装分配”，Logic中更新的元件属性才会同步到Layout中

ECO名称



修改网络名称后会用到

选择



在Logic原理图中选中的元件会在Layout中高亮

