

# REPORT

## 임베디드 실습 및 실험(002) 3주차 실험 결과보고서

10조



전기컴퓨터공학부	201824446	김윤재
정보컴퓨터공학부	202055558	송세연
정보컴퓨터공학부	2020555889	임연후
바이오소재과학과	201845626	최이한

2022.09.20

◆ 실험 목표

조이스틱 입력을 통한 LED 제어

입력(조이스틱)	출력(LED)
DOWN →	LED1, LED2 on
LEFT →	LED3, LED4 off
RIGHT →	LED1, LED2 off
UP →	LED3, LED4 on

◆ 실험 과정

- 주어진 STM32F107VCT6\_schematic.pdf 자료를 참고하여 입출력 장치가 연결된 포트 번호와 핀번호를 찾는다.

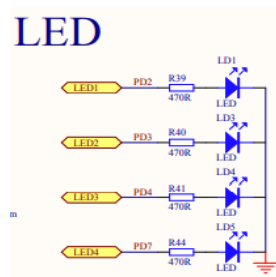


그림 1 LED 회로도

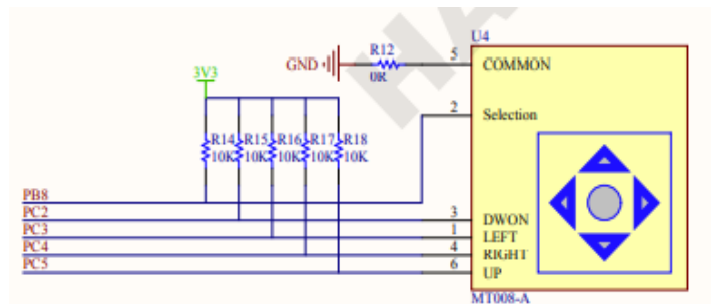


그림 2 조이스틱 회로도

입력(조이스틱)	포트&핀 번호	출력(LED)	포트&핀 번호
DOWN	PC2	LED1, LED2 on	PD2
LEFT	PC3	LED3, LED4 off	PD3
RIGHT	PC4	LED1, LED2 off	PD4
UP	PC5	LED3, LED4 on	PD7

- 이후 stm32\_Datasheet.pdf 파일을 참고하여 RCC 및 IO 포트에 사용될 포트 C, 포트 D의 base address 값을 구한다.

RCC의 base address : 0x4002 1000

Port C의 base address : 0x4001 1000

Port D의 base address : 0x4001 1400

AHB	Ethernet	0x4002 8000 - 0x4002 9FFF
	Reserved	0x4002 3400 - 0x4002 7FFF
	CRC	0x4002 3000 - 0x4002 33FF
	Reserved	0x4002 2400 - 0x4002 2FFF
	Flash interface	0x4002 2000 - 0x4002 23FF
	Reserved	0x4002 1400 - 0x4002 1FFF
	RCC	0x4002 1000 - 0x4002 13FF
	Reserved	0x4002 0800 - 0x4002 0FFF
	DMA2	0x4002 0400 - 0x4002 07FF
	DMA1	0x4002 0000 - 0x4002 03FF
APB2	Reserved	0x4001 3C00 - 0x4001 FFFF
	USART1	0x4001 3800 - 0x4001 3BFF
	Reserved	0x4001 3400 - 0x4001 37FF
	SPI1	0x4001 3000 - 0x4001 33FF
	TIM1	0x4001 2C00 - 0x4001 2FFF
	ADC2	0x4001 2800 - 0x4001 2BFF
	ADC1	0x4001 2400 - 0x4001 27FF
	Reserved	0x4001 1C00 - 0x4001 23FF
	Port E	0x4001 1800 - 0x4001 1BFF
	Port D	0x4001 1400 - 0x4001 17FF
	Port C	0x4001 1000 - 0x4001 13FF
	Port B	0x4001 0C00 - 0x4001 0FFF
	Port A	0x4001 0800 - 0x4001 0BFF
	EXTI	0x4001 0400 - 0x4001 07FF
	AFIO	0x4001 0000 - 0x4001 3FFF
	Reserved	0x4000 7800 - 0x4000 FFFF

그림 3 RCC, Port C, Port D의 base address

3. RCC를 사용하여 사용하고자 하는 GPIO(포트&핀)에 clock을 인가한다.

### 7.3.7 APB2 peripheral clock enable register (RCC\_APB2ENR)

Address: 0x18

Reset value: 0x0000 0000

Access: word, half-word and byte access

No wait states, except if the access occurs while an access to a peripheral in the APB2 domain is on going. In this case, wait states are inserted until the access to APB2 peripheral is finished.

**Note:** When the peripheral clock is not active, the peripheral register values may not be readable by software and the returned value is always 0x0.

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Low-, medium-, high- and XL-density reset and clock control (RCC)

RM0008

Reserved										TIM11 EN	TIM10 EN	TIM9 EN	Reserved		
										rw	rw	rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC3 EN	USART 1EN	TIM8 EN	SPI1 EN	TIM1 EN	ADC2 EN	ADC1 EN	IOPG EN	IOPF EN	IOPE EN	IOPD EN	IOPC EN	IOPB EN	IOPA EN	Res.	AFIO EN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

그림 4 RCC 레지스터의 사용방법

C, D 포트이므로 4, 5번째 비트를 1로 설정해줌으로써 clock을 인가해준다.

0000 0000 0000 0000 0000 0000 0001 0000⇒C포트  
 0000 0000 0000 0000 0000 0000 0010 0000⇒D포트  
 \*(RCC의 base address+offset)=0x40021000+0x18=0x30

#### 4. 사용하려는 GPIO Port, Pin input/output을 설정한다.(=Port Configuration)

사용하려는 포트의 핀번호가 모두 0~7 범위 내에 있으므로 CRL 레지스터를 사용한다.

##### 9.2.1 Port configuration register low (GPIOx\_CRL) (x=A..G)

Address offset: 0x00

Reset value: 0x4444 4444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF7[1:0]	MODE7[1:0]	CNF6[1:0]	MODE6[1:0]	CNF5[1:0]	MODE5[1:0]	CNF4[1:0]	MODE4[1:0]	CNF3[1:0]	MODE3[1:0]	CNF2[1:0]	MODE2[1:0]	CNF1[1:0]	MODE1[1:0]	CNF0[1:0]	MODE0[1:0]
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF3[1:0]	MODE3[1:0]	CNF2[1:0]	MODE2[1:0]	CNF1[1:0]	MODE1[1:0]	CNF0[1:0]	MODE0[1:0]	CNF0[1:0]	MODE0[1:0]	CNF0[1:0]	MODE0[1:0]	CNF0[1:0]	MODE0[1:0]	CNF0[1:0]	MODE0[1:0]
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Bits 31:30, 27:26, 23:22, 19:18, 15:14, 11:10, 7:6, 3:2 **CNFy[1:0]**: Port x configuration bits (y= 0 .. 7)  
These bits are written by software to configure the corresponding I/O port.  
Refer to [Table 20: Port bit configuration table on page 161](#).

**In input mode (MODE[1:0]=00):**

00: Analog mode  
01: Floating input (reset state)  
10: Input with pull-up / pull-down  
11: Reserved

**In output mode (MODE[1:0] > 00):**

00: General purpose output push-pull  
01: General purpose output Open-drain  
10: Alternate function output Push-pull  
11: Alternate function output Open-drain

Bits 29:28, 25:24, 21:20, 17:16, 13:12, 9:8, 5:4, 1:0 **MODEy[1:0]**: Port x mode bits (y= 0 .. 7)  
These bits are written by software to configure the corresponding I/O port.  
Refer to [Table 20: Port bit configuration table on page 161](#).

00: Input mode (reset state)  
01: Output mode, max speed 10 MHz.  
10: Output mode, max speed 2 MHz.  
11: Output mode, max speed 50 MHz.

#### 그림 5 CRL 레지스터의 사용 방법

레퍼런스에 나와있는 대로, 입력포트인 C포트에 대해, 사용할 핀 번호 위치에서 Mode는 00, CNF는 10(조이스틱 입력은 pull-up 방식을 쓰므로)을 넣어준다.

출력포트인 D포트에 대해, 마찬가지로 사용할 핀 번호 위치에서 Mode는 가장 빠른 주파수를 가지는 11, CNF는 표준 출력인 00을 넣어준다.

0000 0000 **1000 1000 1000 1000** 0000 0000 ⇒ **0x00888800**

00**11** 0000 0000 00**11** 00**11** 00**11** 0000 0000 ⇒ **0x30033300**

\*(C포트의 base address+offset)=0x4001100+0x00=0x00888800

\*(D포트의 base address+offset)=0x4001100+0x00=0x30033300

5. GPIO의 Input(IDR), output(BSRR&BRR)을 통해 입출력 장치를 제어한다.

- Input

### 9.2.3 Port input data register (GPIOx\_IDR) (x=A..G)

Address offset: 0x08h

Reset value: 0x0000 XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDR15	IDR14	IDR13	IDR12	IDR11	IDR10	IDR9	IDR8	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bits 31:16 Reserved, must be kept at reset value.

Bits 15:0 **IDRy**: Port input data (y= 0 .. 15)

These bits are read only and can be accessed in Word mode only. They contain the input value of the corresponding I/O port.

### 그림 6 IDR 레지스터의 사용 방법

조이스틱 입력은 Pull-up 방식이기 때문에, 입력이 들어오지 않을 때엔 비트 값이 1이었다가 입력이 들어올 때 해당 핀 번호에 해당하는 비트 값이 0이 된다.

이 점에 유의하여 if문 코드를 짜면 특정 핀번호에 입력이 들어올 때를 다음과 같이 처리할 수 있다.

```
If ( !(*GPIOC_IDR & BIT_5) ) //5번 핀, 즉 조이스틱 up 입력이 들어왔을 때
```

GPIOC\_IDR은 C포트의 IDR 레지스터 주소, BIT\_5는 0x20(=0b100000)

✧ Pull-up 방식인 이유 : 조이스틱의 회로도를 보면

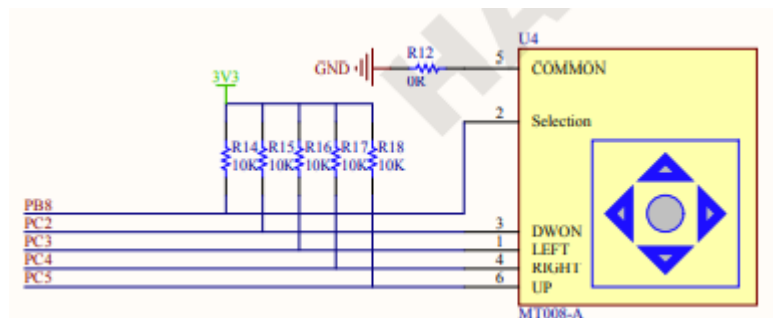


그림 7 조이스틱의 회로도

VCC→저항→스위치→GND의 구조로 Pull-up 방식임을 확인할 수 있다.

- Output

핀에 value를 set할 BSRR과 reset할 BRR 레지스터를 사용한다.

### 9.2.5 Port bit set/reset register (GPIOx\_BSRR) (x=A..G)

Address offset: 0x10

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bits 31:16 **BRy**: Port x Reset bit y (y= 0 .. 15)

These bits are write-only and can be accessed in Word mode only.

0: No action on the corresponding ODRx bit

1: Reset the corresponding ODRx bit

*Note: If both BSx and BRx are set, BSx has priority.*

Bits 15:0 **BSy**: Port x Set bit y (y= 0 .. 15)

These bits are write-only and can be accessed in Word mode only.

0: No action on the corresponding ODRx bit

1: Set the corresponding ODRx bit

### 그림 8 BSRR 레지스터의 사용 방법

### 9.2.6 Port bit reset register (GPIOx\_BRR) (x=A..G)

Address offset: 0x14

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bits 31:16 Reserved

Bits 15:0 **BRy**: Port x Reset bit y (y= 0 .. 15)

These bits are write-only and can be accessed in Word mode only.

0: No action on the corresponding ODRx bit

1: Reset the corresponding ODRx bit

### 그림 9 BRR 레지스터의 사용 방법

특정 핀의 value를 set/reset하고자 할 때 해당 핀 번호 위치의 bit 값을 1로 설정해주면 된다.

```
*GPIO_BSRR |= 0x90; //4번, 7번 핀 set
```

```
*GPIO_BRR |= 0xc; //2번, 3번 핀 reset
```

GPIO\_BSRR, GPIO\_BRR은 D포트의 BSRR, BRR 레지스터의 주소

✧ 혹시 모를 오작동을 피하기 위해 코드가 실행되기 전 모든 output 핀의 value를 reset해준다.

```
*GPIO_BRR |= (BIT_2|BIT_3|BIT_4|BIT_7);
```

◆ 실험 결과

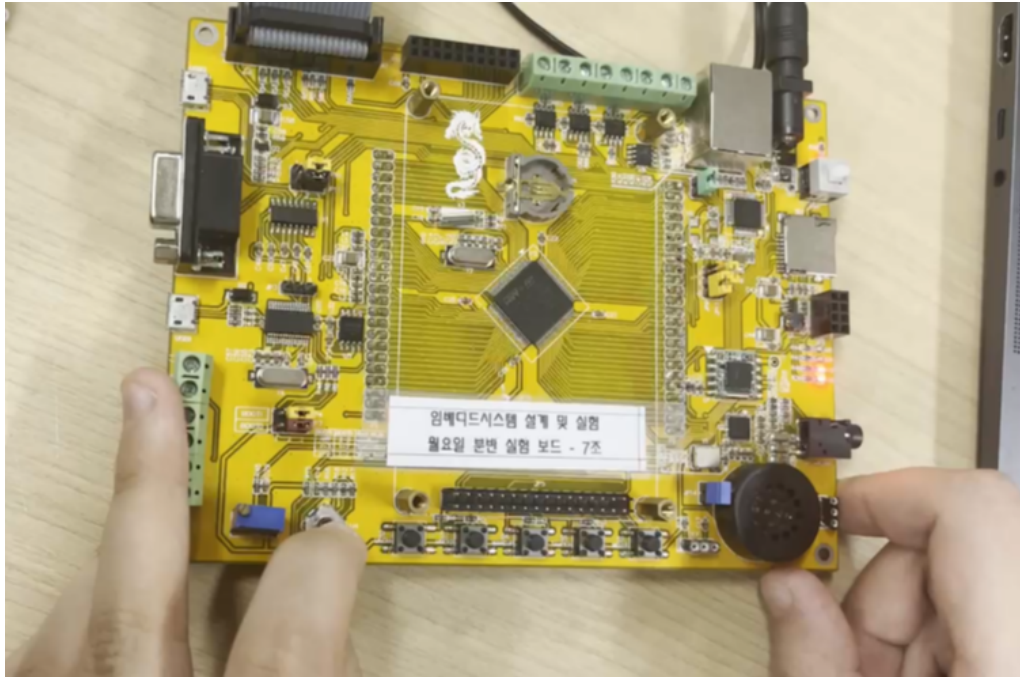


그림 10 조이스틱을 위로 눌러 LED 3, 4가 켜진 모습

정상적으로 동작하였다.