## 中国科学院大学计算机组成原理实验课实 验 报 告

学号: 2015K8009929014 姓名: 李云志 专业: 计算机科学与技术

实验序号: 5 实验名称: MIPS CPU 性能计数器上板调试

注 1: 本实验报告请以 PDF 格式提交。文件命名规则: [学号]-PRJ[实验序号]-RPT.pdf, 其中文件名字母大写,后缀名小写。例如: [2014K8009959088]-PRJ[1]-RPT.pdf 注 2: 实验报告模板以下部分的内容供参考,可包含但不限定如下条目内容。

- 一、 逻辑电路结构与仿真波形的截图及说明(比如关键 RTL 代码段{包含注释} 及其对应的逻辑电路结构、相应信号的仿真波形和信号变化的说明等)
  - 1 axi\_lite\_if.v

2、 mips\_cpu\_elf\_loader.c
 核心代码段如下:

```
#define MIPS CPU PERF DW OFFSET
                                   0x00002000//base
uint32_t get_Perf(int cnt)//get performance counter's number
   return *(map_base_word+(MIPS_CPU_PERF_DW_OFFSET >> 2)+cnt);
}
int i=0;
   uint32_t perf[8];
   for(i=0;i<8;i++)
       perf[i]=get_Perf(i+1);
//print those numbers
   printf("cycle count is %u\n",perf[0]);
   printf("inst count is %u\n",perf[1]);
   printf("branch count is %u\n",perf[2]);
   printf("load count is %u\n",perf[3]);
   printf("store count is %u\n",perf[4]);
   printf("user1 count is %u\n",perf[5]);
   printf("user1 count is %u\n",perf[6]);
   printf("user1 count is %u\n",perf[7]);
```

## 3、 思考与总结

- (1) 对于 Axi lite 总线传输接口有了一定的认识,对于其握手机制,各个通道以及读、写等操作有了较为深入的理解,这也与计算机组成原理课程上关于总线的内容连接了起来,丰富了知识面。
- (2) 更加深入理解了主、从机的概念,以及交互方式,数据与信息传递等。方便以后利用 FPGA 进行规模更大,更复杂的工程。