**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：使用Vivado仿真

学生姓名： 李昱祁

学生学号： PB18071496

完成日期： 2019/11/1

计算机实验教学中心制

2019年09月

【实验目的】

熟悉 Vivado 软件的下载、安装及使用

学习使用 Verilog 编写仿真文件

学习使用 Verilog 进行仿真，查看并分析波形文件

【实验环境】

PC 一台

Windows 或 Linux 操作系统

Vivado 工具

vlab.ustc.edu.cn(包含 Vivado 下载安装及使用教程)

【实验过程】

**Step1.**

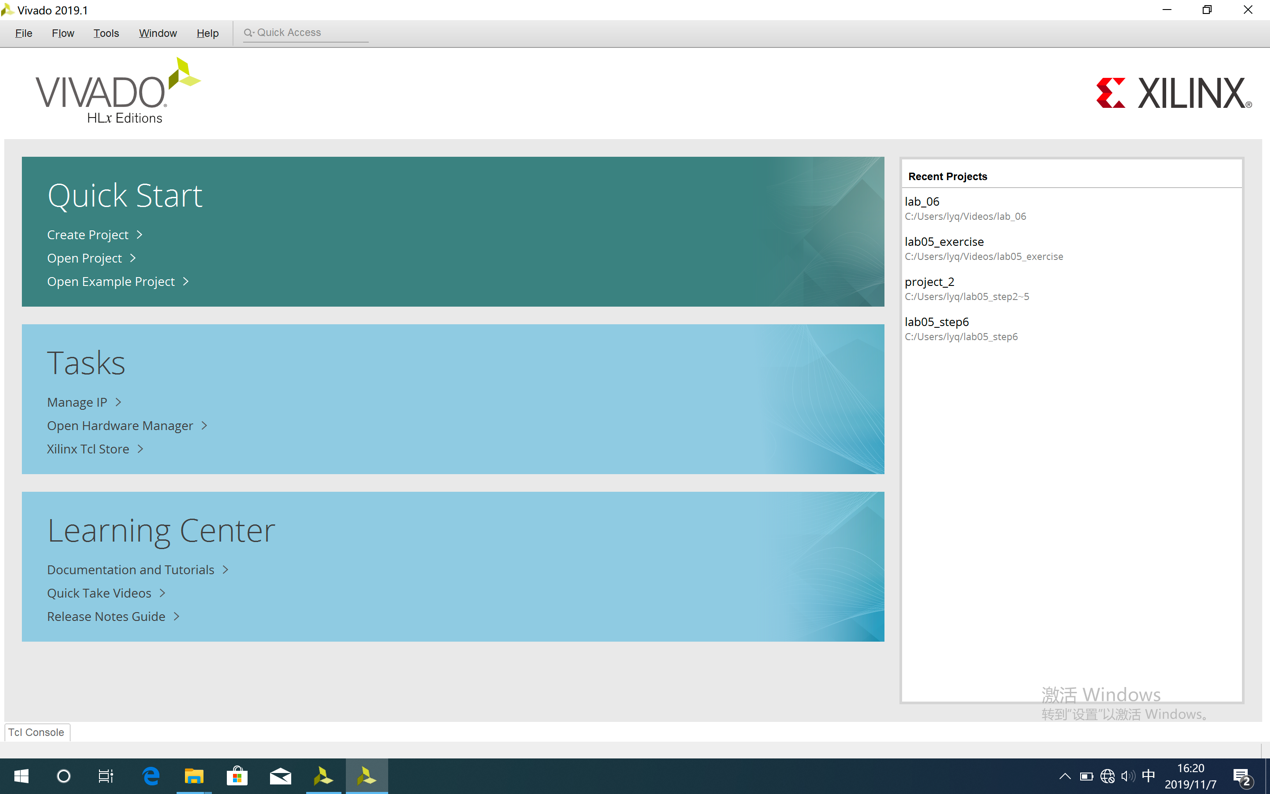
——下载并安装 Vivado 环境

根据讲义中的教程及助教的指导，顺利完成了安装

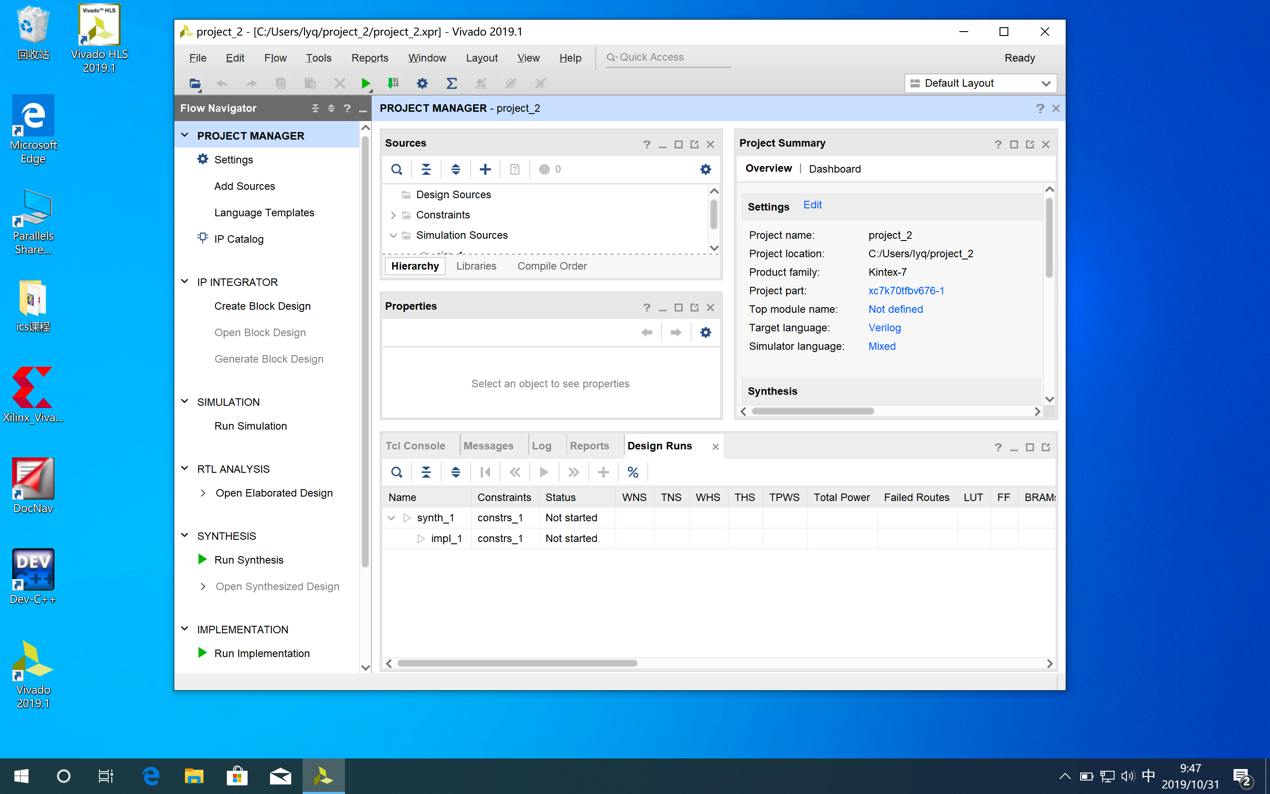
**Step2&3.**

——创建新工程并添加Verilog设计文件

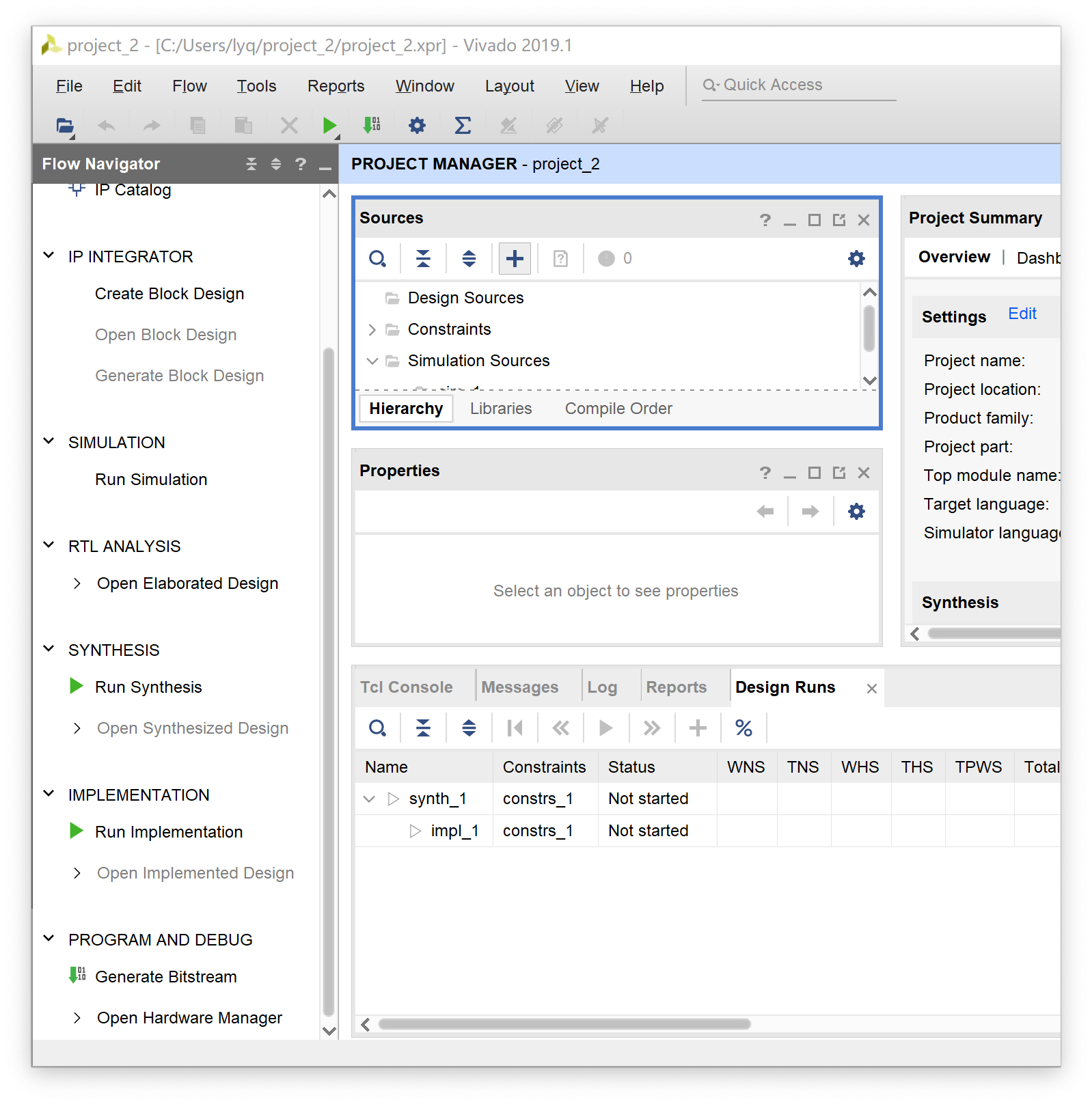
进入程序后界面如下：



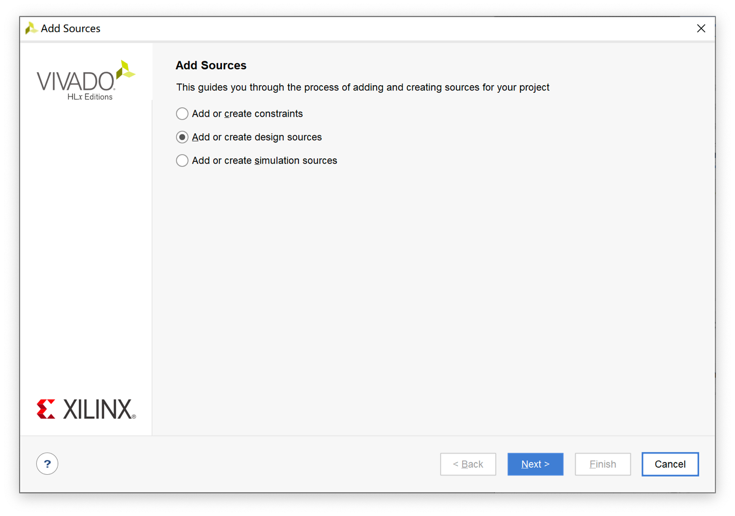
打开工程文件后，后界面如下，包含 **“Project Manager” 、“Sources” 、“Project Summary” 、“Design Runs”** 四大区域：



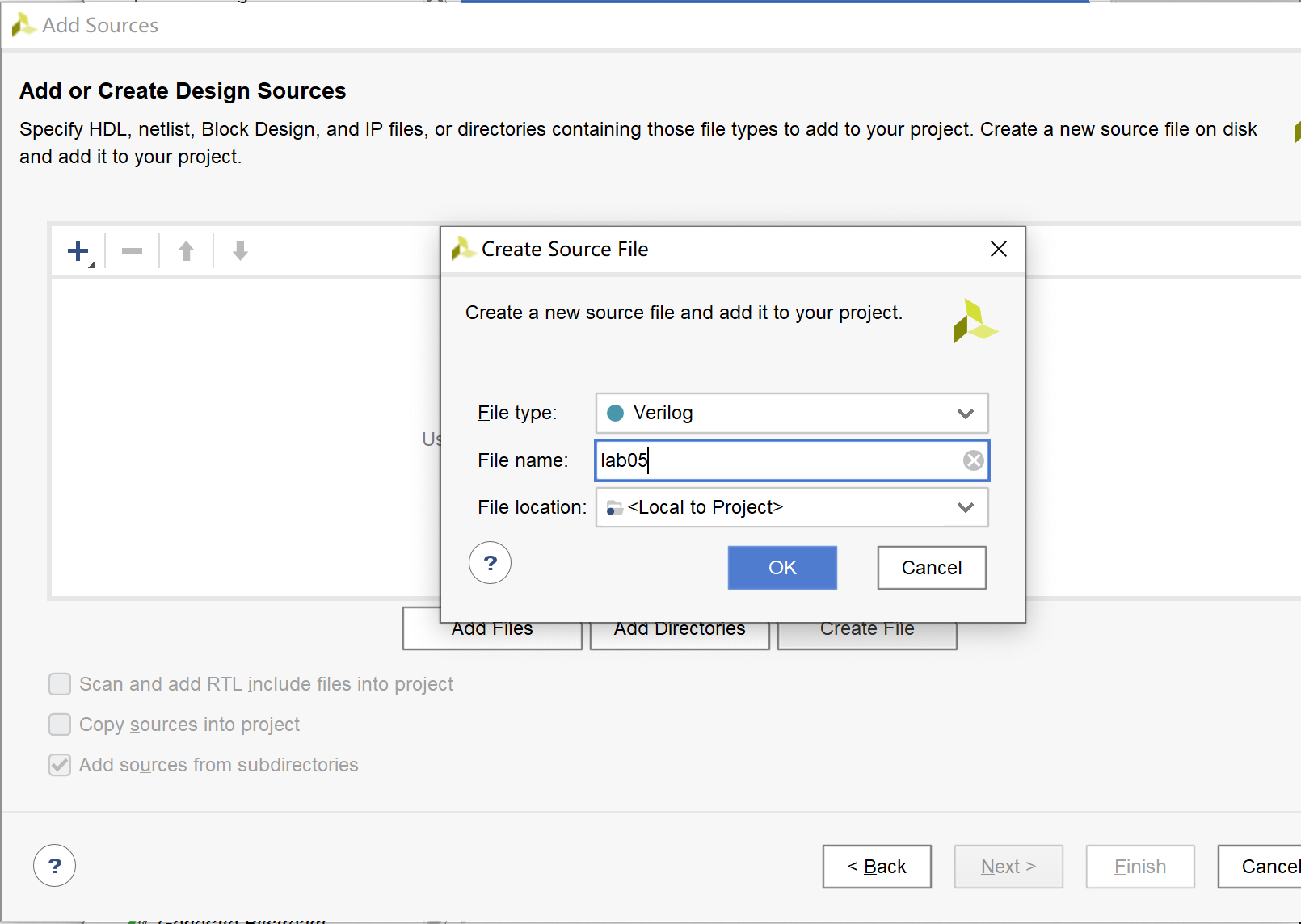
之后“Add Source”添加文件：



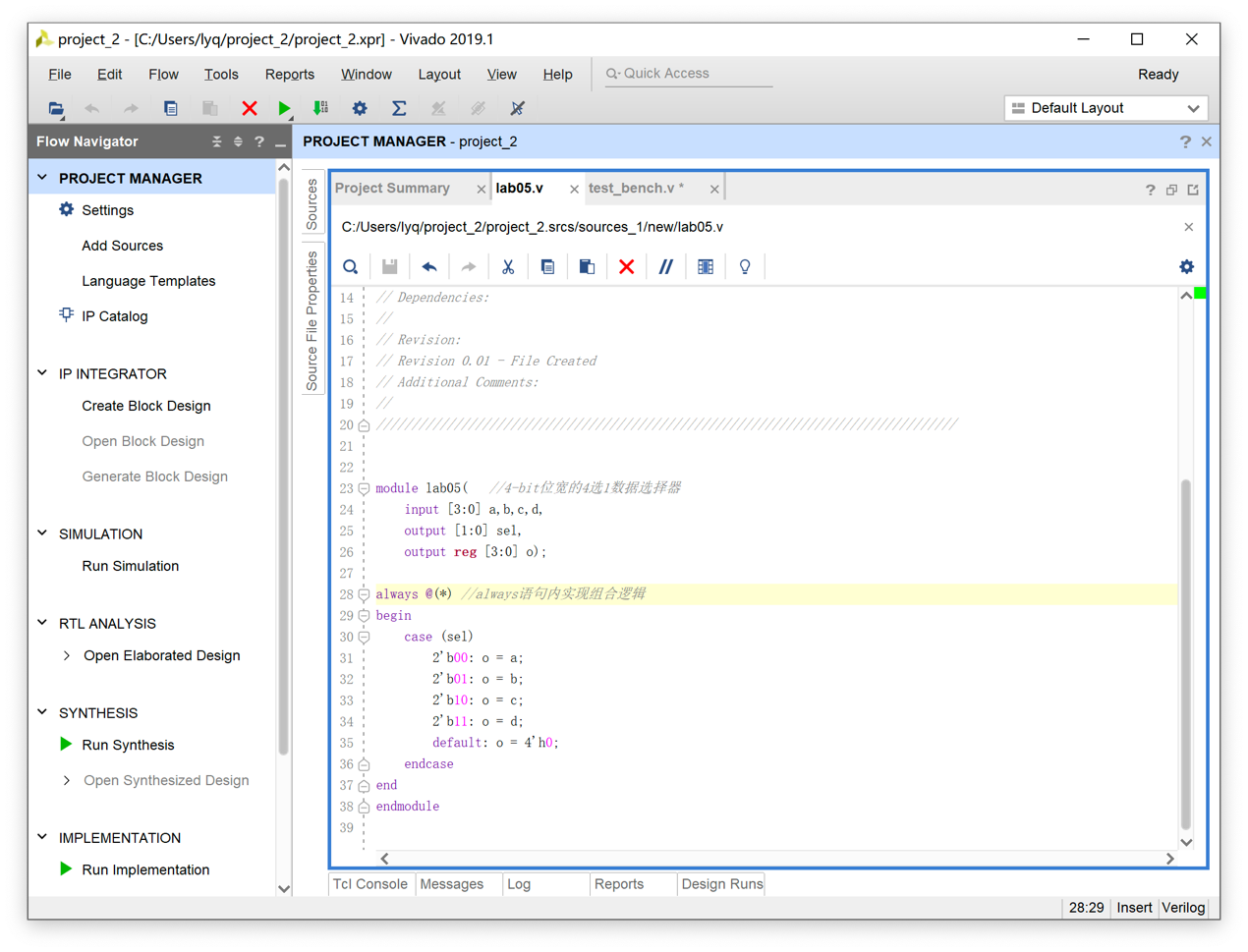
需要添加 Verilog 设计文件，因此选择 “Add or create design source”



点击“Create File”，输入文件名 ：

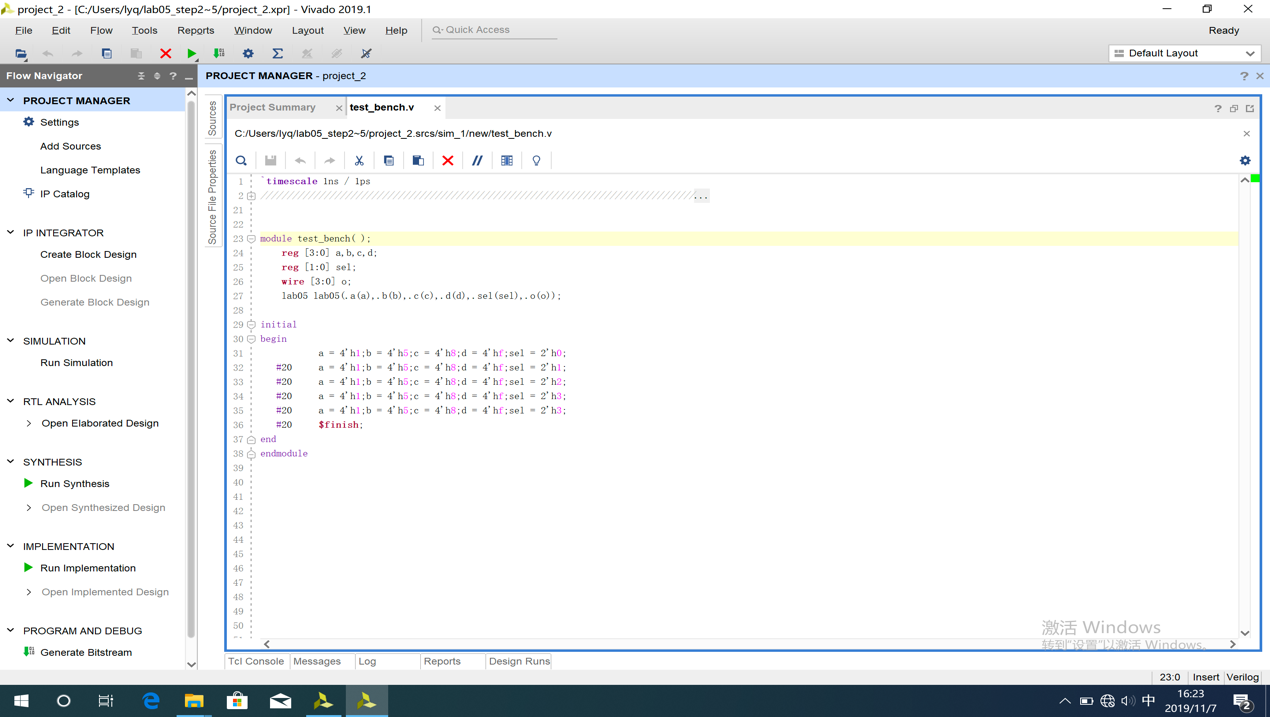


在生成的verilog文件中输入如下代码：



**Step4.**

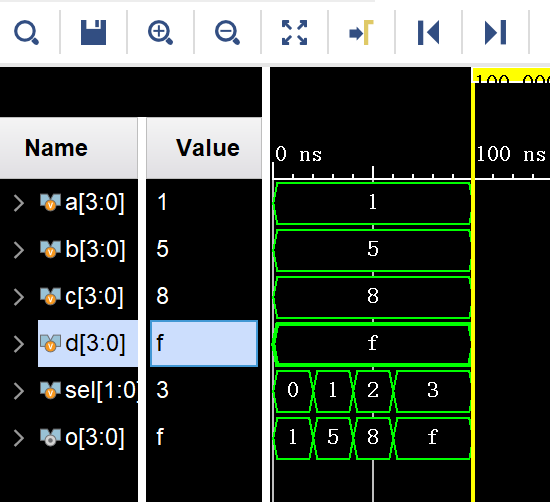
现在，我们要在 Vivado 中添加 Verilog 仿真测试文件，如下图所 示。与 Step3 不同的是，在创建文件时，需要选择“Add or create simulation sources”选项。 仿真文件内容如下：



由上述仿真代码可以看出，Verilog 仿真文件与 Verilog 设计文 件有些不同。第一，仿真文件不需要输入输出信号，所有的信号都是 模块的内部信号。第二，在仿真文件内对被测试模块进行实例化，并 对被测试模块构造输入信号。第三，仿真文件只用于仿真，最终不会 被综合成电路，会经常用到“initial”等 Verilog 设计文件中不会 用到的关键字或语法，这些语法很多是不可综合的 。

**Step5.**

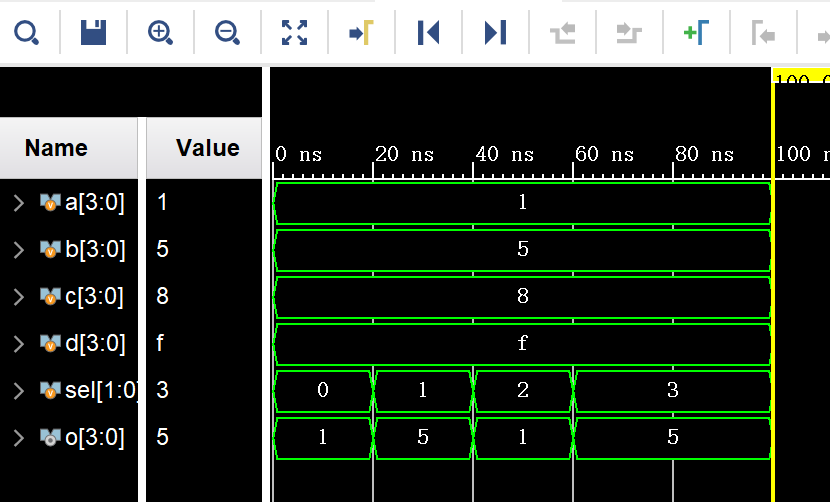
点击“Run Simulation”运行仿真工具，会出现如下图所示的界面：



通过观察波形我们可以发现，该电路的仿真波形符合四选一选择的行为特性，Verilog代码设计正确。

之后，关闭波形仿真窗口，打开前面的 Verilog 设计文件,

将其中的“input [1:0] sel,”改成“input sel,”重新进行仿真， 观察波形结果：



此图中，sel为2或3时输出错误，不符合4 to 1 MUX的逻辑功能。

实际上，信号位宽不匹配是 Verilog 代码编写过程中经常出现的一个错误， 这类错误不会导致语法错误，阅读代码是也不容易发现，但通过仿真工具可以比较容易的定位到。

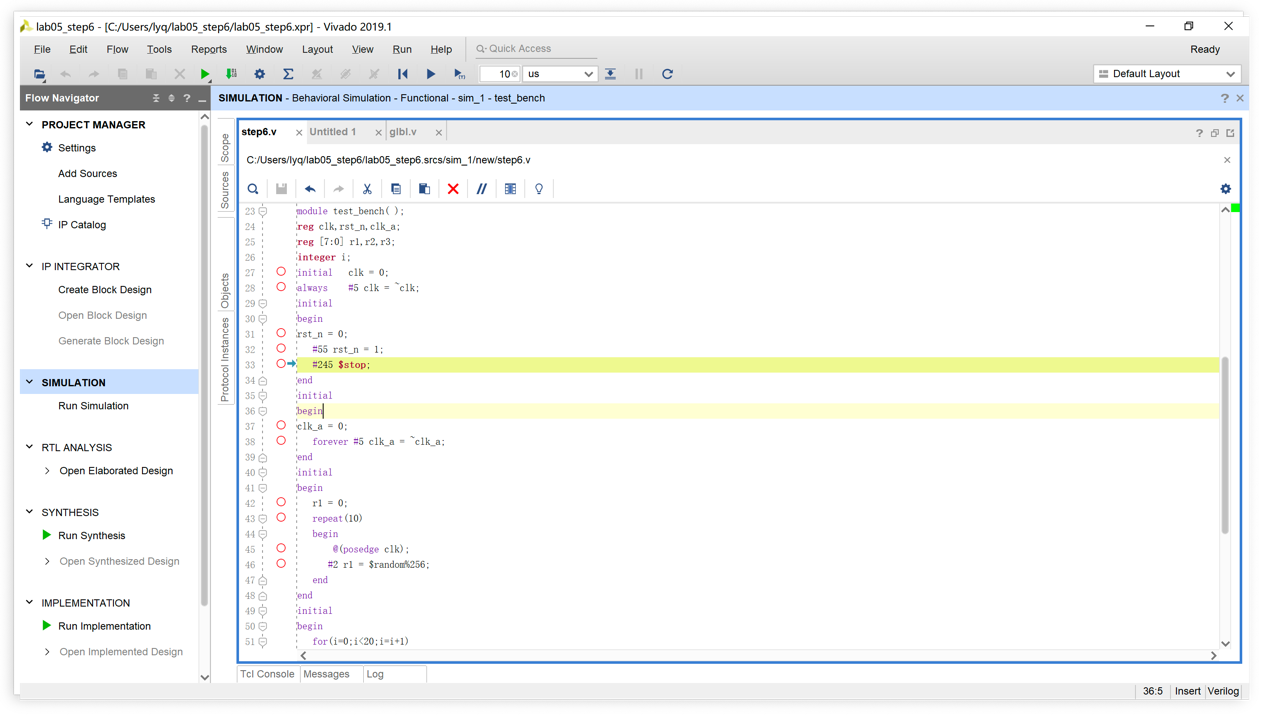
**Step6.**

——波形仿真

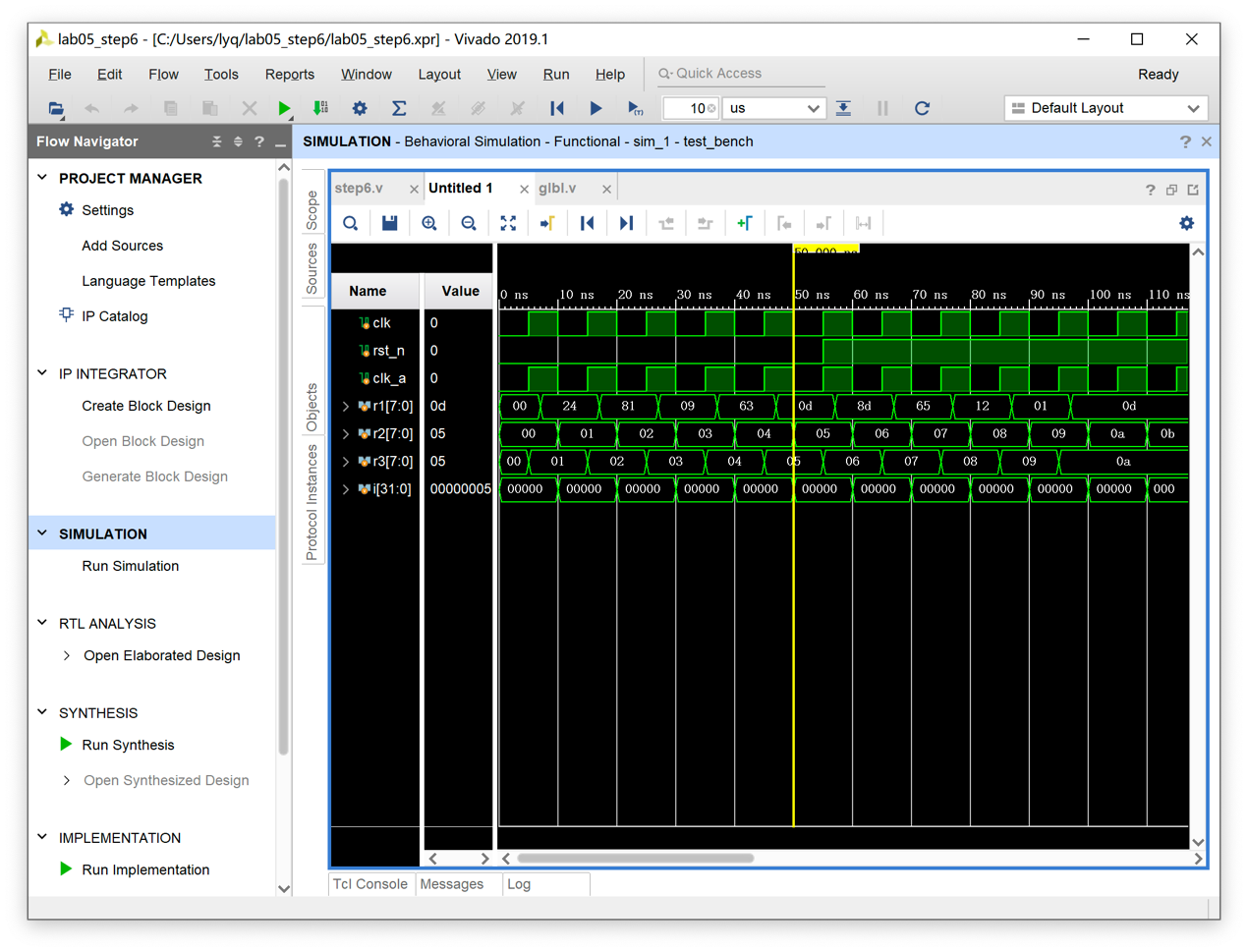
在 Vivado 中新建一个工程，加入下面的仿真文件，进行仿真，观

察各信号的波形

具体代码如下：



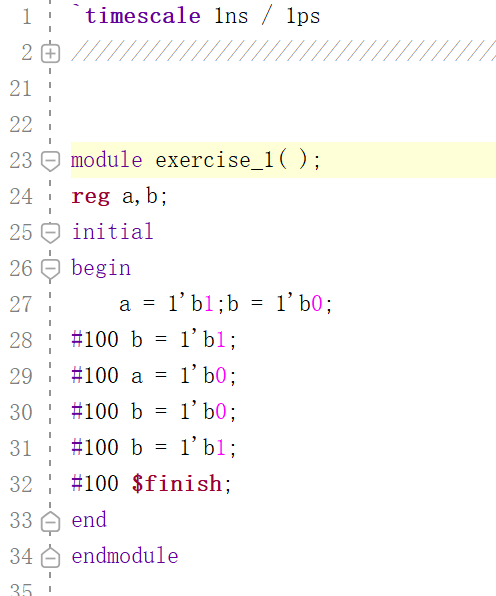
得到波形如下：



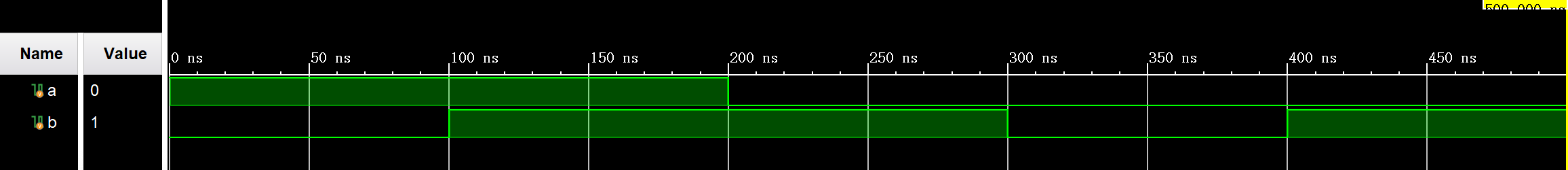
【实验练习】

题目1:

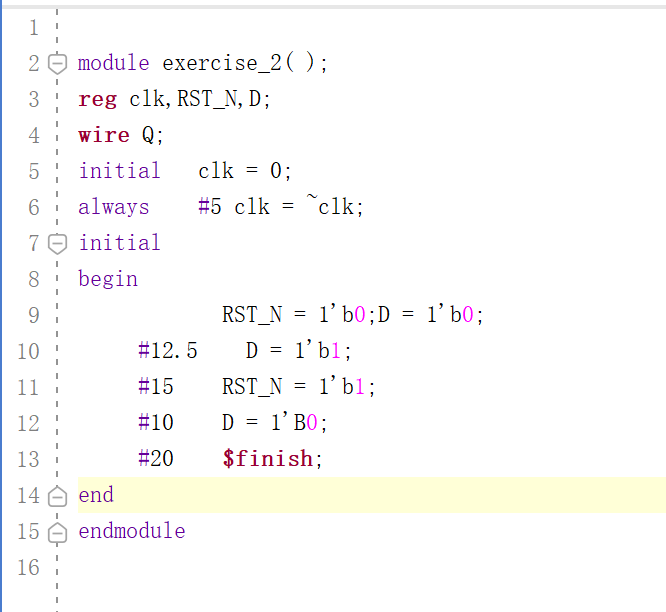
对照讲义中“实验步骤”的内容即可写出代码，如下图所示：



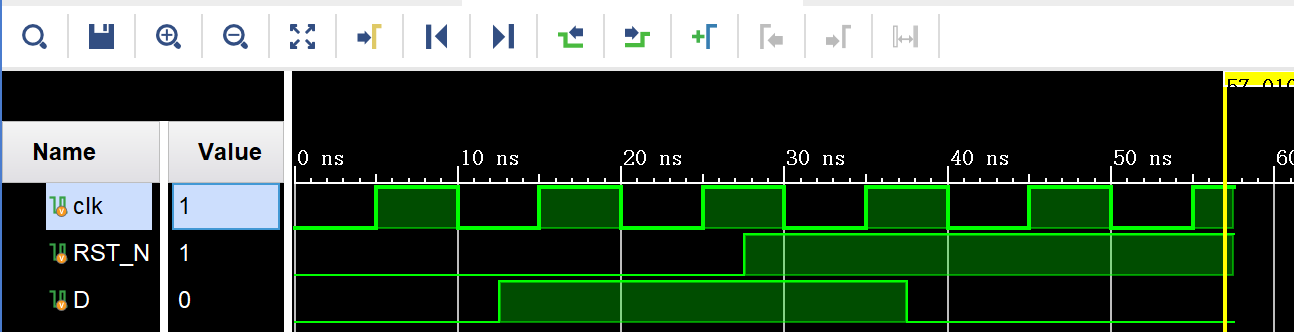
进行仿真后，画出波形图如下：



题目2:

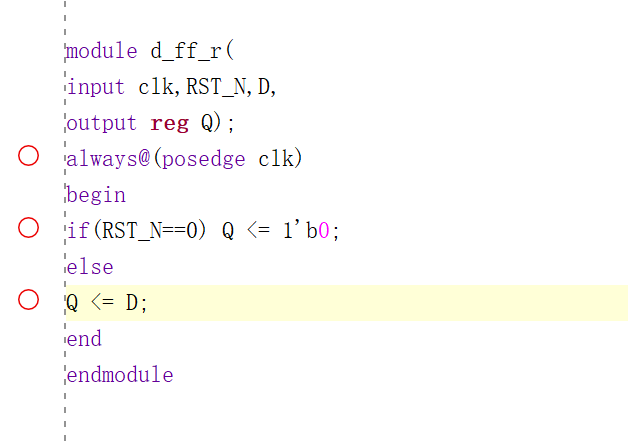
与题目1思路基本一致，代码如下：

仿真如下：

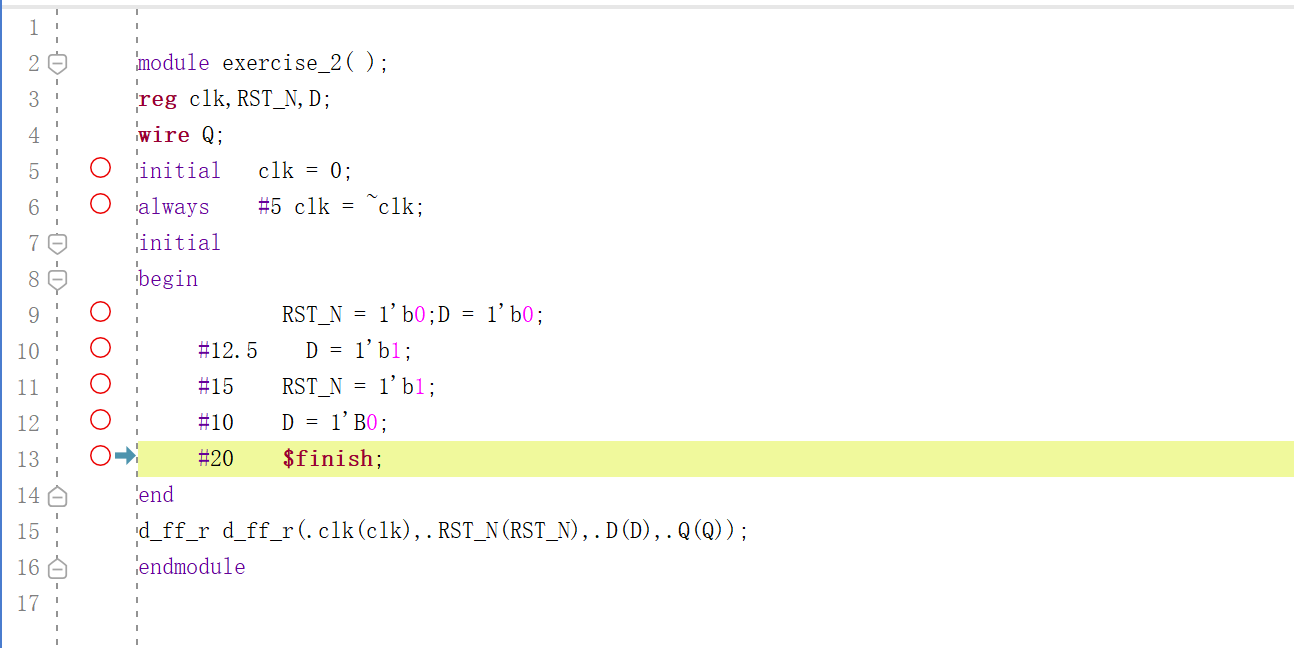


题目3:

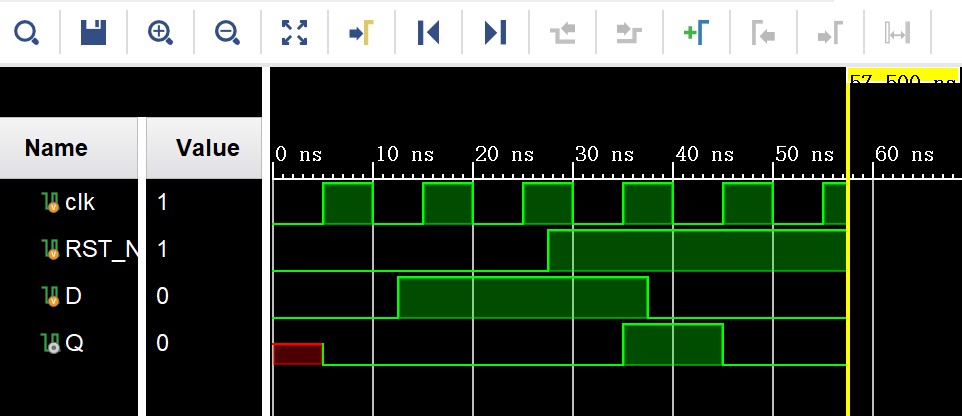
将题干中给出的代码写入设计文件“d\_ff\_r.v” 中：



在第二题的代码中调用这个模块即可：



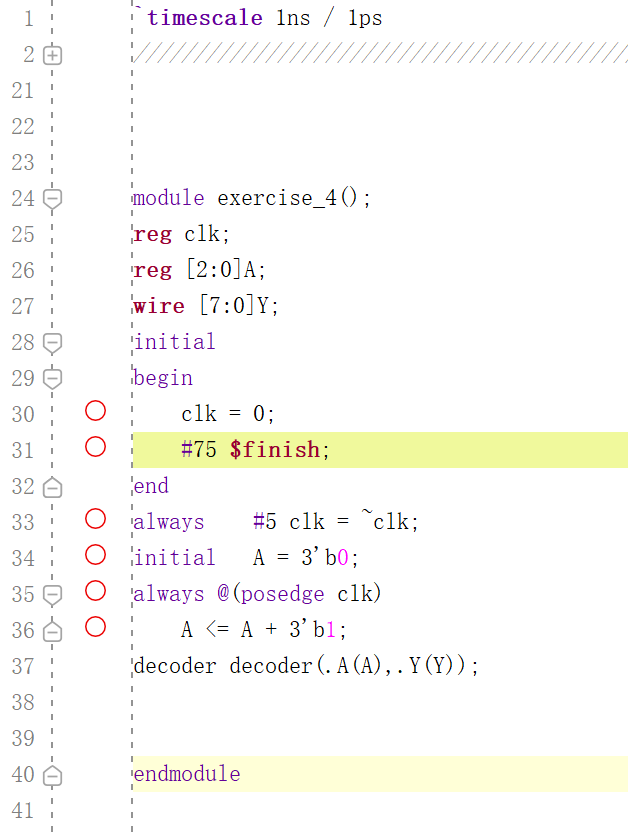
输出波形图：



题目4:

（仿真文件）思路：设置了一个时钟信号，在上升沿到来时将A的值加1，译码器中A值对应的线输出1，其余输出0；将所有情况遍历后，调用系统函数“$finish”结束仿真

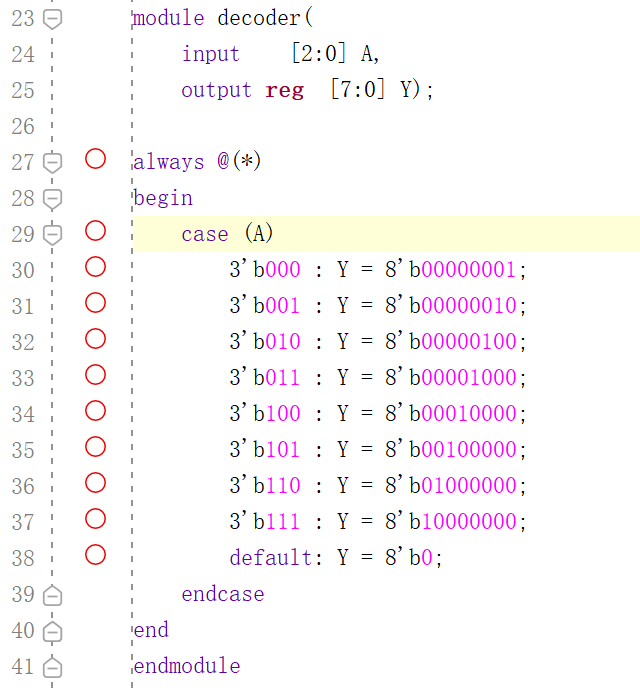
代码如下：



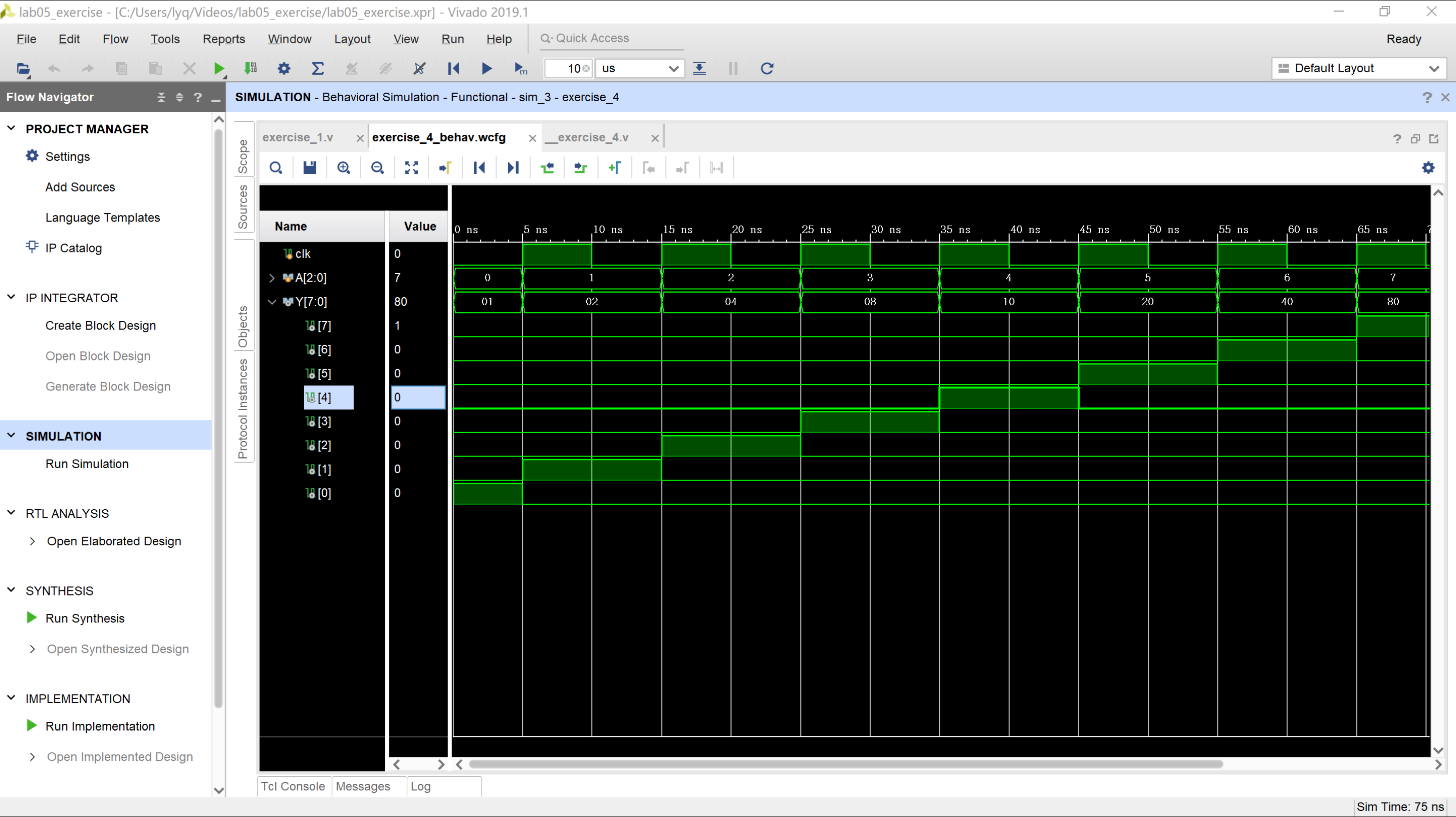
其中模块decoder定义如下：

（设计文件）

使用case语句，通过A的取值对8-bit宽的Y信号赋值即可，具体代码见下图：



画出波形图如下：



【总结与思考】

1.（1）本次实验是第一次接触vivado，初步了解了软件的功能

（2）学习了许多之前很少接触的verilog关键字，如initial，循环控制关键字，系统函数关键字等

（3）认识到设计文件与仿真文件的区别

（4）实验讲义中再次强调了“设置信号位宽”这一易错点，对我起到了警示的作用

2. 中等

3. 偏多

4. 题目1与题目2重复度太高，可以删去