

## **HDS的体系结构：**

HDS采用了多点冗余的复合式的体系结构，有多个专用的存储控制器，有专用的前端控制器（连接主机与储存阵列CACHE的通道），专用的后端控制器（连接阵列的磁盘控制器DKU与CACHE），并且以专用的cache控制器为核心（HDS前后端连接到核心cache，是采用交换的方式。），CPU集成在前/后端控制器中，操作系统以微码方式集成在硬件中，并可以方便的升级维护。操作系统是微码的操作系统。

前端卡与后端卡连接cache，是要经过一个交换机的（Crossbar Switch），交换机最小可以是2个（冗余需要），最大可以是4个，所有的数据都要经过前端卡/后端卡，再经过交换机到cache，所以switch也是一个核心的部件，而且数据流量会很大。

## **后端连接与RAID：**

HDS采用环路结构连接磁盘与后端卡。环路设计，是现在的流行设计，但是，一个环路上的盘不能太多，否则，容易产生性能瓶颈。

HDS的高端存储都是双环路设计，每个磁盘都有2个环路可以达到，而且，这两个环路可以负载均衡的工作。另外，为了避免一个环路，或者一个磁盘太忙，RAID组的设计也有特殊的要求，一个RAID组中的磁盘，必须跨越在不同的环路上面。

## **Cache**

USP最核心的就是cache了，有控制cache（共享内存）与数据cache之分

SM：共享内存，保存着阵列的配置信息以及数据cache的地址信息，在前端口过来寻找数据的时候，会先经过这里，如果能找到，则去取数据cache，如果找不到，则可能需要磁盘读取。

CM：数据内存如果采用4G的内存标准，最大可以达到128G，而如果采用8G的内存标准，可以到256G，数据cache是整个阵列的核心所在。

cache的命中率是一个阵列的响应速度以及处理能力的一个重要体现，因为cache命中的话，返回速度是非常快的，而不命中的话，就需要去磁盘寻找数据，可能会比较慢。而cache的命中率，与应用访问规则，数据分布规则都有很大关系。

## **名词解释：**

**DKC：控制柜 一个高端存储的DKC最多连接四个DKU**

**DKU：扩展柜**

**CSW：交换卡**

**SVP：内置服务PC，系统是微软的操作系统，另一个含义是服务程序，与Storage**

**Navigator功能一致**

**CM：Cache MeMory数据内存**

**SM：Share MeMory共享内存，也叫控制内存**

**HDU：Hard Disk Units, USP一个HDU包括16块硬盘，俗称一个BOX，这16块硬盘连接在两个光纤环路上**

**B4:** 四个HDU组成一个B4, 创建RAID GROUP的时候, 在B4中的每个HDU的对应位置取一块盘

**MPs:** 就是HDS的CPU, 分布在CHA和DKA上, 共128个

**CU:** IBM大型机的概念, 在一般的系统中没有实际含义, 可以视为一组LDEV ID的组合, 每个CU支持256个LDEV

**FC:** 通用系统的光纤接口

**LDEV:** 逻辑设备, 当对应了LUM Number之后输出到CHA, 就是LUN

**Cluster:** 所有的板卡, 包括CHA、DKA、SM、CM都有两块对应的卡, 分别在柜子的前后和后面, 将整个柜子前面的所有卡称为clusterA, 将真格柜子后面的卡称为clusterB

**WWN:** 就是HBA卡的唯一标识符, 类似于网卡的MAC地址

**CHA:** USP的前端卡, 上面可以有多个 (如8个) 前端口, 是连接主机与存储阵列