

UNIVERSIDAD ESTATAL A DISTANCIA  
VICERRECTORIA ACADEMICA  
ESCUELA DE CIENCIAS EXACTAS Y NATURALES  
CARRERA INGENIERÍA INFORMATICA

## Proyecto No 3

MODALIDAD ESCOGIDA: Proyecto

Proyecto #3 PARA EL CURSO  
DE Organización de Computadores

PABLO ANDRÉ VALENCIANO

BLANCO1-1572-0043

CENTRO UNIVERSITARIO DE HERERIA

PAC: 2023-1

CIUDAD: HEREDIA

# Índice

Índice .....	2
Introducción .....	3
Desarrollo .....	4
Contador síncrono .....	4
Diagrama de Estados .....	4
Tabla de estado siguiente.....	5
Mapas de Karnaugh, agrupación y ecuaciones de las entradas de los flip flops .....	6
Contador asíncrono .....	11
Explicación del funcionamiento del contador .....	11
Conclusión .....	12
Referencias .....	12

## Introducción

En este último proyecto del curso de Organización de computadores, se involucran temas ya aprendido en trabajos pasados tales como mapas de Karnaugh y su simplificación, ecuaciones simplificadas, flip flops y contadores asíncronos, y a estos agregan 2 temas que se relación con el resto y entre sí. Los diagramas de estados serán la secuencia que se desea completar para cada una de las salidas de los Flip flops, y el contador síncrono como herramienta que utiliza una única señal de reloj para cada de sus elementos y que depende del estado previo para moverse al siguiente estado, preestablecido por las condiciones de entrada que se generan al utilizar compuertas lógicas.

Se pretende que el estudiante aprenda a utilizar las herramientas del software con la aplicación de dos contadores que dependerá uno del otro, el cual el contador síncrono aumentara los valores del asíncrono, haciendo de señal de reloj y el contador asíncrono al alcanzar cierto valor, congele ambos contadores.

Para el contador síncrono se requiere construir mapas de Karnaugh para sus entradas, con el objetivo de que sus salidas se conecten directamente al 7 segmento y al llegar a tener ciertos valores, activen con el flanco el avance del siguiente contador síncrono y a la vez reiniciar su secuencia, mientras que el contador asíncrono debe poseer la lógica de avance hasta el valor de 5, el cual requiere de 3 bits siendo necesario una misma cantidad de flip flops.

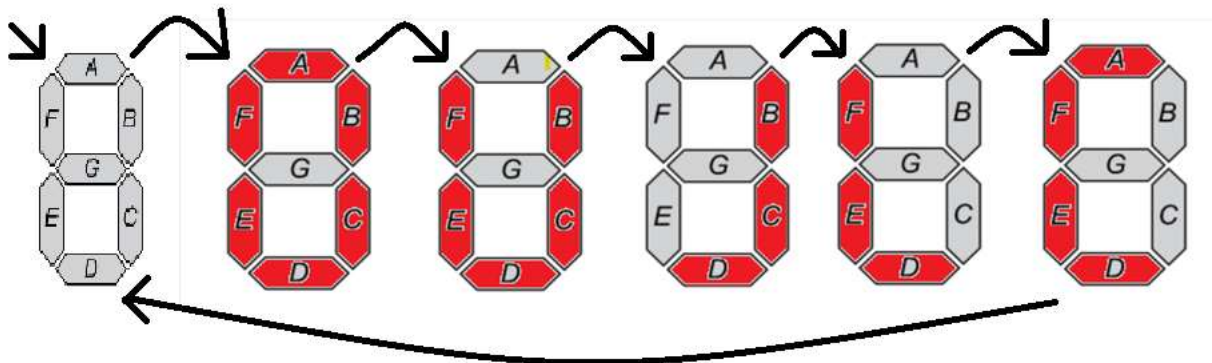
## Desarrollo

### Contador síncrono

#### Diagrama de Estados

Los diagramas de estado por definición son contiene información de un objeto con respecto al estado en el que se encuentra el objeto y las transiciones entre ellos. En el caso del proyecto se usará para modelos diferentes estados del 7 segmento que queremos representar.

Para el contador síncrono se pide que los estados se trasladen durante cada ciclo de reloj y este cambie su valor por cada transición. En forma general el 7 segmento estaría pasando por 6 estados, donde el primero de sus estados sería el valor nulo donde ningún led estaría encendido y seguidamente la secuencia de letras: O, U, J, L, C



Ya visto en un diagrama de estados, se vería de la siguiente manera, se concluye que los 7 segmentos E y F se comportan igual, del mismo modo que los 7 segmentos B y C.

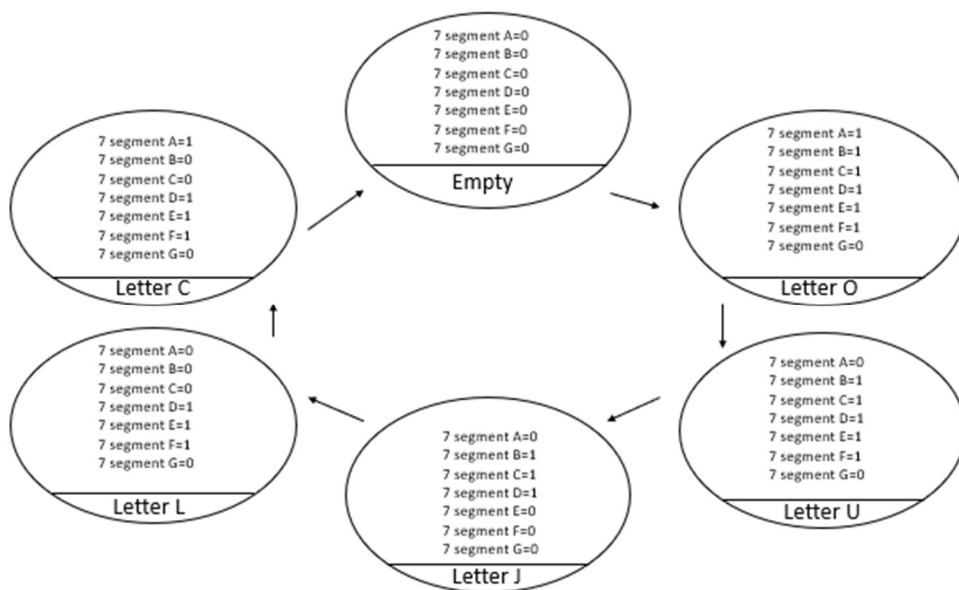
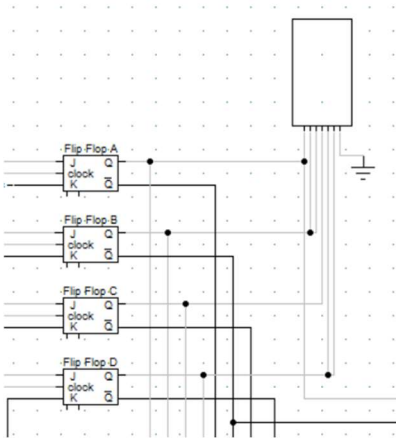


Tabla de estado siguiente

Valor inicial				Valor Siguiente				Flip Flop D		Flip Flop C		Flip Flop B		Flip Flop A	
Segmento EF	Segmento D	Segmento BC	Segmento A	Segmento EF	Segmento D	Segmento BC	Segmento A	J	K	J	K	J	K	J	K
0	0	0	0	1	1	1	1	1	X	1	X	1	X	1	X
0	0	0	1	0	0	0	0	0	X	0	X	0	X	X	1
0	0	1	0	0	0	0	0	0	X	0	X	X	1	0	X
0	0	1	1	0	0	0	0	0	X	0	X	X	1	X	1
0	1	0	0	0	0	0	0	0	X	X	1	0	X	0	X
0	1	0	1	0	0	0	0	0	X	X	1	0	X	X	1
0	1	1	0	1	1	0	0	1	X	X	0	X	1	0	X
0	1	1	1	0	0	0	0	0	X	X	1	X	1	X	1
1	0	0	0	0	0	0	0	X	1	0	X	0	X	0	X
1	0	0	1	0	0	0	0	X	1	0	X	0	X	X	1
1	0	1	0	0	0	0	0	X	1	0	X	X	1	0	X
1	0	1	1	0	0	0	0	X	1	0	X	X	1	X	1
1	1	0	0	1	1	0	1	X	0	X	0	0	X	1	X
1	1	0	1	0	0	0	0	X	1	X	1	0	X	X	1
1	1	1	0	0	1	1	0	X	1	X	0	X	0	0	X
1	1	1	1	1	1	1	0	X	0	X	0	X	0	X	1

## Mapas de Karnaugh, agrupación y ecuaciones de las entradas de los flip flops

Se usaron Flip Flops JK que denotaremos como A, B, C y D y respectivamente sus salidas se conectarán a las entradas de los 7 segmentos que corresponden al 7 segmento A, 7 segmento B y C, los 7 segmentos D y E y la última en el 7 segmento F y el último de los 7 segmentos que corresponde a la G, se conecta directamente a tierra.



Las entradas de los flip flops para generar se realizaron de la siguiente manera y su respectivo mapa de Karnaugh:

- Flip Flop A:

- \*JA:

a \ b	00	01	11	10
c \ d				
00	1	0	X	X
01	0	0	X	X
11	1	0	X	X
10	0	0	X	X

- \*KA:

a \ b	00	01	11	10
c \ d				
00	X	X	1	1
01	X	X	1	1
11	X	X	1	1
10	X	X	1	1

- Flip Flop B:

- \*JB:

a \ b	00	01	11	10
c \ d				
00	1	X	X	0
01	0	X	X	0
11	0	X	X	0
10	0	X	X	0

- \*KB:

a \ b	00	01	11	10
c \ d				
00	X	1	1	X
01	X	1	1	X
11	X	0	0	X
10	X	1	1	X

- Flip Flop C:

- \*JC:

c \ a b	00	01	11	10
d 00	1	0	0	0
d 01	0	0	0	0
d 11	X	X	X	X
d 10	X	X	X	X

- \*KC:

c \ a b	00	01	11	10
d 00	X	X	X	X
d 01	X	X	X	X
d 11	0	0	0	1
d 10	1	0	1	1

- Flip Flop D:

- \*JD:

c \ a b	00	01	11	10
d 00	1	0	0	0
d 01	X	X	X	X
d 11	X	X	X	X
d 10	0	1	0	0

- \*KD:

c \ a b	00	01	11	10
d 00	X	X	X	X
d 01	1	1	1	1
d 11	0	1	0	1
d 10	X	X	X	X

Ya habiendo estudiado todos los casos vemos que las J predomina los 0s mientras que para las K predominan los 1s. En el caso de las entradas J, el dato 0000 en todos los casos posea un 1, por lo que a pesar de su agrupación con las X se prefiere para ahorro de recursos agruparla solo con ella en todos los mapas, siendo el único caso positivo para los JB y JC, y para JA se une a la formula el otro 1 agrupado con la X, para que sea de menor tamaño la compuerta usada, y similar caso para JD que tiene otro 1 se agrupa con una X. Los mapas agrupados y ecuaciones de los J se presentan en el siguiente cuadro:

Js	Mapa de Karnaugh	Ecuación Simplificada
JA		$JA = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{B}CD$

JB		$JB=JC=\bar{A}\bar{B}\bar{C}\bar{D}$
JC		$JB=JC=\bar{A}\bar{B}\bar{C}\bar{D}$
JD		$JD=\bar{A}BC+\bar{A}\bar{B}\bar{C}\bar{D}$

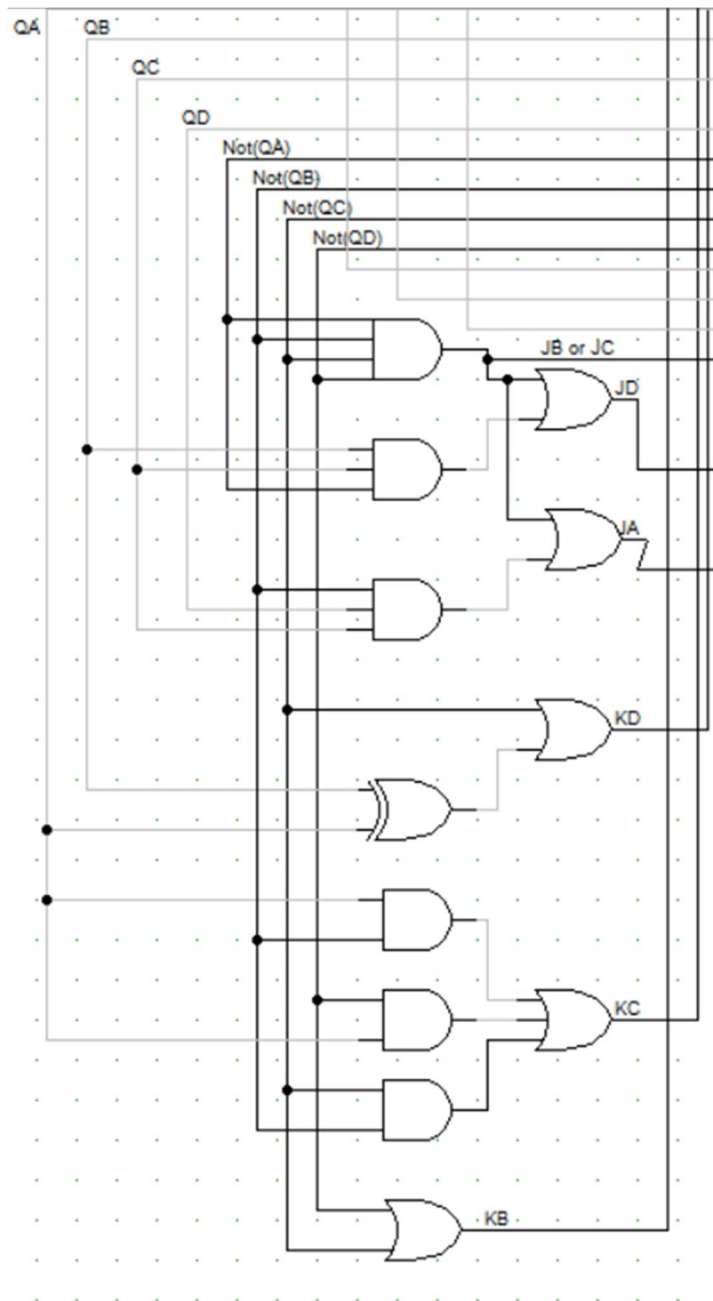
Mientras para las K, es un proceso más común, como se muestra en el siguiente cuadro:

Ks	Mapa de Karnaugh	Ecuación Simplificada
KA		$KA=1$



KB		$KB = \bar{C} + \bar{D}$
KC		$KC = \bar{A}\bar{B} + \bar{A}\bar{D} + \bar{B}\bar{C}$ $KC = A(\bar{B} + \bar{D}) + \bar{B}\bar{C}$
KD		$KD = \bar{C} + \bar{A}B + A\bar{B}$ $KD = \bar{C} + (A \oplus B)$

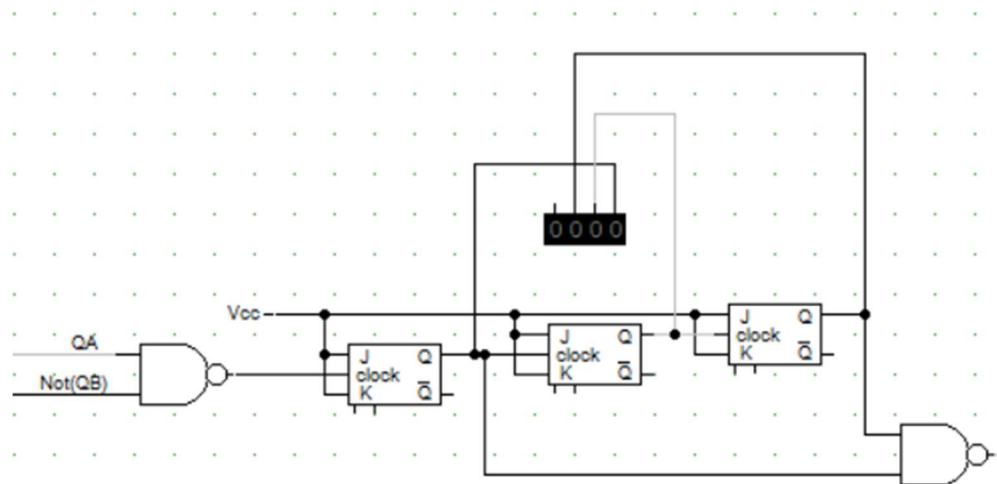
El circuito lógico correspondiente a estos mapas de Karnaugh es:



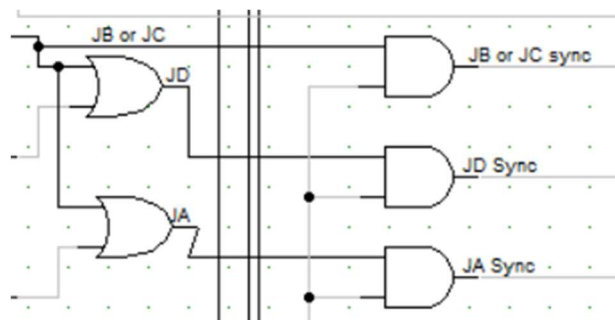
## Contador asíncrono

## Explicación del funcionamiento del contador

Mientras que el contador asíncrono es el típico donde su señal de flanco es controlada por las salidas del contador síncrono y estudiando el circuito se completa la secuencia y llega la letra C cuando la salida del flip flop A es positiva y la salida del flip flop B es negada, pero el flanco es inverso por lo que se coloca en vez de una compuerta AND, la inversa que sería una compuerta NAND y este va aumentando su valor en 1 para cada cambio del flanco generado por el contador síncrono. Y este se debe detener al llegar el valor de 5 (101), es decir las salidas del LSB y MSB sean positivas. Por lo que se ocupa salida sea 0, se niega el AND.



Y para detener el contador crónico se conecta la salida del contador del contador asincrónico a las entradas J de los flip flop y sincronizado de que estos valores se mantengan en 0, haciendo que este contador se detenga y todos sus flip flop den salida 0, si el contador síncrono se detiene nunca más sucede y el contador asíncrono también se detiene.



## Conclusión

La primera conclusión referente al proyecto es la utilización de herramientas simples tales como compuertas o flip flop que por sí solas sin propósito, generan resultados sin propósito, juntas son capaces de darle una utilidad y poder convertirse en máquinas automáticas o controladas donde pasan de un estado a otro, según las diferentes posibilidades como estos dispositivos se conectan, abriendo muchas posibilidades a proyectos de hardware conectando a motores o dispositivos móviles como también la programación de chips o procesadores mejorando su enfoque de ejecución de líneas de proceso. Las arquitecturas ARM, utilizan una lógica de control muy similar a lo visto del proyecto, agregando los dispositivos de memoria y unidades lógicas y aritméticas.

La segunda conclusión es el desarrollo de tecnologías que aprovechen las distintas conexiones, no solo físicas sino también las inalámbricas que aprovechan redes como BlueTooth, WiFi. Donde estas se relacionan por medio de señales y convertidas a nivel digital realizan distintas ejecuciones o capaces de detener procesos en ejecución, siendo de suma importancia la dualidad de la información.

La última de mis conclusiones es respecto al curso donde el aprendizaje fue constante, las herramientas fueron brindadas y propusieron un reto a lo largo del curso de forma escalonada, permitiendo a los estudiantes aprender sobre la funcionalidad de los circuitos digitales y el uso de ellos en las unidades que son de importancia a la carrera de ingeniería en informática, por eso y mucho más, agradezco a las personas involucradas por dedicar el esfuerzo en dar este esfuerzo para un aprendizaje completo.

## Referencias

Edraw. (2023) Diagrama de Estado UML: Una guía Diagrama de Estado UML: Una guía útil. Extraído de: <https://www.edrawsoft.com/es/uml/uml-state-diagram.html>

Gómez Jiménez, E. (2010). *Organización de computadoras*. San Jose, Costa Rica: EUNED.