

UNIVERSIDAD ESTATAL A DISTANCIA
VICERRECTORIA ACADEMICA
ESCUELA DE CIENCIAS EXACTAS Y NATURALES
CARRERA INGENIERÍA INFORMATICA

TAREA No 2

MODALIDAD ESCOGIDA: TAREA

TAREA #2 PARA EL CURSO
DE Organización de Computadores

PABLO ANDRÉ VALENCIANO BLANCO

1-1572-0043

CENTRO UNIVERSITARIO DE HERERIA

PAC: 2023-1

CIUDAD: HEREDIA

Índice

Contenido

Índice.....	2
Introducción.....	3
Marco Teórico.....	4
Desarrollo.....	6
Tabla de Verdad	6
Mapas de Karnaugh y la explicación de la agrupación.	7
Imagen del Circuito Resultante.....	11
Conclusión.....	12
Bibliografía	13

Introducción

Este trabajo consiste en la tarea #2 del curso Organización de Computadores, el cual cubrirá los temas 1. Mapas de Karnaugh, 2. Algebra Booleana y simplificación y 3. Latches, Flip Flops y Temporizadores.

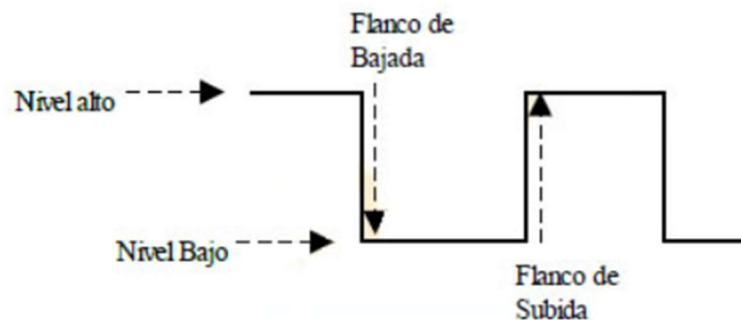
Los objetivos que se requieren del estudiantado es ser capaz de entender los conceptos que se utilizaran para el desarrollo de la tarea y la utilización de las herramientas brindadas en la aplicación de simulación Digital Works para la resolución del problema planteado por el ejercicio.

El ejercicio plantea la construcción de un contador asíncrono, cambiando el uso de secuencias preestablecidas por el usuario, por medio de flip flops del tipo JK que posea una única señal de reloj y que están se alimentan de la salida del previo flip flop. Esto se valida con un display que debe ir desde 0 hasta el término 2 a la n menos 1, donde n es la cantidad de Flip flops a colocar, la secuencia requiere que vaya desde 0 hasta 15, por consecuente debe ser construido con 4 flps flops y a partir de aquí se trabaja como se ha realizado en previos entregables.

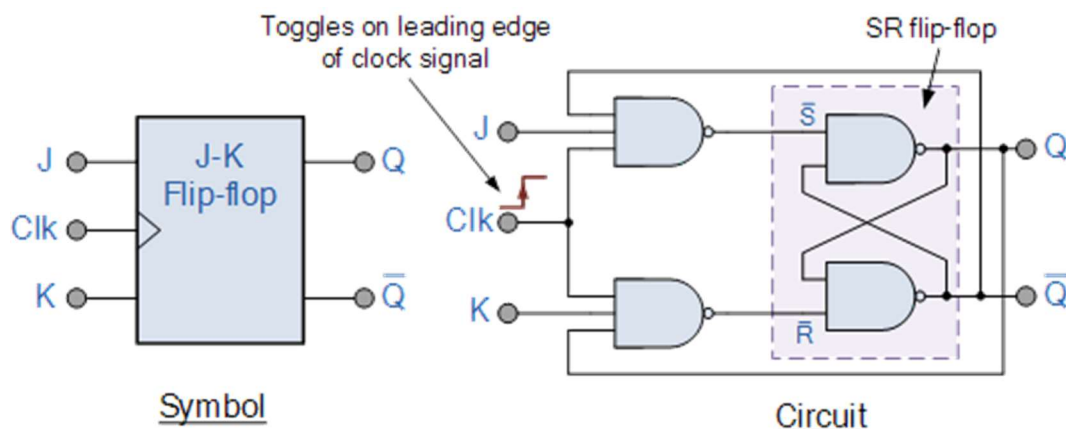
Algo diferencial a previos proyectos es llegar a simplificar y utilizar la menor cantidad de compuertas para la construcción del circuito que genera la secuencia siguiente, y por mi parte decidí hacerlo un poco más complicado, es usar encapsuladores que solo contengan 2 entradas por compuertas, y 4 compuertas por encapsulador. No se simplifica usando NAND o NOR.

Marco Teórico

Lo nuevo, para esta tarea es el hecho de saltar de elementos solamente combinacionales y usar aquellos que se conocen como secuenciales. Un elemento combinacional es aquel que en términos muy pequeños de tiempo, cambia de estado su salida dependiendo de su entradas, tales como las compuertas previamente estudiadas y no son controladas por un señal o flanco que revisen las entradas, caso contrario los elementos secuenciales son aquellos que validan sus entradas y actúan acorde a un tempo o flanco de reloj, este podría ser flanco positivo o negativo dependiendo del dispositivo que se use, usualmente en Electrónica los encapsuladores usando señales negadas de reloj de entrada, los cuales revisarían los estados de entrada durante los flancos negativos o de bajada.



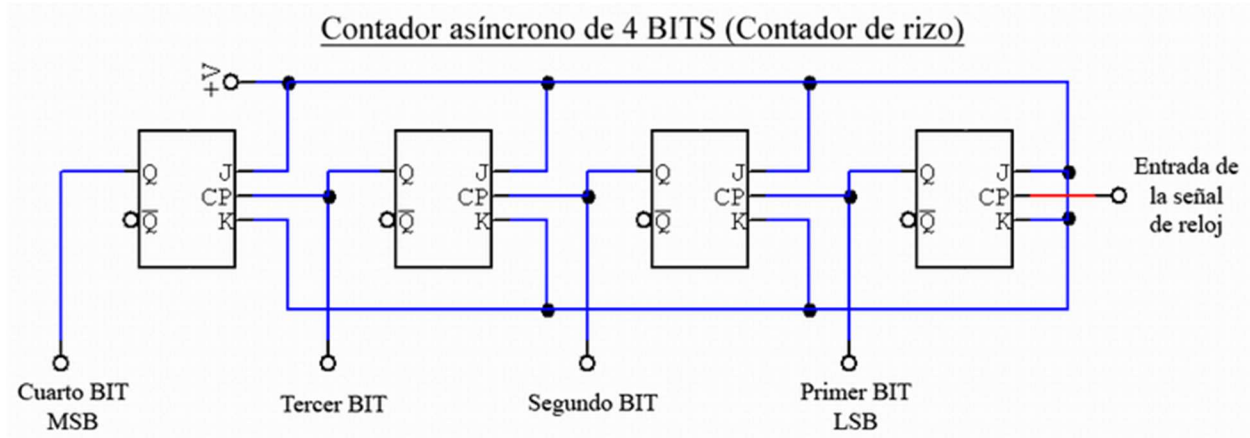
Uno de los más básicos componentes secuenciales es el flip flop, los cuales funcionan según el tipo como este fue creado, para esta tarea se trabajaron con el flip flop JK, estas tienen tabla de verdad igual que su contraparte combinacional.



Estos funcionan de la siguiente manera sucede cuando se da un flanco y la entrada es $J=0$ y $K=0$ se mantiene la salida anterior previo al cambio de flanco, si $J=0$ y $K=1$ la salida Q es 0 y $Q_{neg}=1$, en caso de ser $J=1$ y $K=0$ el valor de la salida sería en $Q=1$ y $Q_{neg}=0$, mientras si $J=1$ y $K=1$, la Q cambia su valor al opuesto que tenía previa al flanco de reloj, si Q era 0, este cambia 1 y viceversa y Q_{neg} siempre el valor opuesto de Q . Esto se ve más gráfico con la siguiente tabla:

J	K	CLK	Q_n	$\overline{Q_n}$		
0	0	\uparrow	Q_{n-1}	$\overline{Q_{n-1}}$	Sin cambio	-
0	1	\uparrow	0	1	RESET	-
1	0	\uparrow	1	0	SET	-
1	1	\uparrow	$\overline{Q_{n-1}}$	Q_{n-1}	Báscula	

Y el ultimo concepto es el contador asincrónico que se construye con flip flops conectando sus salidas a la entrada del siguiente y para el JK, se conecta en la señal de reloj, donde se define el tamaño de la secuencia donde n es la cantidad de flip flops y 2 a la n menos 1, es el tamaño con esa secuencia esta iría desde 0 hasta ese valor. Los contadores asincrónicos formados por flip flops JK se verían de la siguiente manera.



Desarrollo

Tabla de Verdad

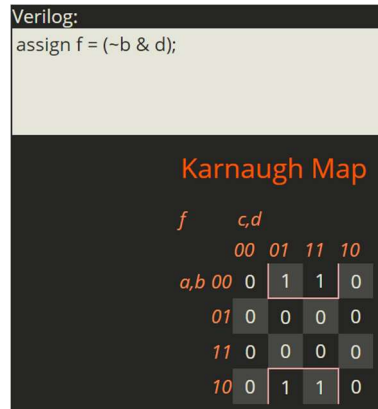
La tabla de verdad para representar la secuencia es la siguiente.

Entradas		Secuencia	5 Leds				
Decimal	D C B A	Valor Decimal	LED E MSB	LED D	LED C	LED B	LED A LSB
0	0 0 0 0	1	0	0	0	0	1
1	0 0 0 1	1	0	0	0	0	1
2	0 0 1 0	13	0	1	1	0	1
3	0 0 1 1	13	0	1	1	0	1
4	0 1 0 0	3	0	0	0	1	1
5	0 1 0 1	3	0	0	0	1	1
6	0 1 1 0	13	0	1	1	0	1
7	0 1 1 1	13	0	1	1	0	1
8	1 0 0 0	26	1	1	0	1	0
9	1 0 0 1	26	1	1	0	1	0
10	1 0 1 0	13	0	1	1	0	1
11	1 0 1 1	13	0	1	1	0	1
12	1 1 0 0	24	1	1	0	0	0
13	1 1 0 1	26	1	1	0	1	0
14	1 1 1 0	13	0	1	1	0	1
15	1 1 1 1	0	0	0	0	0	0

Mapas de Karnaugh y la explicación de la agrupación.

Para los mapas de Karnaugh se utilizó una herramienta web que se encuentra en la bibliografía y ayuda a la vez a obtener las ecuaciones como suma de productos o producto de sumas, en todos los casos se usó como suma de productos.

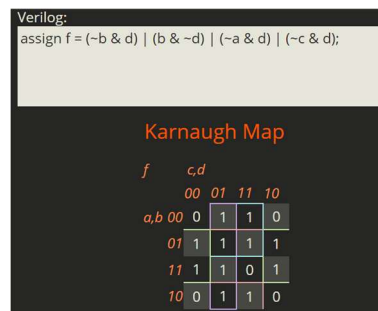
Para la representación del Dato más significativo o MSB por sus siglas en Ingles la letra E de salida, se denota de la siguiente manera:



La ecuación siguiente consumida como una suma de productos es a la vez para este caso la más simplificada, su agrupación seria el cuadro rojo es decir cuando no se de B y a la vez suceda D:

$$\text{Led } E = \text{Not}(B) \& D$$

Para la representación del siguiente Dato que corresponde a la letra D de salida, se denota de la siguiente manera:



La ecuación siguiente consumida como una suma de productos es, se agrupan 4 casos que encienden el Led D es igual que el anterior cuando no se dé B y a la vez pase D, cuando se dé B, también cuando sucede B y a la vez no D, estos dos hacen que cuando B y D sean distintos, también cuando se dé D pero a la mismo no suceda A o tampoco C:

$$\text{Led } D = \text{Not}(B) \& D + B \& \text{Not}(D) + \text{Not}(A) \& D + \text{Not}(C) \& D$$

Y se simplificaría de la siguiente manera:

1. XOR del termino 1 y 2
2. Agrupación del termino 3 y 4

$$Led D = B \oplus D + D \& (Not(A) + Not(C))$$

Es lo mismo aplicar Morgan o no, ya que los flips flops JK de por si poseen salida negativa.

Para la representación del siguiente Dato que corresponde a la letra C de salida, se denota de la siguiente manera:

Verilog:
assign f = (~a & b) | (b & ~c) | (b & ~d);

Karnaugh Map

f		c,d			
		00	01	11	10
a,b	00	0	0	0	0
	01	1	1	1	1
	11	1	1	0	1
	10	0	0	0	0

La ecuación siguiente consumida como una suma de productos es, su agrupación es que se dé que suceda B pero que no suceda estos casos A, C o D:

$$Led C = Not(A) \& B + B \& Not(C) + B \& Not(D)$$

Y se simplificaría de la siguiente manera:

1. Agrupación de los tres términos

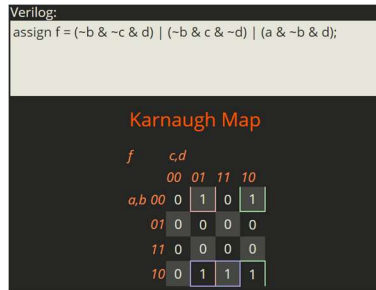
$$Led C = B \& (Not(A) + Not(C) + Not(D))$$

Pero debido a que en la salida anterior se usa Not(A) + Not(C) y en otra salida más adelante se usaran el termino 1 y 2 de forma continúa excluyendo el termino 3, se decide para el circuito mejorado solo agrupar los términos 1 y 2:

1. Agrupación de los términos 1 y 2:

$$Led C = B \& (Not(A) + Not(C)) + B \& Not(D)$$

Para la representación del siguiente Dato que corresponde a la letra B de salida, se denota de la siguiente manera:



La ecuación siguiente consumida como una suma de productos es y su agrupación se hace para 3 casos, siempre que no se de B, suponga que se enciende el Led B si no sucede C pero sucede D y sucede C pero no sucede D, en resumida que C y D sean distintos o que suceda que A y D suceden a la vez.:

$$Led\ B = Not(B) \& Not(C) \& D + Not(B) \& C \& Not(D) + A \& Not(B) \& D$$

Y para su simplificación de algebra booleana seria de la siguiente manera:

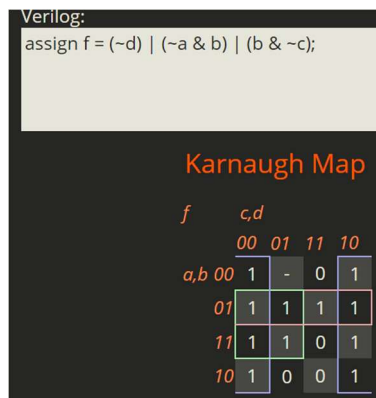
1. Agrupación de Not B

$$Led\ B = Not(B) \& (Not(C) \& D + C \& Not(D) + A \& D)$$

2. XOR de C y D

$$Led\ B = Not(B) \& (B \oplus D + A \& D)$$

Para la representación del Dato menos significativo o LSB por sus siglas en Ingles la letra A de salida, se denota de la siguiente manera:



La ecuación siguiente consumida como una suma de productos es, para el Led A, siempre sucederá cuando no se dé D o cuando A no suceda y B si lo hace, e igual cuando B suceda y C no lo haga:

$$Led\ A = Not(D) + Not(A) \& B + B \& Not(C)$$

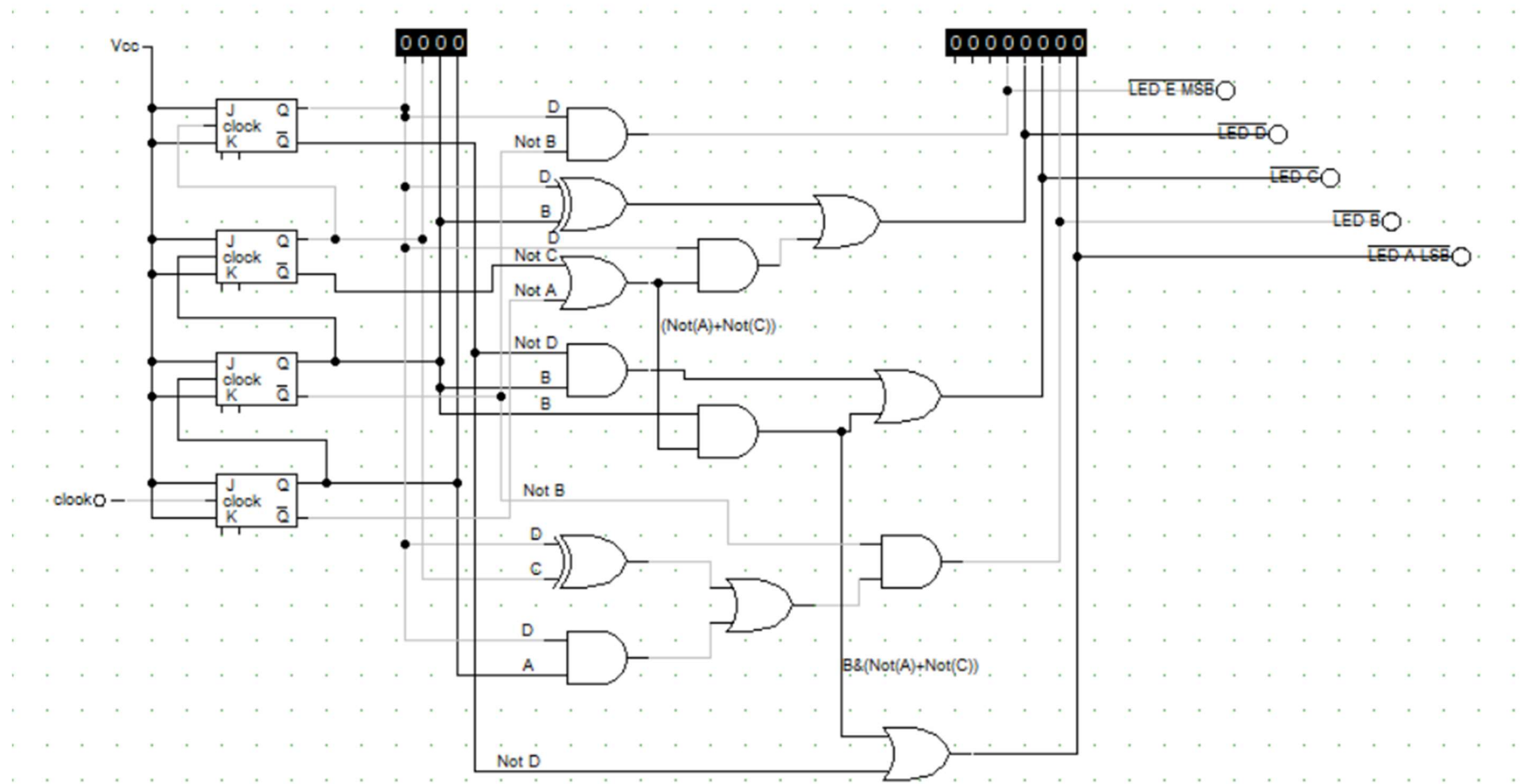
Y se simplificaría de la siguiente manera:

1. Agrupación del termino 2 y 3, con factor B

$$\text{Led } A = \text{Not}(D) + B \& (\text{Not}(A) + \text{Not}(C))$$

Y se ve, que la salida intermedia del Led C, funciona como entrada del termino para la salida del Led A. Se pinta de color verde las salidas intermedias que ayudar a simplificar aún más el circuito.

Imagen del Circuito Resultante



Conclusión

Se ve por primera vez el hecho de un elemento que no dependa solamente de los datos ingresado por un usuario o secuenciador ya establecidos en el circuito, sino por una señal que ordena al resto de dispositivos de una manera ordenada y concreta, a este orquestador muchos ingenieros a cargo lo llaman controlador o señal de control.

Se logra diseñar una secuencia y mostrar en un dispositivo las salidas combinando componentes secuenciales y combinacionales a la vez y los datos van cambiando según el periodo de la señal de reloj utilizada.

Y se busco durante la tarea, simplificar al máximo el circuito donde al final se usaron solamente 6 compuertas AND, 5 compuertas OR y 2 compuertas XOR, todas compuertas positivas de dos entradas, aprovechando que la mayoría de los flips flops dan tanto un valor (Q) como su valor negado (Qneg) se da una mayor facilidad en ordenar los datos como se mostraron en el circuito.

Bibliografía

Floyd, T. (2016). *Fundamento de sistemas digitales*. Madrid, España: PEARSON EDUCACIÓN.

Gómez Jiménez, E. (2010). *Organización de computadoras*. San Jose, Costa Rica: EUNED.

Herramienta constructora de mapas de Karnaugh:

https://angelmicelti.github.io/4ESO/EDI/karnaugh_map_solver.html