

UNIVERSIDADE FEDERAL DE SANTA CATARINA
CENTRO TECNOLÓGICO - CTC
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E ELETRÔNICA

YURI GAZZONI REZENDE

OBDH ROBUSTO PARA USO EM LEO

Florianópolis
2024

YURI GAZZONI REZENDE

OBDH ROBUSTO PARA USO EM LEO

Trabalho de Conclusão de Curso do Curso de Graduação em Engenharia Eletrônica do Centro Tecnológico da Universidade Federal de Santa Catarina para a obtenção do título de Bacharel em Engenharia Eletrônica.

Orientador(a): Gabriel Marcelino

Florianópolis
2024

YURI GAZZONI REZENDE

OBDH ROBUSTO PARA USO EM LEO

Este Trabalho de Conclusão de Curso foi julgado adequado para obtenção do Título de “Bacharel em Engenharia Eletrônica” e aprovado em sua forma final pelo Curso de Graduação em Engenharia Eletrônica.

Florianópolis (SC), 15 de novembro de 2024.

Banca Examinadora:

Prof. Dr. Nome do Orientador/Presidente
Orientador/Presidente

Prof. Dr. Membro da banca 1
Membro(a)
UFSC

Prof. Dr. Membro da banca 2
Membro(a)
UFSC

Prof. Dr. Membro da banca 3
Membro(a)
UFSC - Florianópolis

Este trabalho é dedicado aos meus colegas de classe e aos meus queridos pais.

AGRADECIMENTOS

Inserir os agradecimentos aos colaboradores à execução do trabalho.

RESUMO

O texto do resumo deve ser digitado em um único bloco, sem espaço de parágrafo. Deve ser composto por uma sequência de frases concisas, afirmativas e não de uma enumeração de tópicos. Não deve conter citações. Manter o tempo verbal do texto do trabalho (impessoal) e por vezes usar a voz ativa (Ex.: este trabalho apresenta). O Resumo deve conter: tema, problema, justificativa, objetivos, método e resultados (de forma geral). Abaixo do resumo, informar as palavras-chave (palavras ou expressões significativas retiradas do texto) e preferencialmente não repetir termos do título (para aumentar os indexadores). No mínimo três e no máximo cinco. Separadas por ponto. Observe que o espaçamento aqui, entre linhas, é simples (1,0).

Palavra-chave: Palavra-chave 1. Palavra-chave 2. Palavra-chave 3.

ABSTRACT

Resumo traduzido para outros idiomas, neste caso, inglês. Segue o formato do resumo feito na língua vernácula. As palavras-chave traduzidas, versão em língua estrangeira, são colocadas abaixo do texto precedidas pela expressão *Keywords*, separadas por ponto. Observe que o espaçamento aqui, entre linhas, é simples (1,0).

Keywords: First keyword. Second keyword. Third keyword.

LISTA DE FIGURAS

Figura 1 – Diagrama de blocos da plataforma FloripaSat2.	14
Figura 2 – Diagrama de blocos do OBDH Nanomind Z7000.	16
Figura 3 – Diagrama de blocos do OBDH proposto por ZHOU et al., 2018. . . .	17
Figura 4 – Diagrama de blocos do OBDH proposto por PUTRA, 2021.	17
Figura 5 – Diagrama de blocos do OBDH proposto por LOFFLER et al., 2021. .	18
Figura 6 – Esquema geral de arquitetura.	22
Figura 7 – Comparação entre DDR e SDR.	24
Figura 8 – Sistema de potência proposto.	25
Figura 9 – Arquitetura proposta para o OBDH.	26
Figura 10 – Cascata de potência proposta.	29
Figura 11 – Interferência com ruído conduzido.	30
Figura 12 – Filtro proposto.	30
Figura 13 – Simulação de magnitude e fase em função da frequência para o filtro proposto.	31
Figura 14 – Regulador de tensão de 1 V.	31
Figura 15 – Proteção contra <i>latch-up</i> para a tensão de 1 V.	32
Figura 16 – Circuito de <i>Load switch</i> para a tensão de 1,8 V.	32
Figura 17 – Regulador de tensão de 1,8 V.	33
Figura 18 – Proteção contra <i>latch-up</i> para a tensão de 1,8 V.	33
Figura 19 – Circuito de <i>Load switch</i> para a tensão de 3,3 V do SoC.	34
Figura 20 – Regulador de tensão de 1,35 V.	34
Figura 21 – Regulador de tensão de referência e terminação para a memória DDR3L.	35
Figura 22 – Banco de configuração do SoC.	36
Figura 23 – Resistores de <i>pull-up</i> necessários.	37
Figura 24 – Filtro da alimentação analógica do SoC.	37
Figura 25 – Banco MIO do SoC com suas respectivas entradas e saídas.	38
Figura 26 – Modos de inicialização do SoC.	38
Figura 27 – Banco da Memória DDR do PS.	40
Figura 28 – Banco HR do PL.	41
Figura 29 – Banco HP do PL.	42
Figura 30 – Pinos de potência do SoC.	43
Figura 31 – Capacitores de desacoplamento recomendados.	43

LISTA DE TABELAS

Tabela 1 – Principais componentes usados pelos fabricantes de OBDHs comerciais.	15
Tabela 2 – Síntese da tabela apresentada por George e Wilson (2018).	15
Tabela 3 – Requisitos do projeto.	19
Tabela 4 – Tabela comparativa de memórias não voláteis.	24
Tabela 5 – Informações sobre os componentes escolhidos.	27
Tabela 6 – Estimativas de potência consumida.	28
Tabela 7 – Descrição funcional dos pinos de configuração.	36
Tabela 8 – Descrição das interfaces disponibilizadas.	39
Tabela 9 – Descrição dos pinos da memória DDR3.	40
Tabela 10 – Descrição dos sinais dos bancos do PL.	42

LISTA DE ABREVIATURAS E SIGLAS

OBDH *On-board Data Handling*

SUMÁRIO

1	INTRODUÇÃO	11
1.1	OBJETIVOS	11
1.1.1	Objetivo geral	11
1.1.2	Objetivos Específicos	11
2	REVISÃO BIBLIOGRÁFICA	12
2.1	RADIAÇÃO EM LEO E COMPONENTES COTS	12
2.2	PROJETOS ANTERIORES	13
2.2.1	FloripaSat-1	13
2.2.2	FloripaSat-2	13
2.2.3	Projetos Comerciais	14
2.2.4	Projetos Acadêmicos	16
3	ARQUITETURA	19
3.1	REQUISITOS DE PROJETO	19
3.2	ARQUITETURA PROPOSTA	22
3.2.1	Microcontrolador	23
3.2.2	Memórias	23
3.2.2.1	Memórias voláteis	23
3.2.2.2	Memórias não voláteis	24
3.2.3	Conversores DC-DC	25
3.2.4	Sensores e Periféricos	26
3.3	VISUALIZAÇÃO DA ARQUITETURA PROPOSTA	26
3.3.1	Estimativa de Potência Consumida	27
4	DESENVOLVIMENTO DO PROJETO	29
4.1	CONVERSORES DE POTÊNCIA	29
4.1.1	Filtro de Entrada	29
4.1.2	Cascata de potência	31
4.2	SOC	35
4.2.1	Bloco de Configuração	35
4.2.2	Blocos do PS	37
4.2.3	Blocos do PL	41
4.2.4	Pinos de Potência	42
4.3	MEMÓRIAS	44
4.4	PERIFÉRICOS	44
4.5	CONEXÕES ENTRE BLOCOS	44
	REFERÊNCIAS	46

1 INTRODUÇÃO

A Introdução é um texto sucinto e direto, no qual deve constar, organizado em parágrafos, com textualidade (coesão e coerência) e sem vícios linguísticos:

- a) Tema;
- b) Problema;
- c) Justificativa;
- d) Informação das bases/linhas teóricas e/ou autores de referência que serão utilizados no trabalho;
- e) Objetivo geral e, se for o caso, alguns específicos;
- f) Metodologia a ser seguida;
- g) Resultados gerais.

Não crie subtítulos para motivação ou metodologia. Motivação é justificativa e deve compor o texto. Para qualquer dúvida, consulte a Norma, não siga exemplos de formatação observados em outros textos, pois podem estar desatualizados ou equivocados.

1.1 OBJETIVOS

Para resolver a problemática X, propõem-se os seguintes objetivos.

1.1.1 Objetivo geral

O objetivo geral deve ser claro, sucinto, direto e coerente com o que foi anunciado no título do trabalho.

1.1.2 Objetivos Específicos

- Utilize a lista de verbos indicada para composição de objetivos específicos, conforme disponível no material da disciplina de PTCC;
- Os objetivos específicos atingem metas em fases de começo, meio e fim, da pesquisa;
- Observe para não colocar a tarefa, mas sim o objetivo que deseja atingir com a mesma.

2 REVISÃO BIBLIOGRÁFICA

Para atingir o objetivo de projetar o *hardware* de uma PCB (*Printed Circuit Board*) de um computador de bordo robusto, foi preciso buscar na literatura acadêmica o estado da arte que tange o projeto de OBDHs (*On-Board Data Handling*) para satélites de pequeno porte, especialmente para CubeSats (satélites de baixo custo, dimensões padronizadas e que utilizam componentes comerciais) (CUBESATS ..., 2022).

Primeiro, foi necessário um estudo sobre a radiação em LEO - *Low Earth Orbit* (órbitas com raio menor que 1000 km, segundo ESA, 2024), para que a escolha dos componentes do projeto seja a melhor possível. Com esse estudo, buscaram-se formas de mitigar os efeitos mais conhecidos e verificar como instituições têm lidado com componentes do tipo *commercial-off-the-shelf* (COTS).

Depois, foram analisadas as placas de OBDH dos projetos do FloripaSat-1 e FloripaSat-2, desenvolvidas pelo SpaceLab da UFSC. Por fim, outros projetos comerciais foram estudados para obtenção de noções sobre a arquitetura e componentes usados. Um panorama geral foi feito, verificando-se principalmente os componentes principais e mais críticos, ou seja, processadores, memórias voláteis e não-voláteis e outros periféricos.

2.1 RADIAÇÃO EM LEO E COMPONENTES COTS

Estando em solo terrestre, os eletrônicos atuais estão bem protegidos contra a maior parte da radiação incidente do universo. No caso dos satélites orbitais, a proteção atmosférica é atenuada pela distância em relação ao solo, mesmo para aqueles que operam em LEO. Nesse caso, a radiação pode ser suficientemente significativa para causar a mudança do comportamento eletromagnético dos materiais, causando efeitos como falhas, aquisição ou execução errada de comandos e distorção da corrente elétrica (MAYANBARI, 2011). Esses danos são divididos em dois grupos (JUNQUEIRA, 2020): os acumulativos como o TID (*Total Ionizing Dose*), e os SEE (*Single Event Effects*), que indicam o acontecimento de eventos únicos.

Ainda segundo Junqueira (2020), o TID se caracteriza principalmente pela formação de pares elétron-lacuna, onde o primeiro aumenta a condutividade do material e o segundo contribui para oxidação, mudando as características elétricas do componente com o tempo. Já os SEE ocorrem quando um íon atravessa um componente crítico, gerando uma linha de ionização que pode ou não ser destrutiva.

Por esse motivo, quando são escolhidos os componentes críticos para o *hardware* de um *CubeSat*, em sua maioria COTS, deve-se levar em consideração algumas diretrizes cruciais. Segundo Carmo et al. (2021), o componente escolhido precisa

atender os requisitos operacionais, concomitante ao gerenciamento de riscos com mitigações e blindagens.

Com isso, é possível ver três formas confiáveis de escolher cada componente: usando as diretrizes da ESA (*European Space Agency*), as da NASA (*National Aeronautics and Space Administration*) e também através da herança de voo, ou seja, escolhendo componentes que já estiveram em missões semelhantes ou mais críticas. Nos dois primeiros casos, a consulta é através da norma ECSS-Q-ST-60C para a ESA e da lista NPSL (*NASA Part Selection List*) para a NASA. No caso da herança de voo, outros projetos devem ser analisados e consultados, o que será feito na seção a seguir.

2.2 PROJETOS ANTERIORES

2.2.1 FloripaSat-1

O FloripaSat-1 é uma plataforma *open-source* para nanossatélites. Essa plataforma consiste em três módulos: um módulo de fornecimento de potência (EPS), um computador de bordo (OBDH) e um módulo de telemetria e comunicação (TTC) (MARCELINO et al., 2020).

Seu OBDH foi feito para realização da interface e comunicação entre os módulos e *payloads*. Aqui, destacam-se os sensores presentes: uma *Inertial Measurement Unit* (com giroscópio, magnetômetro e acelerômetro), a interface com os sensores dos painéis solares e as medições de tensão e corrente de entrada do próprio módulo.

Além disso, contava com um microprocessador de 16 bits, memórias flash (IS25LP128) e suporte para cartão microSD para armazenamento.

2.2.2 FloripaSat-2

O FloripaSat-2 é a segunda geração da plataforma *open-source* desenvolvida pelo SpaceLab, baseando-se no projeto FloripaSat-1 e trazendo melhorias para os três módulos principais (MARCELINO et al., 2024). O diagrama de blocos do CubeSat proposto está disposto na Figura 1, onde pode-se verificar as interfaces do OBDH com o restante do módulo.

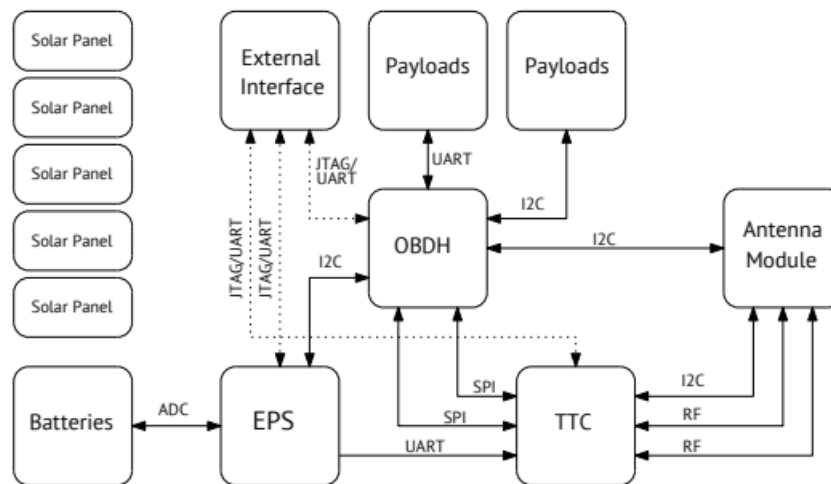


Figura 1 – Diagrama de blocos da plataforma FloripaSat2.

Fonte: MARCELINO et al., 2024.

Especificamente para o OBDH, foram introduzidas uma memória FRAM e uma Flash NOR, ao invés das Flashs e cartão microSD anteriores, o que mostra uma melhoria clara de capacidade e confiabilidade. Outras duas melhorias importantes foram, primeiramente, a adição de um conector para eventualmente conectar uma *daughter board* à placa, e, secundamente, a adição de *buffers* às trilhas de I2C entre os módulos. Isso acrescenta flexibilidade e confiabilidade ao OBDH da segunda geração.

2.2.3 Projetos Comerciais

Abaixo se encontram sintetizados os projetos comerciais estudados, para obtenção de noções sobre a arquitetura e componentes usados. Foram verificados principalmente os processadores, as memórias voláteis e não-voláteis, as interfaces de comunicação e outros periféricos (ADCs, RTC, etc.) utilizados. A Tabela 1 abaixo mostra a pesquisa realizada sobre o Estado da Arte, em conjunto com os dados de George e Wilson (2018), sintetizados na Tabela 2.

Tabela 1 – Principais componentes usados pelos fabricantes de OBDHs comerciais.

Fabricante	Nome do Produto	Processador	Memórias	Periféricos	Interfaces de comunicação
GomSpace	NanoMind A3200	AT32UC3C	Flash, SDRAM, FRAM	Giroscópio, Magnetômetro, Transceivers, Sensores de temperatura	CAN, I2C, SPI, JTAG, USART
GomSpace	NanoMind HPMK3	Zynq 7030	Flash, eMMC, DDR3	Watchdog, Sensores de temperatura, VCO, Sensores de tensão e corrente	CAN, USART, USB, I2C, JTAG, LVDS, SpaceWire
ISIS Space	ISIS On Board Computer	Atmel	Flash, SDRAM, FRAM, Cartões SD	Sensores de temperatura, Sensores de tensão e corrente, RTC, ADC	USART, USB, I2C, JTAG, PWM
Nano Avionics	SatBus 3C2	Não informado	Flash, FRAM, Cartões SD	Giroscópio, Magnetômetro, Rádio UHF, ADC	CAN, SPI, I2C, USART, PWM, USB
AAC Clyde Space	Kryten-M3	Smart Fusion 2 SoC	MRAM, eNVM	RTC, Sensores de tensão e corrente	CAN, SPI, I2C, USART, RS422, LVDS

Fonte: Elaboração própria.

Tabela 2 – Síntese da tabela apresentada por George e Wilson (2018).

Fabricante	Processadores	Missões por Fabricante
Xilinx	Zynq 7020, Zynq 7030, Zynq 7045, Ultrascale+, etc.	24
Atmel + Microchip	ATmega329P, AT91SAM9G20, PIC24F, etc.	22
Texas Instruments	MSP430, OMAP3530, Sitara AM3703, etc.	15
Cobham Gaisler	GR712RC, UT699, LEON3FT	8

Fonte: Elaboração própria com base em George e Wilson, 2018, página 463.

Comparando ambas tabelas, é possível verificar que a maioria dos processa-

dores apresentados são de duas fabricantes: Xilinx (especialmente *chips* da família Zynq 7000) e Microchip (incluindo Atmel). Além disso, a maior parte dos projetos comerciais vistos apresentam memórias FRAM, que possuem um número máximo de ciclos de leitura e escrita muito elevada, além de memórias Flash. Outro destaque foi a presença de sensores de tensão e corrente, bem como magnetômetros e giroscópios.

Além disso, projetos como o OBDH Nanomind Z7000 (Gomspace Nanomind Z7000 Datasheet, 2019) demonstraram sua efetividade em diversas missões, como FSSCAT (CAMPS et al., 2018), ORCA (BARLES et al., 2022) e CubeMAP (WEIDMANN et al., 2020), o que mostra a confiabilidade e herança de voo de *hardwares* contendo o SoCs da família Zynq 7000. Na Figura 2, podemos verificar o diagrama de blocos do anteriormente citado Nanomind Z7000.

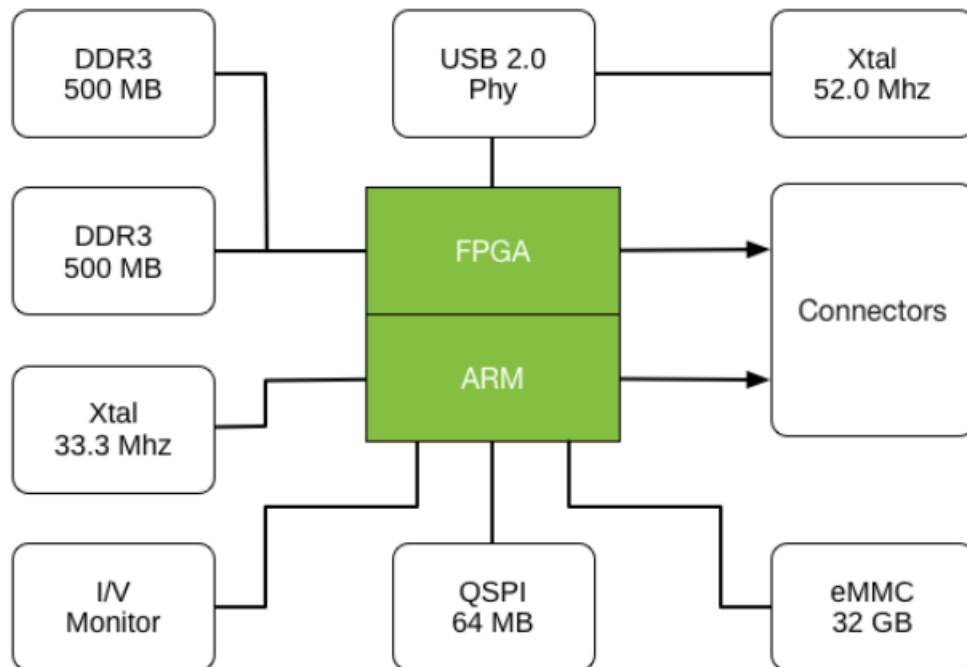


Figura 2 – Diagrama de blocos do OBDH Nanomind Z7000.

Fonte: Gomspace Nanomind Z7000 Datasheet, 2019.

2.2.4 Projetos Acadêmicos

Outro ponto são os OBDHs propostos em publicações acadêmicas. Serão estudados quatro casos de design de OBDH, ainda no contexto de nanossatélites.

No primeiro caso, o OBDH foi feito para ser compacto e reconfigurável, como o projeto proposto nesse trabalho. O sistema foi pensado para conter um processador, SDRAMs, uma Flash NOR, uma Flash NAND, uma FPGA e algumas interfaces externas (ZHOU et al., 2018). O diagrama de blocos do OBDH proposto pelos autores está disposto na Figura 3.

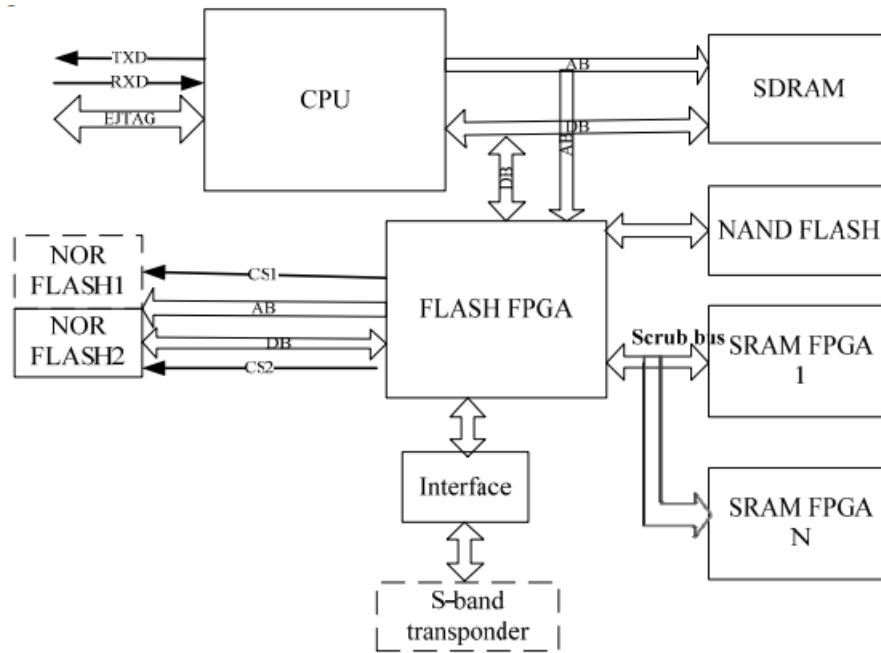


Figura 3 – Diagrama de blocos do OBDH proposto por ZHOU et al., 2018.

Fonte: ZHOU et al., 2018.

Na segunda publicação estudada, o OBDH é parte de um sistema que implementa um sistema operacional em tempo real (RTOS), outro objetivo desse trabalho. Nesse caso, o OBDH é capaz de verificar telecomandos, sincronizar sistemas, reportar eventos e monitorar parâmetros (PUTRA, 2021). Seu diagrama de blocos do *hardware* está disposto na Figura 4.

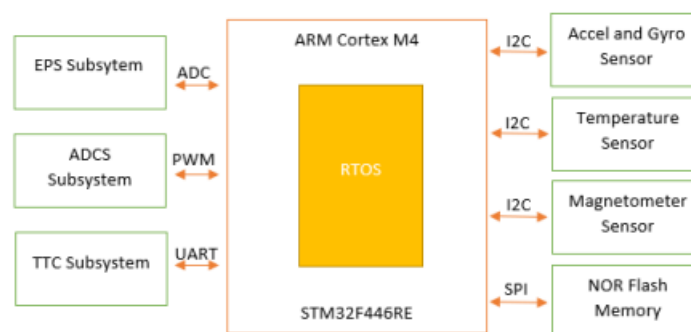


Figura 4 – Diagrama de blocos do OBDH proposto por PUTRA, 2021.

Fonte: PUTRA, 2021.

No terceiro caso, a missão incluía a pesquisa e observação em órbita média (MEO), ou seja, em condições mais críticas do que o propósito do OBDH projetado nesse trabalho. Mesmo assim, as noções da arquitetura proposta são muito parecidas com o estado da arte comercial para LEO, usando inclusive um SoC da família Zynq

7000 (LOFFLER, 2021). O diagrama de blocos do OBDH proposto nesse trabalho está disposto na Figura 5.

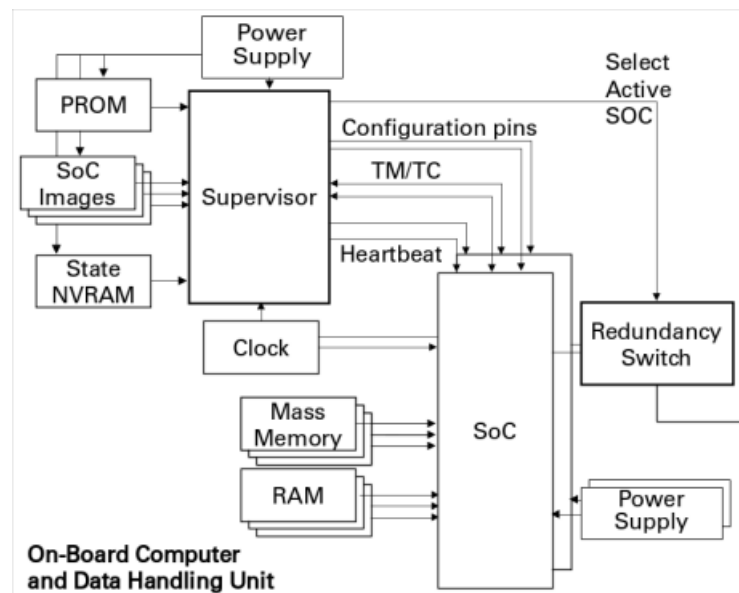


Figura 5 – Diagrama de blocos do OBDH proposto por LOFFLER et al., 2021.

Fonte: LOFFLER et al., 2021.

Nos três casos existem semelhanças na arquitetura, incluindo memórias usadas e interfaces de comunicação. Com isso, juntamente com o estudo dos projetos FloripaSat-1 e FloripaSat-2 e projetos comerciais, é possível começar a projetar o *hardware* do OBDH, utilizando as diretrizes citadas e as heranças de voo, tomando como base os projetos citados, escolhendo os componentes e respeitando os requisitos impostos.

3 ARQUITETURA

Após estudar os desdobramentos dos efeitos de órbita baixa e entender o que é necessário para se realizar um projeto confiável de computador de bordo de um nanossatélite através de projetos anteriores, foi necessária a compreensão dos requisitos de projeto. Com isso, foram escolhidos os componentes principais da placa, propondo-se uma arquitetura para o sistema para um *hardware* confiável, robusto e versátil.

3.1 REQUISITOS DE PROJETO

Como dito, foi preciso entender os pré-requisitos impostos para o OBDH da terceira geração do SpaceLab. Abaixo, na Tabela 3, se encontram os requisitos gerais do projeto, em conjunto com a *rationale* e com o método de verificação (NASA Product Verification, 2024).

Tabela 3 – Requisitos do projeto.

Índice	Descrição	Rationale	Método de Verificação
1	O módulo OBDH deve ser compatível com o padrão CubeSat	Assegura compatibilidade com outros satélites desenvolvidos no SpaceLab	Inspeção
2	O módulo OBDH deve operar corretamente entre -40°C e 85°C	Para operar com segurança em um ambiente LEO	Teste e Análise
3	O módulo OBDH deve possuir um microcontrolador capaz de usar um sistema Linux	Para gerenciar e coordenar operações dentro e fora do módulo, sendo capaz de realizar tarefas complexas	Inspeção

4	O módulo OBDH deve possuir uma memória DDR com capacidade de 512Mb (preferencialmente com ECC)	Memória suficiente para operações do OBDH e armazenamento de dados	Inspeção
5	O módulo OBDH deve possuir uma memória FRAM para armazenar parâmetros de configuração	Provê memória não-volátil e duradoura, menos suscetível à radiação	Inspeção
6	O módulo OBDH deve possuir uma memória Flash para armazenar pacotes (preferencialmente com ECC)	Para armazenar dados e pacotes recebidos	Inspeção
7	O módulo OBDH deve possuir um WDT (<i>Watchdog Timer</i>) para reiniciar o microcontrolador em caso de falha de <i>software</i>	Reinicia automaticamente o microcontrolador caso haja a falha	Teste
8	O módulo OBDH deve possuir sensores de medição de tensão e corrente em suas tensões	Para monitoramento de potência consumida	Inspeção
9	O módulo OBDH deve possuir proteção de sobrecorrente (20% acima do valor nominal)	Para proteção contra <i>latch-up</i>	Análise

10	O módulo OBDH deve possuir um giroscópio para medição de velocidade angular	Para permitir controle ativo do satélite	Inspeção
11	O módulo OBDH deve possuir um magnetômetro	Para permitir controle ativo do satélite	Inspeção
12	O módulo OBDH deve possuir uma interface RS-422 para transmissão de mensagens de <i>debug/log</i> e receber parâmetros de configuração	Comunicação de longa distância com maior imunidade ao ruído e maior taxa de dados (comparando com UART)	Teste
13	O módulo OBDH deve possuir uma interface CAN para receber e transmitir comandos e dados	Comunicação robusta e com suporte a múltiplos sistemas do CubeSat	Inspeção
14	O módulo OBDH deve possuir uma interface acessível externamente para programação do microcontrolador	Para o módulo ser facilmente programado pelo time	Inspeção
15	O módulo OBDH deve possuir uma interface para uma <i>daughter board</i>	Para prover suporte a outras interfaces e periféricos	Inspeção
16	O módulo OBDH deve possuir um sensor de temperatura com precisão menor ou igual a 1 °C	Para prevenir danos de temperaturas extremas	Análise

17	O módulo OBDH deve possuir uma interface RS-485 para receber e transmitir comandos e dados	Para transmissão robusta de dados com módulos externos	Teste
----	--	--	-------

Fonte: Elaboração própria.

Com as definições apresentadas na Tabela 3, foi então necessária a definição da arquitetura do hardware, ou seja, os componentes e sua interconexões, bem como as interfaces de comunicação e saídas necessárias.

3.2 ARQUITETURA PROPOSTA

A partir dos requisitos, o primeiro passo foi definir de forma geral como seria o funcionamento do *hardware* do projeto. Na Figura 6, pode-se verificar um esquema inicial de proposta de arquitetura, usando os pontos descritos anteriormente.

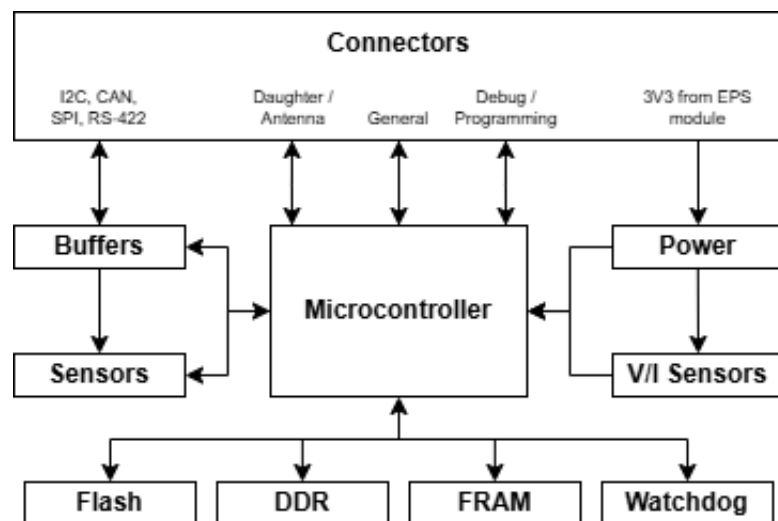


Figura 6 – Esquema geral de arquitetura.

Fonte: Elaboração própria.

Como podemos verificar, o microprocessador será crucial e deverá ter pinos suficientes para interface com todas as memórias, sensores e para se comunicar com os outros módulos do CubeSat. Além disso, a parte dedicada às tensões usadas deverá ser cuidadosamente feita, para suportar a potência dissipada por todos os componentes da placa de circuito impresso. A escolha de cada componente será descrita nas seções a seguir, respeitando sempre os seguintes critérios:

- O componente deve funcionar corretamente nas temperaturas entre -40°C e 85°C ;
- Circuitos integrados devem possuir herança de voo sempre que possível;
- Caso o circuito integrado necessite de um circuito específico, o mesmo deve conter itens preferencialmente dispostos na ECSS-Q-ST-60C, na NPSL ou similar aos mesmos, especialmente componentes discretos (capacitores, resistores, indutores, diodos, transistores, entre outros);

3.2.1 Microcontrolador

Como visto na Tabela 2, a fabricante com maior herança de voo estudada é a Xilinx, em especial os chips da família Zynq 7000, que são SoCs (*System on a Chip*). Após um estudo próprio, o SoC Zynq 7030 se mostrou mais adequado pelas seguintes características:

- Foi usado em missões extensivas em pequenos satélites (Gomspace, 2024), ou seja, possui herança de voo em missões similares em LEO e em CubeSats;
- Possui um envelopamento com 484 pinos, suficiente para prover as conexões necessárias para todas as interfaces requeridas (UG865, 2021);
- Capaz de rodar um sistema Linux (KADI et al., 2013);
- Por ser um SoC, possui alta adaptabilidade e flexibilidade, disponibilizando no mesmo chip uma FPGA (*Field-Programmable Gate Array*) e um microprocessador, denominados respectivamente de PL e PS;

3.2.2 Memórias

As memórias serão necessárias para realizar operações, armazenar dados externos e internos e armazenar parâmetros de configuração do OBDH e de outros subsistemas do CubeSat. Para cada uma dessas funções uma memória diferente é necessária, seguindo suas características principais, sendo elas: tempo de acesso, tamanho do armazenamento e volatilidade.

3.2.2.1 Memórias voláteis

Partindo do princípio que a robustez e versatilidade estão alinhadas com a velocidade da memória, bem como sua capacidade de armazenamento máximo, a principal opção se tornou as memórias do tipo DDR (*Double Data Rate*), que utilizam ambas a borda de subida e de descida para transferência de dados, atingindo o dobro de largura de banda de uma memória com SDR (*Single Data Rate*) para uma mesma frequência de relógio (JEDEC, 2008). Essa relação pode ser ilustrada pela Figura 7, onde pode-se verificar a transferência de dados do sinal DQ em relação ao sinal de relógio (bCLK e CLK) para SDR e DDR.

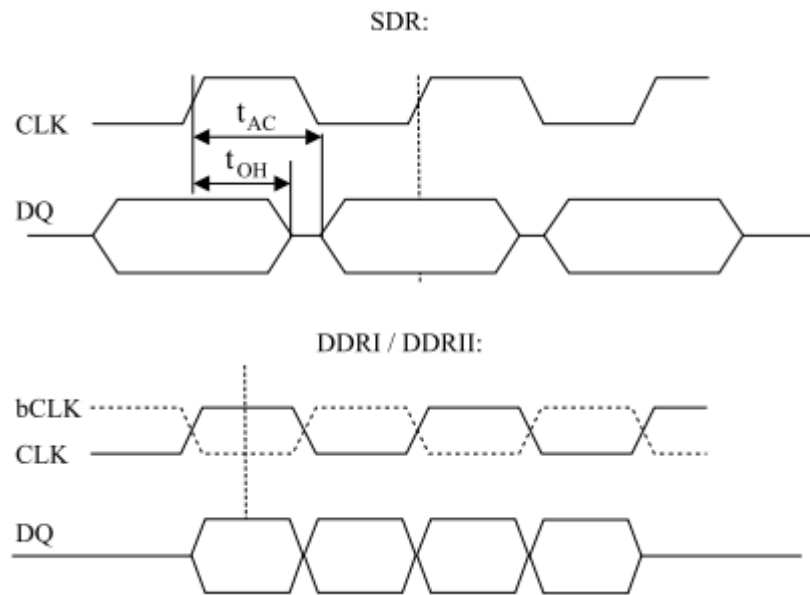


Figura 7 – Comparação entre DDR e SDR.

Fonte: KLEHN E BROX, 2003.

Por essa razão, foi escolhida uma memória do tipo DDR3, com capacidade de 2Gb e frequência de operação de 800 MHz.

3.2.2.2 Memórias não voláteis

No caso das memórias não voláteis, é necessária uma atenção especial ao tipo de dado que será armazenado em cada uma delas. Para o caso de dados críticos, é preciso de uma memória que possua alta resistência aos efeitos da radiação, mantendo-se um compromisso com os tempos de escrita e leitura. Por sua vez, para dados de inicialização são mais críticos os tempos de leitura, enquanto para uma memória de dados mais gerais, o importante é o armazenamento total. Por meio desses critérios, foi possível avaliar, por meio da Tabela 4, o tipo de memória ideal para cada caso, considerando o número máximo de ciclos de leitura e escrita de cada tipo de memória.

Tabela 4 – Tabela comparativa de memórias não voláteis.

Memória	Tempo de leitura/escrita	Tolerância à radiação	Armazenamento máximo	Ciclos
Flash NOR	$\sim 1\mu s$	Ruim	$\sim 1\text{ Gb}$	10^5
Flash NAND	$\sim 100\mu s$	Ruim	$\sim 1\text{ Tb}$	10^5
FRAM	$\sim 50\text{ ns}$	Boa	$\sim 1\text{ Mb}$	10^{15}

Fonte: Elaboração própria com base em (GERARDIN E PACCAGNELLA, 2010) e (BOUKHOBZA E OLIVIER, 2017).

Com isso, foi então escolhida uma FRAM (*Ferroelectric Random-Access Memory*) para armazenar dados críticos, uma Flash NAND para armazenamento de dados gerais e uma Flash NOR para armazenar o boot do sistema Linux no SoC.

3.2.3 Conversores DC-DC

Nos sistemas CubeSat do SpaceLab da UFSC, o módulo responsável pelo fornecimento de potência é o chamado EPS (MARCELINO, 2024). A partir disso, partindo do pressuposto que haverá uma tensão fornecida de 3,3 V, pode-se inferir a cascata de potência a partir do mesmo. Para o caso do Zynq e da memória DDR3, circuitos integrados são necessários para gerar as seguintes tensões:

- Zynq: 1 V e 1,8 V;
- DDR3L: 1,35 V e 0,675 V.

Todos os demais periféricos devem aceitar uma tensão de alimentação de 3,3 V. Outro ponto importante são os circuitos de proteção contra *latch-up*, um efeito similar a um curto-circuito na trilha de alimentação de circuitos CMOS (AN-600, 1989). Essa proteção é essencial, pois ao ocorrer, gera um consumo elevado de corrente e consequentemente tem potencial de gerar efeitos e falhas catastróficas (ECSS, 2018). No caso desse projeto, será utilizado o LTC4361, anteriormente usado em outras PCBs do SpaceLab, como o OBDH da segunda geração (MARCELINO, 2024).

Na Figura 8, está esquematizado o sistema de potência proposto.

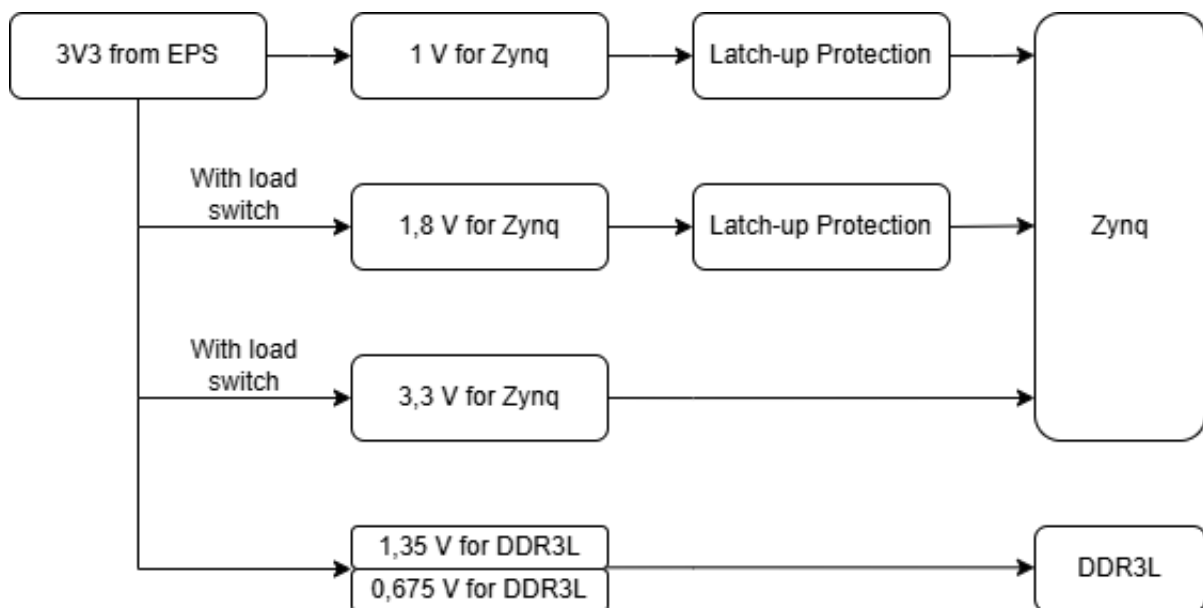


Figura 8 – Sistema de potência proposto.

Fonte: Elaboração própria.

3.2.4 Sensores e Periféricos

Como dito nos pré-requisitos, alguns sensores precisam estar presentes no OBDH. Entre eles:

- Um monitor de tensão, para todas as tensões importantes do sistema;
- Um sensor de corrente para a tensão de entrada do módulo;
- Um giroscópio para medir a velocidade angular em órbita;
- Um magnetômetro para medição do campo magnético da Terra em órbita;
- Um WDT para reiniciar o sistema em caso de falha de software.

3.3 VISUALIZAÇÃO DA ARQUITETURA PROPOSTA

Depois das decisões tomadas, foi possível montar um diagrama, apresentado na Figura 9, que mostra cada circuito do computador de bordo. Aqui, por simplicidade, foram suprimidos os transceptores do protocolo CAN (*Controller Area Network*) e a parte de potência do módulo.

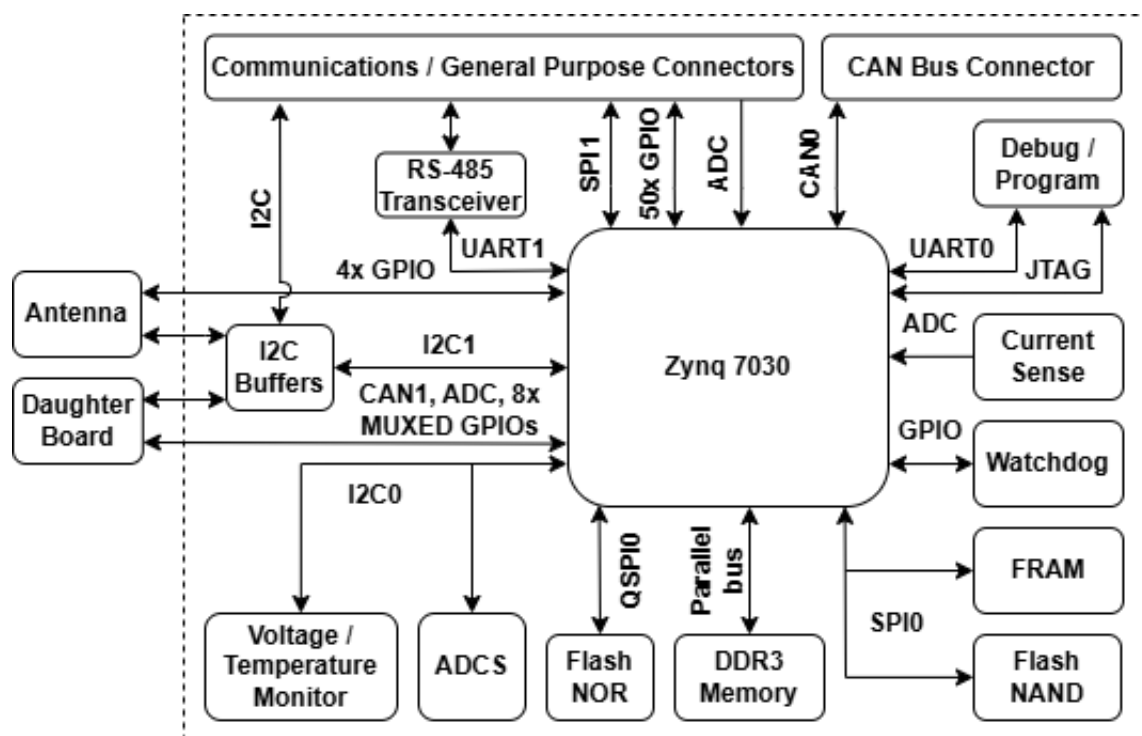


Figura 9 – Arquitetura proposta para o OBDH.

Fonte: Elaboração própria.

Também foram levadas em consideração as interfaces disponibilizadas pelo SoC, os componentes escolhidos e os conectores necessários. Os componentes escolhidos se encontram na Tabela 5, conjuntamente com as interfaces requeridas para

cada um, suas tensões de alimentação e suas correntes máximas no terminal de alimentação, no pior caso especificado pelo fabricante.

Tabela 5 – Informações sobre os componentes escolhidos.

Componente	Número do Fabricante	Interface	Tensão de Alimentação	Corrente máxima
FRAM	CY15B104QN-50SXI	SPI	3,3 V	3,7 mA
Flash NOR	MT25QL128ABB1ESE-0AUT	QSPI	3,3 V	55 mA
Flash NAND	MT29F1G01ABAFDSF-AAT:F	SPI	3,3 V	35 mA
DDR3L	MT41K256M8DA-125:K	Paralela	1,35 V	182 mA
WDT	TPS3823-33QDBVRQ1	-	3,3 V	10 mA
Monitor de Temperatura e Tensão	LTC2991IMS#TRPBF	I2C	3,3 V	1,5 mA
Sensor de Corrente	INA180A2IDBVR	-	3,3 V	1 mA
Giroscópio	A3G4250D	I2C	3,3 V	7 mA
Magnetômetro	MMC5983MA	I2C	3,3 V	0,45 mA
Buffer I2C	TCA4311ADR	I2C	3,3 V	7 mA
Transceptor CAN	A3G4250D	CAN	3,3 V	60 mA
Transceptor RS-485	THVD1451DR	Serial	3,3 V	3 mA
Conversor DC-DC	TPS82085SILR	-	3,3 V	-
Conversor DC-DC para DDR3	TPS51200DRCR	-	3,3 V	1 mA
Load Switch	TPS22920YZPR	-	3,3 V	0,2 mA
Proteção contra Latch-up	LTC4361	-	-	-

Fonte: Elaboração própria com base nos Datasheets de cada componente.

3.3.1 Estimativa de Potência Consumida

A fim de garantir o funcionamento correto dos conversores DC-DC e seus respectivos periféricos, foi necessária uma estimativa da potência total consumida por todas as tensões disponíveis no módulo. Para isso, foi utilizada a Tabela 5, bem como o datasheet de cada componente. No caso do SoC, sua fabricante disponibiliza uma planilha (XPE, 2019) para estimativas de potência em cada tensão de alimentação.

Com isso, foram obtidos os valores da Tabela 6, considerando uma eficiência de conversão de 85% (TPS82085, 2019), já incluindo as estimativas de potência e os piores casos descritos anteriormente.

Tabela 6 – Estimativas de potência consumida.

Tensão [V]	Potência Dissipada na Tensão [W]	Potência dissipada na tensão de 3,3 V [W]	Corrente máxima da trilha [A]
1,00	2,20	2,59	2,20
1,35	0,25	0,29	0,18
1,80	0,63	0,74	0,35
3,3	7,5	-	2,27

Fonte: Elaboração própria.

Através dessas estimativas, pode-se confirmar que o sistema de potência proposto suporta os componentes escolhidos e suas tensões e variações, mesmo quando se considera o pior caso.

4 DESENVOLVIMENTO DO PROJETO

Depois das definições apresentadas e da escolha de componentes apresentada na seção anterior, foi possível construir um esquemático elétrico, que esquematiza a PCB do OBDH. Nesse capítulo, discutir-se-á circuitos específicos mais relevantes do projeto, usando o esquemático pronto, que se encontra no Anexo I.

4.1 CONVERSORES DE POTÊNCIA

Partindo do princípio que o módulo EPS da terceira geração de módulos do SpaceLab será capaz de fornecer 3,3 V para o OBDH, foi proposta uma cascata de potência descrita na Figura 10. Nela, são suprimidos os circuitos de proteção que serão descritos posteriormente.

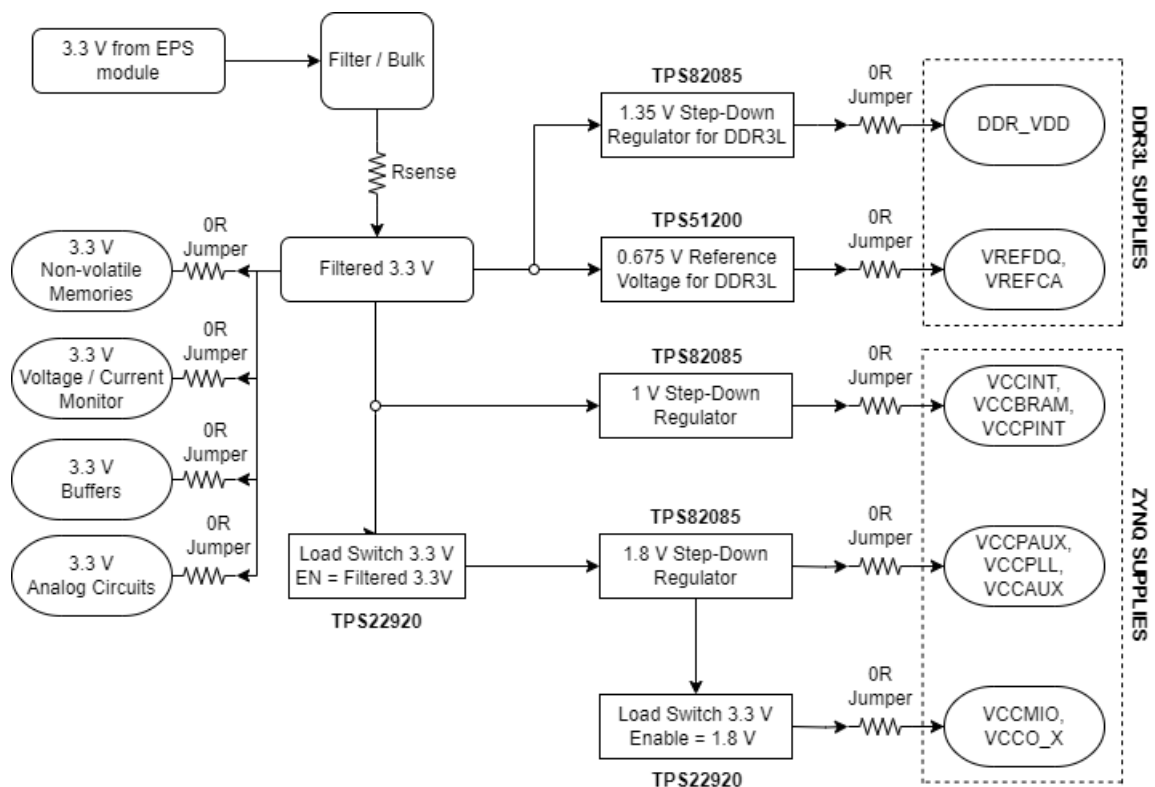


Figura 10 – Cascata de potência proposta.

Fonte: Elaboração própria.

4.1.1 Filtro de Entrada

Costumeiramente, a entrada de tensão de uma placa robusta deve ser filtrada, principalmente devido às flutuações do ruído conduzido de outros subsistemas

do satélite, caracterizando o fenômeno de Interferência Eletromagnética (EMI), esquematizado na Figura 11.

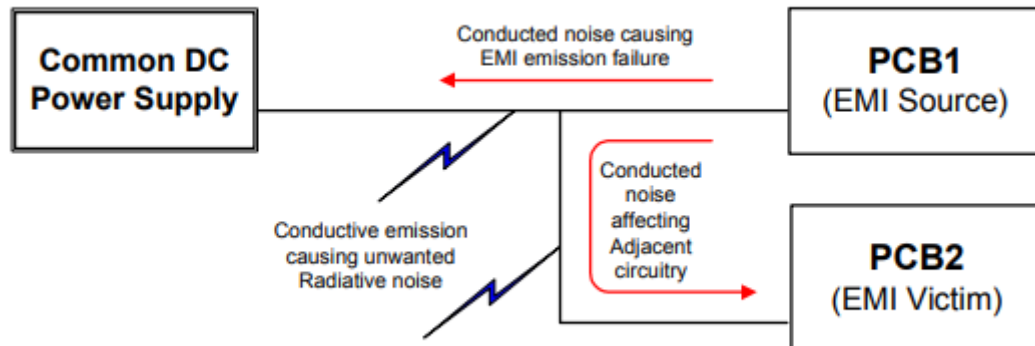


Figura 11 – Interferência com ruído conduzido.

Fonte: SOH et al., 2010.

Além disso, também foi necessária a inclusão de um diodo Zener em paralelo à entrada, servindo como um elemento extra de proteção contra perturbações e transientes (CADENCE, 2023). Outra característica explorada foi a colocação de capacitores em paralelo, a fim de reduzir sua resistência em série equivalente (ESR) e sua indutância série (SARJEANT, 1990). O filtro proposto está disposto na Figura 12. Além disso, sua magnitude e fase simuladas estão dispostas na Figura 13.

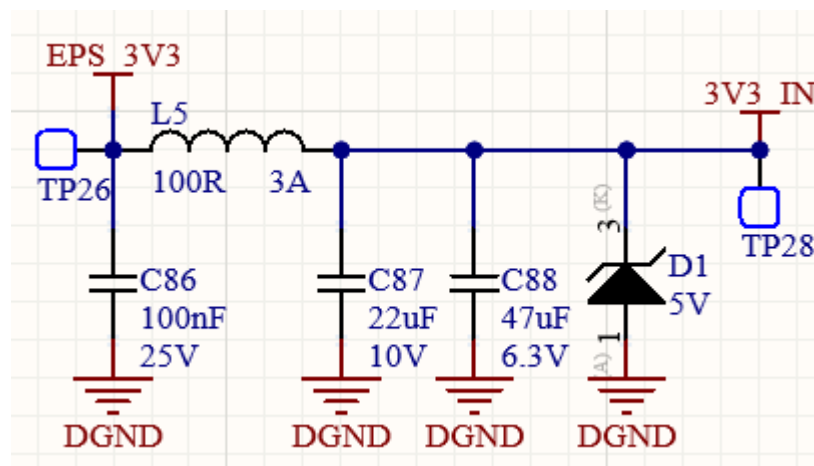


Figura 12 – Filtro proposto.

Fonte: Elaboração própria.

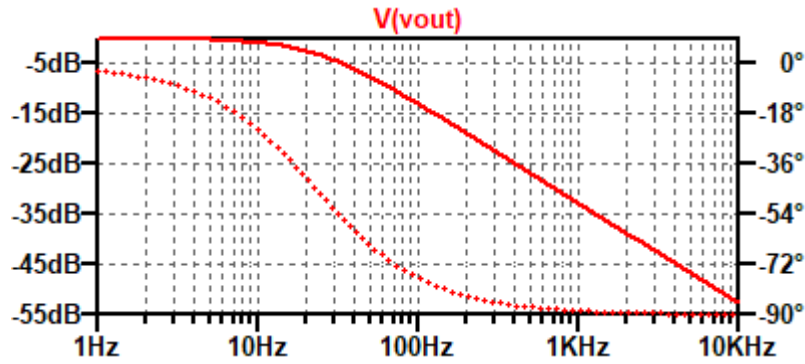


Figura 13 – Simulação de magnitude e fase em função da frequência para o filtro proposto.

Fonte: Elaboração própria.

4.1.2 Cascata de potência

Devido à escolha do SoC e da memória DDR3, foi necessária a definição de uma cascata de potência, levando-se em consideração os requisitos de (UG585, 2023), que descreve o sequenciamento das tensões para o menor consumo de potência e para garantir a integridade do fusível interno do SoC. Dessa forma, como pode-se ver na Figura 10, são usados os denominados *load switches*, a fim de garantir o sequenciamento descrito e garantir uma proteção efetiva contra sobrecorrente (MAK, 2018).

O primeiro regulador, que gera a tensão de 1 V, apresentado na Figura 14, é o primeiro da cascata. Seu divisor de tensão de saída foi calculado conforme (TPS82085, 2019):

$$V_{out} = 0,8 * (1 + R_1/R_2) = 0,8 * (1 + 37,4k/150k) = 0,999V \quad (1)$$

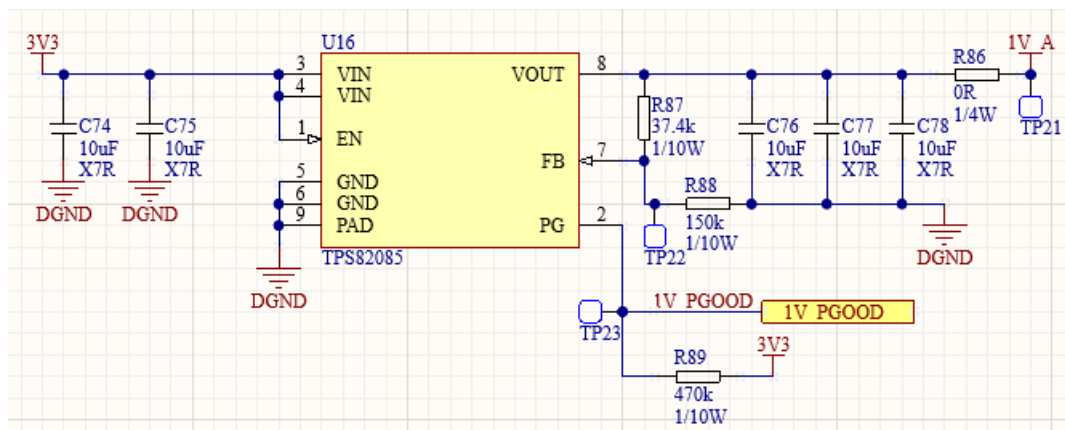


Figura 14 – Regulador de tensão de 1 V.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Também foi possível montar seu circuito de proteção de sobrecorrente, disposto na Figura 15. Seu resistor de entrada, que escolhe o limiar de corrente permitido, foi caculado conforme (LTC4361, 2018), considerando uma corrente 20% superior à máxima calculada (na Tabela 6):

$$R_{sense} = 50mV/I_{max} = 50/2,63 = 19,01m\Omega \quad (2)$$

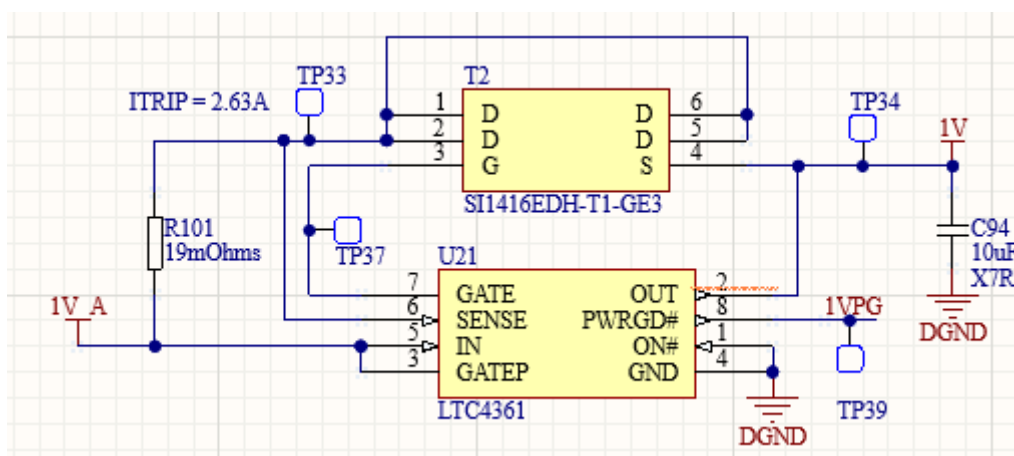


Figura 15 – Proteção contra *latch-up* para a tensão de 1 V.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Depois disso, para seguir com o sequenciamento requerido pelo SoC, precisa-se de um circuito de chaveamento de carga, apresentado na Figura 16. Seu circuito é baseado no sugerido por (TPS22920, 2016), com seu ligamento sendo feito pela própria tensão de 3,3 V.

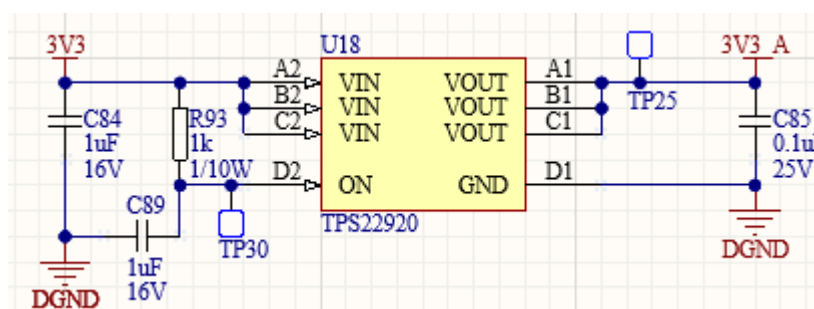


Figura 16 – Circuito de *Load switch* para a tensão de 1,8 V.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Analogamente, para a tensão de 1,8 V, são necessários ambos um conversor e um circuito de proteção. Estes estão dispostos respectivamente nas Figuras 17 e 18 a seguir, conjuntamente com suas equações (3) e (4) para obtenção das resistências requeridas, usando a mesma margem de 20% de corrente máxima.

$$V_{out} = 0,8 * (1 + R_1/R_2) = 0,8 * (1 + 110k/88,7k) = 1,792V \quad (3)$$

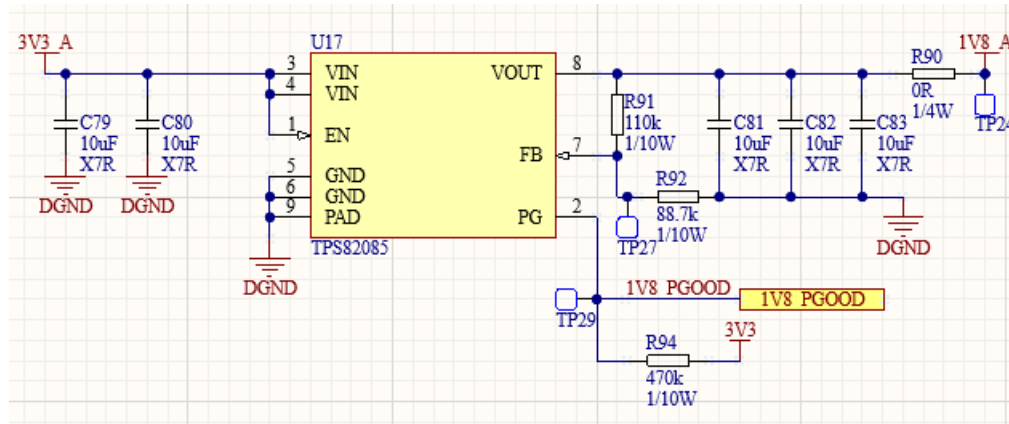


Figura 17 – Regulador de tensão de 1,8 V.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

$$R_{sense} = 50mV/I_{max} = 50/0,5 = 100m\Omega \quad (4)$$

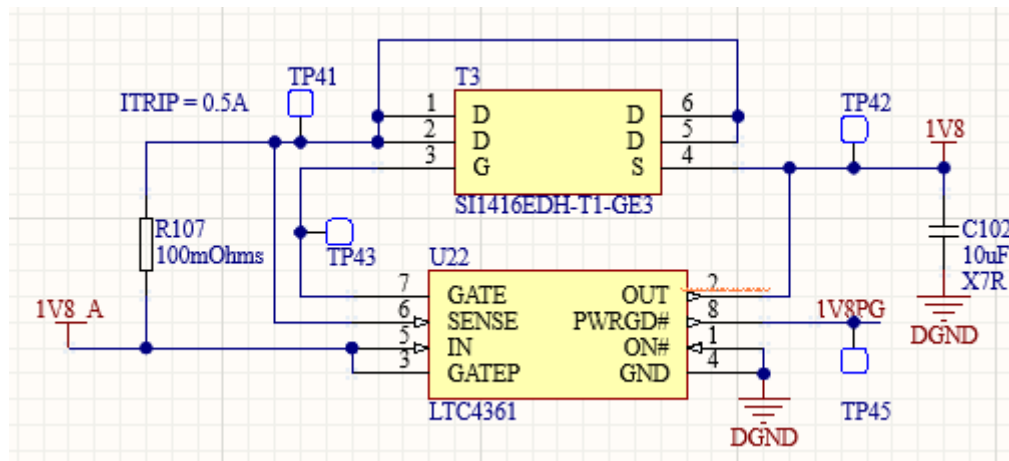


Figura 18 – Proteção contra *latch-up* para a tensão de 1,8 V.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Por fim, para ligar a tensão de 3,3 V fornecida para o SoC, é necessário um último circuito de chaveamento, dessa vez com seu ligamento feito pela tensão de 1,8 V, como mostra a Figura 19.

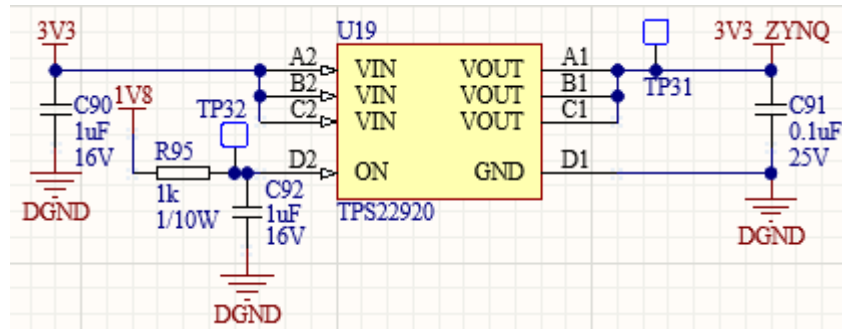


Figura 19 – Circuito de *Load switch* para a tensão de 3,3 V do SoC.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Paralelamente, para a memória DDR3L, são necessários um conversor para a alimentação, de 1,35 V, e um conversor para a tensão de referência e de terminação. Esses circuitos estão dispostos respectivamente nas Figuras 20 e 21.

$$V_{out} = 0,8 * (1 + R_1/R_2) = 0,8 * (1 + 47k/68k) = 1,353V \quad (5)$$

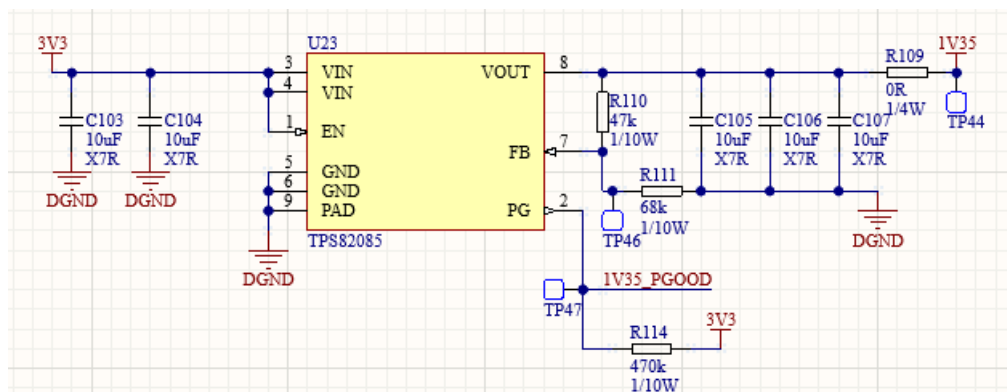


Figura 20 – Regulador de tensão de 1,35 V.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

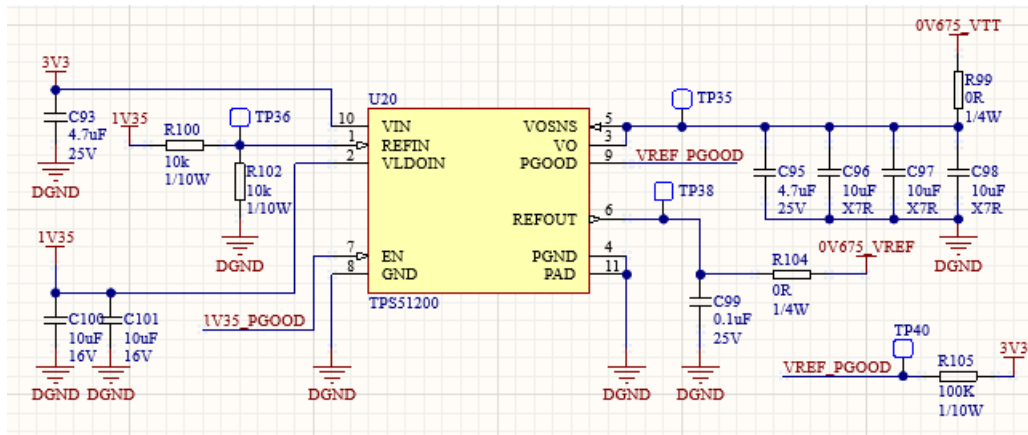


Figura 21 – Regulador de tensão de referência e terminação para a memória DDR3L.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

4.2 SOC

No caso do SoC Zynq 7030, temos no total seis blocos operacionais, que incluem o funcionamento do PL e do PS, bem como as configurações e o bloco dedicado ao controlador da memória DDR (UG585, 2023). A seguir, estão dispostas as descrições funcionais e circuitos necessários para o funcionamento correto desse SoC, separados por cada um dos blocos citados.

4.2.1 Bloco de Configuração

O banco zero do SoC é o responsável por algumas opções e sinais de configuração. Abaixo, na Tabela 7, se encontra a descrição funcional de cada pino desse banco, esquematizado na Figura 22. Esse esquemático, bem como seus resistores de *pull-up* (Figura 23), foram baseados na documentação técnica fornecida pela Xilinx (UG865, 2023) (UG470, 2023) (UG933, 2019) (DS191, 2018).

Tabela 7 – Descrição funcional dos pinos de configuração.

Nome	Função
DXN e DXP	Terminais do diodo interno para medição de temperatura.
VREFP e VREFN	Tensões de referência do conversor analógico digital (XADC) do SoC.
VP e VN	Entrada extra do XADC.
VCCBAT	Não utilizada. Fonte da bateria.
TCK, TMS, TDI e TDO	Sinais da interface JTAG.
INIT_B	Indica inicialização da memória interna de configuração.
PROGRAM_B	Reset assíncrono da lógica de configuração.
CFGBVS	Pino que seleciona o tipo de IO do banco 0.
DONE	Indica que a configuração foi terminada e feita corretamente.
VCCADC e GNDADC	Alimentação do XADC.
RSVDVCC e RSVDGND	Pinos de alimentação reservados.

Fonte: Elaboração própria com base na documentação técnica do fabricante.

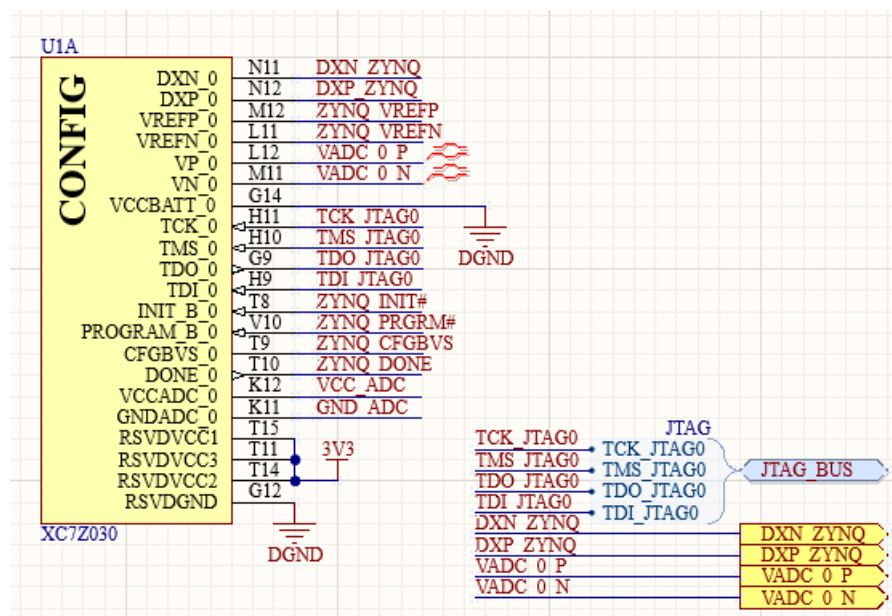


Figura 22 – Banco de configuração do SoC.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

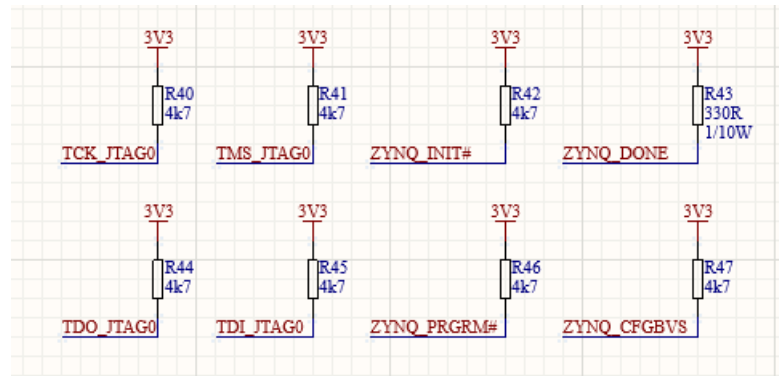


Figura 23 – Resistores de *pull-up* necessários.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

Além disso, para a alimentação do XADC, foi necessário um circuito de filtragem, disposto na Figura 24, como requerido por (UG480, 2022).

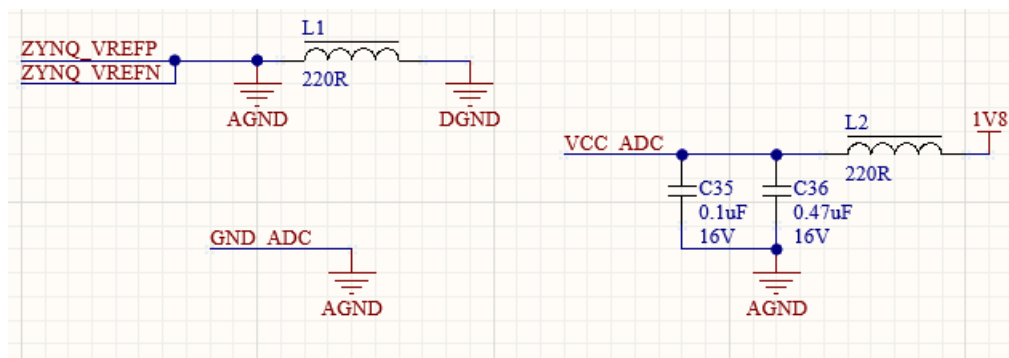


Figura 24 – Filtro da alimentação analógica do SoC.

Fonte: Elaboração própria com base no circuito apresentado pelo fabricante.

4.2.2 Blocos do PS

No caso do sistema de processamento (PS), existem três bancos principais. O primeiro, denominado MIO (*Multiplexed In-Out*), é onde se encontram os controladores das interfaces de comunicação, bem como a entrada de relógio e a escolha do *boot*. No caso desse projeto, foi-se decidido que o SoC poderá inicializar de duas formas, sendo a primeira pela interface JTAG e a segunda pela memória Flash NOR (QSPI), escolhidos pelos resistores R48 e R51. O banco MIO e seus modos de inicialização estão dispostos nas Figuras 25 e 26.

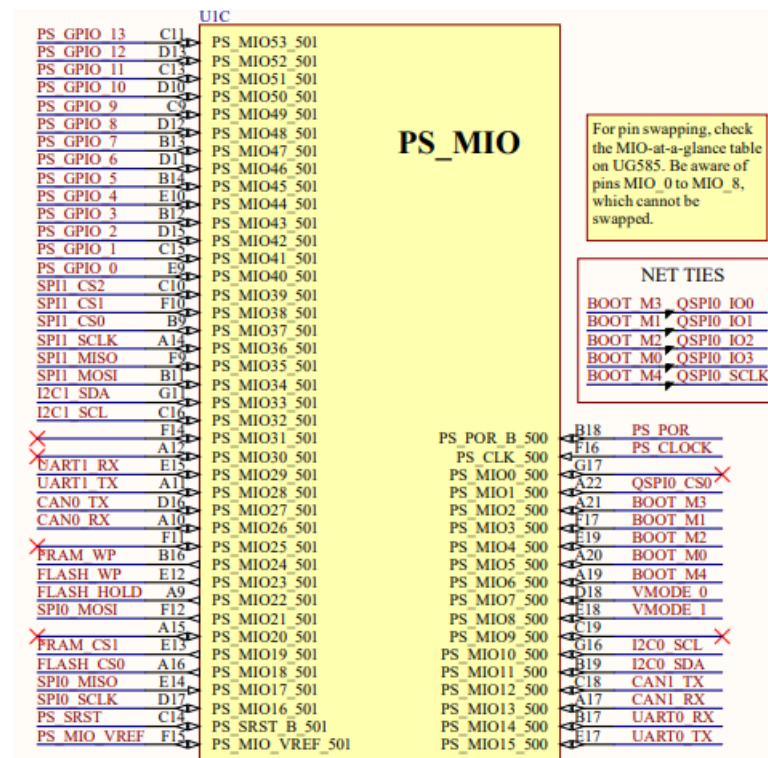


Figura 25 – Banco MIO do SoC com suas respectivas entradas e saídas.

Fonte: Elaboração própria com base na Tabela MIO-at-a-glance (UG585, 2023).

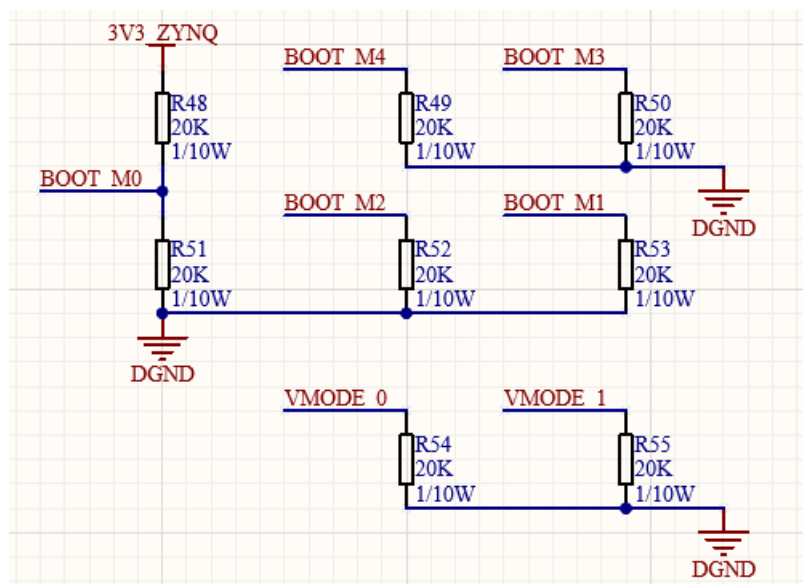


Figura 26 – Modos de inicialização do SoC.

Fonte: Elaboração própria com base em (UG585, 2023).

Por fim, Na Tabela 8, pode-se verificar qual a função de cada barramento de comunicação, em conformidade com a Figura 9.

Tabela 8 – Descrição das interfaces disponibilizadas.

Interface	Função
SPI0	Interface SPI para circuitos internos ao módulo OBDH.
SPI1	Interface SPI para circuitos externos ao módulo OBDH.
QSPI0	Interface Quad-SPI para memória de inicialização.
I2C0	Interface I2C para circuitos internos ao módulo OBDH.
I2C1	Interface I2C para circuitos externos ao módulo OBDH.
CAN0	Interface CAN para circuitos externos ao módulo OBDH.
CAN1	Interface CAN para o módulo <i>daughter</i> .
UART0	Conexão serial para <i>debugging</i> .
UART1	Conexão serial para o transceiver RS-485.
PS_GPIO	Sinais de propósito geral de entrada e saída.

Fonte: Elaboração própria com base na documentação técnica do fabricante.

Também como mencionado, o projeto terá como memória volátil uma memória do tipo DDR3. Para que se consiga controlá-la, o SoC disponibiliza um banco dedicado para a memória DDR, disposto na Figura 27. Seus pinos são nomeados conforme (JEDEC, 2008) e suas funções são descritas na Tabela 9. O terceiro banco não é utilizado nesse projeto.

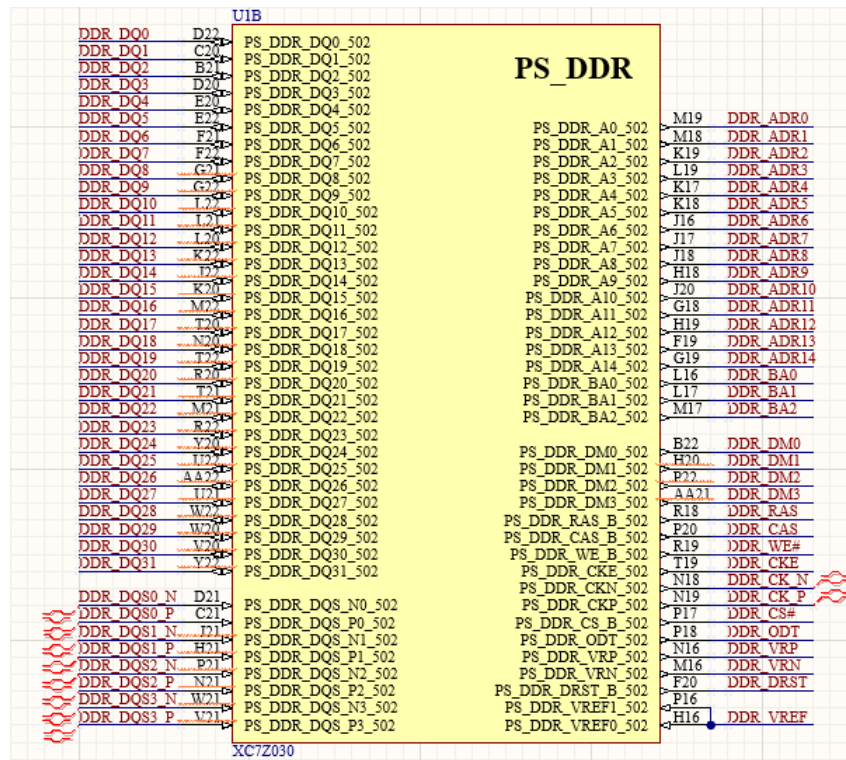


Figura 27 – Banco da Memória DDR do PS.

Fonte: Elaboração própria com base em (UG585, 2023) e (UG933, 2019).

Tabela 9 – Descrição dos pinos da memória DDR3.

Nome	Descrição
DDR_ADRx	Barramento de endereço da memória.
DDR_DQx	Barramento de dados da memória.
DDR_DMx	Sinal da máscara da interface.
DDR_BAx	Barramento de endereço do banco da memória.
DDR_DQSx	Sinal diferencial de <i>Data Strobe</i> .
DDR_CK	Barramento diferencial do relógio da memória.
DDR_ODT	Sinal de saída de terminação dinâmica.
DDR_CS#	Sinal de <i>Chip Select</i> .
DDR_CKE	Sinal de <i>enable</i> do relógio.
DDR_WE#	Sinal de <i>Write Enable</i> .
DDR_CAS	Sinal de endereço da coluna da memória.
DDR_RAS	Sinal de endereço da linha da memória.
DDR_DRST	Sinal de <i>Reset</i> .

Fonte: Elaboração própria com base em (UG585, 2023) e (JEDEC, 2008).

4.2.3 Blocos do PL

O lado da FPGA do SoC, chamada de PL, é crucial para se ter um hardware versátil. Para isso, houve uma tentativa de usar a maior parte dos pinos possível, principalmente para o barramento externo. Nesses bancos também se encontram as entradas diferenciais do XADC do SoC. Nas Figuras 28 e 29 se encontram os esquemáticos dos bancos HR (*High Range*) e HP (*High Performance*), respectivamente. Na Tabela ??, por sua vez, se encontra a descrição funcional dos pinos por nome.

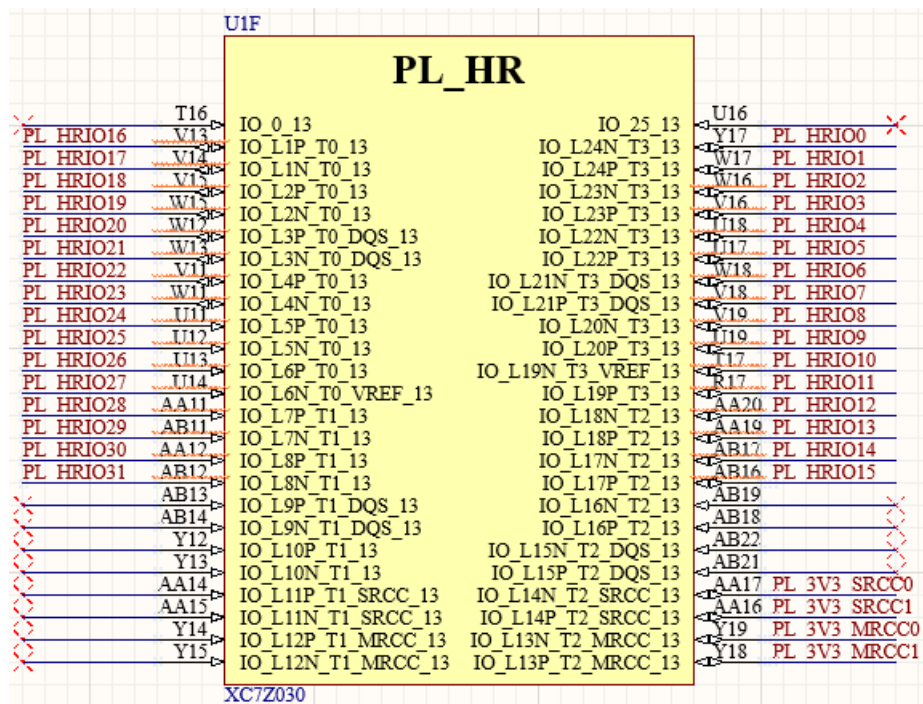


Figura 28 – Banco HR do PL.

Fonte: Elaboração própria com base em (UG585, 2023).

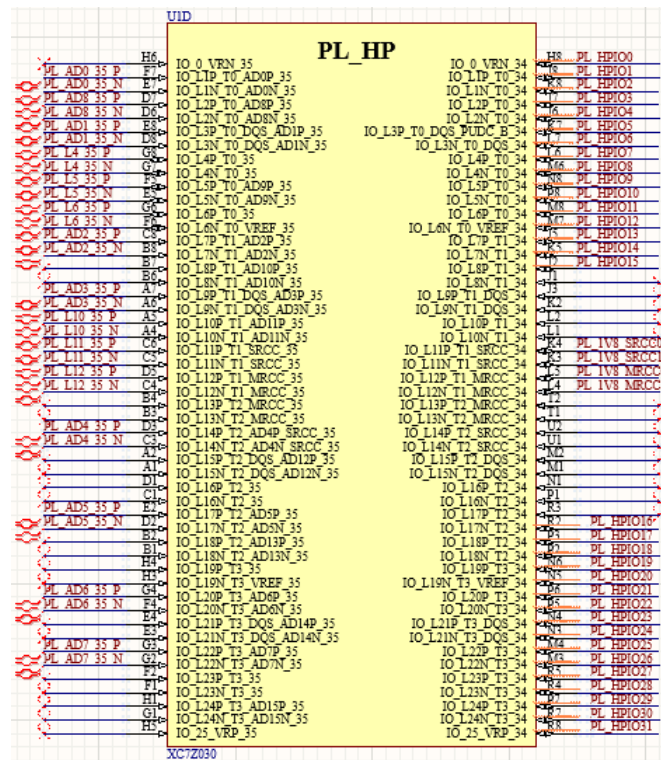


Figura 29 – Banco HP do PL.

Fonte: Elaboração própria com base em (UG585, 2023).

Tabela 10 – Descrição dos sinais dos bancos do PL.

Nome	Descrição
PL_ADx	Entrada diferencial enumerada do XADC.
PL_Lx	Sinal LVDS, presente apenas no banco HP.
PL_HPIOx	Sinal de entrada e saída genérico do banco HP.
PL_HRIOx	Sinal de entrada e saída genérico do banco HR.
PL_xx_SRCCx	Pino capaz de gerar sinal de relógio do tipo <i>Single Region</i> .
PL_xx_MRCCx	Pino capaz de gerar sinal de relógio do tipo <i>Multi Region</i> .

Fonte: Elaboração própria com base em (UG585, 2023).

4.2.4 Pinos de Potência

Por fim, os pinos de potência devem ser alimentados corretamente. Além disso, é recomendado por (UG933, 2019) que todos os pinos tenham capacitores de desacoplamento o mais perto possível de seus respectivos pinos. Esse circuito e seus capacitores estão dispostos nas Figuras 30 e 31.

Fonte: Elaboração própria com base em (UG585, 2023) e (UG933, 2019).

Figure 1 displays eight recommended power supply decoupling circuit diagrams for the T1000. Each diagram shows the connection of a capacitor (C) to a specific power supply pin and ground (DGND).

- VCCINT:** 1V pin connected to C37 (330uF, 6.3V) and C38 (4.7uF, 10V) in parallel to DGND.
- VCCBRAM:** 1V pin connected to C39 (100uF, 4V), C40 (4.7uF, 10V), and C41 (0.47uF, 16V) in parallel to DGND.
- VCCAUX:** 1V8 pin connected to C43 (47uF, 6.3V) to DGND.
- VCC0_0:** 3V3 ZYNQ pin connected to C44 (47uF, 6.3V) to DGND.
- VCC0_13:** 3V3 ZYNQ pin connected to C45 (100uF, 4V) to DGND.
- VCC0_34:** 1V8 pin connected to C46 (100uF, 4V) to DGND.
- VCC0_35:** 1V8 pin connected to C47 (100uF, 4V) to DGND.
- VCCPINT:** 1V pin connected to C48 (100uF, 4V) to DGND.
- VCCPAUX:** 1V8 pin connected to C49 (100uF, 4V), C50 (4.7uF, 10V), and C51 (0.47uF, 16V) in parallel to DGND.
- VCC0_DDR:** 1V35 pin connected to C52 (100uF, 4V) to DGND.
- VCCPLL:** 1V8 pin connected to C53 (10uF, 4V) and C54 (4.7uF, 6.3V) in parallel to DGND.
- VCC0_MIO0:** 3V3 ZYNQ pin connected to C55 (100uF, 4V), C56 (4.7uF, 10V), and C57 (0.47uF, 16V) in parallel to DGND.
- VCC0_MIO1:** 3V3 ZYNQ pin connected to C58 (100uF, 4V), C59 (4.7uF, 10V), and C60 (0.47uF, 16V) in parallel to DGND.

Fonte: (UG933, 2019).

4.3 MEMÓRIAS

4.4 PERIFÉRICOS

4.5 CONEXÕES ENTRE BLOCOS

REFERÊNCIAS

AAC Clyde Space. **Datasheet: Kryten-M3**. Disponível em <https://www.aac-clyde.space/wp-content/uploads/2021/10/AAC_DataSheet_Kryten.pdf>. Acesso em: 07 jun. 2024.

A3G4250D Gyroscope Datasheet. Disponível em: <<https://www.st.com/content/ccc/resource/technical/document/datasheet/5c/f1/a4/70/1b/fa/40/d2/DM00047823.pdf/files/DM00047823.pdf/jcr:content/translations/en.DM00047823.pdf>>. Acesso em: 27 out. 2024.

AN-600: Understanding Latch-Up in Advanced CMOS Logic. [s.l.: s.n.]. Disponível em: <<https://large.stanford.edu/courses/2015/ph241/clark2/docs/AN-600.pdf>>. Acesso em: 26 out. 2024.

BARLES, A. et al. **Mission ORCA: Orbit refinement for collision avoidance**. Advances in Astronautics Science and Technology, v. 5, n. 2, p. 149–165, 2022.

BOUKHOBZA, J.; OLIVIER, P. **Emerging Non-volatile Memories**. Em: Flash Memory Integration. [s.l.] Elsevier, 2017. p. 203–224.

CADENCE PCB SOLUTIONS. **Zener diode applications: Circuit protection**. Disponível em: <<https://resources.pcb.cadence.com/blog/2023-zener-diode-applications-circuit-protection>>. Acesso em: 28 out. 2024

CARMO, T. A.; MOREIRA, J. Q.; MANEA, S. **Análise de blindagem à radiação “TID” e “SEU” em memória do tipo SRAM em órbita LEO (Low Earth Orbit)**. 12º Workshop em Engenharia e Tecnologia Espaciais, 6 nov. 2021.

CAMPS, A. et al. **Fsscatt, the 2017 Copernicus masters’ “Esa sentinel small satellite challenge” winner: A federated polar and soil moisture tandem mission based on 6U cubesats**. IGARSS 2018 - 2018 IEEE International Geoscience and Remote Sensing Symposium. Anais...IEEE, 2018.

CAPPELLETTI, C.; BATTISTINI, S.; MALPHRUS, B. **Cubesat Handbook: From Mission Design to Operations**. Editora Elsevier, 2021.

CUBESAT Design Specification. [S.l.: s.n.], 2022. Disponível em <<https://www.cubesat.org/cubesatinfo>>. Acesso em: 25 out. 2024.

CY15B104QN FRAM Datasheet. Disponível em: <[https://www.infineon.com/dgdl/Infineon-CY15B104QN_CY15V104QN_Excelon\(TM\)_LP_4-Mbit_\(512K_X_8\)_Serial_\(SPI\)_F-RAM-DataSheet-v12_00-EN.pdf?fileId=8ac78c8c7d0d8da4017d0ee7709b](https://www.infineon.com/dgdl/Infineon-CY15B104QN_CY15V104QN_Excelon(TM)_LP_4-Mbit_(512K_X_8)_Serial_(SPI)_F-RAM-DataSheet-v12_00-EN.pdf?fileId=8ac78c8c7d0d8da4017d0ee7709b)>

704a&utm_source=cypress&utm_medium=referral&utm_campaign=202110_globe_en_all_integr>. Acesso em: 27 out. 2024.

DS191 - Zynq-7000 SoC (Z-7030, Z-7035, Z-7045, and Z-7100): DC and AC Switching Characteristics. 2018. Disponível em <<https://docs.amd.com/v/u/en-US/ds191-XC7Z030-XC7Z045-data-sheet>>. Acesso em: 29 out. 2024.

ECSS. ECSS-Q-ST-60C Rev.3 – Electrical, electronic and electromechanical (EEE) components (12 May 2022). Disponível em: <<https://ecss.nl/standard/ecss-q-st-60c-rev-3-electrical-electronic-and-electromechanical-eee-components-2-may-2022/>>. Acesso em: 6 out. 2024.

ECSS. ECSS-E-ST-10-04C - Space Environment. The Netherlands: [s.n.], 2008.

GERARDIN, S.; PACCAGNELLA, A. **Present and future non-volatile memories for space.** IEEE transactions on nuclear science, 2010.

GEORGE, A. D.; WILSON, C. M. **Onboard processing with hybrid and reconfigurable computing on small satellites.** Proceedings of the IEEE. Institute of Electrical and Electronics Engineers, 2018.

Gomspace NanoMind A3200 Datasheet. Disponível em <https://gomspace.com/UserFiles/Subsystems/datasheet/gs-ds-nanomind-a3200_1006901-117.pdf>. Acesso em: 07 jun. 2024.

Gomspace NanoMind HP MK3 Datasheet. Disponível em <https://gomspace.com/UserFiles/Subsystems/datasheet/gs-ds-NanoMind_HP_MK3.pdf>. Acesso em: 07 jun. 2024.

Gomspace Nanomind Z7000 Datasheet. 2019. Disponível em: <<https://gomspace.com/UserFiles/Subsystems/datasheet/gs-ds-nanomind-z7000-15.pdf>>. Acesso em: 30 oct. 2024.

INA180A2IDBVR Current Sense Datasheet. Disponível em: <https://www.ti.com/lit/ds/symlink/ina180.pdf?HQS=dis-dk-null-digikeymode-dsf-pf-null-ww&ts=1727202734954&ref_url=https%253A%252F%252Fwww.ti.com%252Fgeneral%252Fdocs%252Fsuppproductinfo.tsp%253FdistId%253D10%2526gotoUrl%253Dhttps%253A%252F%252Fwww.ti.com%252Flit%252Fgpn%252Fina180>. Acesso em: 27 out. 2024.

ISIS Space On Board Computer. Disponível em <<https://www.isispace.nl/product/on-board-computer/>>. Acesso em: 07 jun. 2024.

JEDEC. Double Data Rate (DDR) SDRAM Standard. 2008. Disponível em: <<https://www.jedec.org/standards-documents/docs/jesd-79f>>. Acesso em: 26 out. 2024.

JUNQUEIRA, B. C.; MANEA, S. **Utilização de COTS em nano satélites**. Brazilian Journal of Development, v. 6, n. 1, p. 1476-1490, 2020.

KADI, M. A. et al. **Dynamic and partial reconfiguration of Zynq 7000 under Linux**. 2013 International Conference on Reconfigurable Computing and FPGAs (ReConFig). Anais...IEEE, 2013.

KLEHN, B.; BROX, M. A. **Comparison of current SDRAM types: SDR, DDR, and RDRAM**. Advances in radio science, v. 1, p. 265–271, 2003.

LOFFLER, T. et al. **Research and Observation in Medium Earth Orbit (ROMEO) with a cost-effective microsatellite platform**. 72nd International Astronautical Congress (IAC), Dubai, United Arab Emirates. 2021.

Low earth orbit. Disponível em:

<https://www.esa.int/ESA_Multimedia/Images/2020/03/Low_Earth_orbit>.

Acesso em: 6 out. 2024.

LTC2991IMS#TRPBF Voltage, Current and Temperature Monitor Datasheet.

Disponível em: <<https://www.analog.com/media/en/technical-documentation/data-sheets/2991ff.pdf>>. Acesso em: 27 out. 2024.

LTC4361 Overcurrent Protection Controller Datasheet. 2018. Disponível em:

<<https://www.analog.com/media/en/technical-documentation/data-sheets/LTC4361-1-4361-2.pdf>>. Acesso em: 27 out. 2024.

MAYANBARI, Masood; KASESAZ, Yaser. **Design and analyse space radiation shielding for a nanosatellite in Low Earth Orbit (LEO)**. In: Proceedings of 5th International Conference on Recent Advances in Space Technologies-RAST2011. IEEE, 2011. p. 489-493.

MAK, B. **Basics of Load Switches**. 2018. Disponível em:

<<https://www.ti.com/lit/an/slva652a/slva652a.pdf?ts=1730079105016>>. Acesso em: 28 out. 2024.

MARCELINO, G. M. et al. **A critical embedded system challenge: The FloripaSat-1 mission**. IEEE Latin America Transactions, 2020.

MARCELINO, G. M. et al. **FloripaSat-2: An Open-Source Platform for CubeSats**. IEEE embedded systems letters, 2024.

MMC5983MA Magnetometer Datasheet. Disponível em: <https://mm.digikey.com/Volume0/opasdata/d220001/medias/docus/333/MMC5983MA_RevA_4-3-19.pdf>. Acesso em: 27 out. 2024.

MT25QL128ABB1ESE-0AUT Flash NOR Datasheet. Disponível em:

<<https://www.micron.com/content/dam/micron/global/secure/products/data-sheet/nor-flash/serial-nor/mt25q/die-rev-b/mt25q-qlht-l-128-abb-xt.pdf>>. Acesso em: 27 out. 2024.

MT29F1G01ABAFDSF-AAT:F Flash NAND Datasheet. Disponível em:

<<https://www.micron.com/content/dam/micron/global/secure/products/data-sheet/nand-flash/70-series/m78a-1gb-spi-auto.pdf>>. Acesso em: 27 out. 2024.

MT41K256M8DA-125:K DDR3L Datasheet. Disponível em:

<<https://www.micron.com/content/dam/micron/global/secure/products/data-sheet/dram/ddr3/2gb-1-35v-ddr3l.pdf>>. Acesso em: 27 out. 2024.

Nano Avionics. **CubeSat On-Board Computer – Main Bus Unit SatBus 3C2.**

Disponível em <<https://nanoavionics.com/cubesat-components/cubesat-on-board-computer-main-bus-unit-satbus-3c2/>>. Acesso em: 07 jun. 2024.

NASA Parts Selection List (NPSL). Disponível em: <<https://nepp.nasa.gov/npsl/>>.

Acesso em: 6 out. 2024.

NASA Product Verification. Disponível em: <<https://www.nasa.gov/reference/5-3-product-verification/>>. Acesso em: 30 out. 2024.

PUTRA, A. C. A. Y.; WIJANTO, H.; EDWAR. **Design and implementation RTOS (real time operating system) as a nano satellite control for responding to space environmental conditions.** 2021 IEEE Asia Pacific Conference on Wireless and Mobile (APWiMob). Anais...IEEE, 2021.

SARJEANT, W. **Capacitors.** IEEE transactions on electrical insulation, v. 25, n. 5, p. 861–922, 1990.

SOH, W.-S. et al. **Filter design for suppression of noise coupling from PCB to DC power supply.** 2010 Asia-Pacific International Symposium on Electromagnetic Compatibility. Anais...IEEE, 2010.

TCA4311ADR I2C Buffer Datasheet. Disponível em: <<https://www.ti.com/general/docs/suppproductinfo.tsp?distId=10&gotoUrl=https%3A%2F%2Fwww.ti.com%2Flit%2Fgpn%2Ftca4311a>>. Acesso em: 27 out. 2024.

TCAN330D CAN Transceiver Datasheet. Disponível em: <https://www.ti.com/lit/ds/symlink/tcan330.pdf?ts=1729084231140&ref_url=https%253A%252F%252Fbr.mouser.com%252F>. Acesso em: 27 out. 2024.

THVD1451DR RS-485 Transceiver Datasheet. Disponível em: <<https://www.ti.com/lit/ds/symlink/thvd1410.pdf?HQS=dis-dk-null-digikeymode-dsf-pf-null-ww&ts=1722>>.

094226249&ref_url=https%253A%252F%252Fwww.ti.com%252Fgeneral%252Fdocs%252Fsuppproductinfo.tsp%253FdistId%253D10%2526gotoUrl%253Dhttps%253A%252F%252Fwww.ti.com%252Flit%252Fgpn%252Fthvd1410>. Acesso em: 27 out. 2024.

TPS22920YZPR Load Switch Datasheet. 2016. Disponível em: <<https://www.ti.com/general/docs/suppproductinfo.tsp?distId=10&gotoUrl=https%3A%2F%2Fwww.ti.com%2Flit%2Fgpn%2Ftps22920>>. Acesso em: 27 out. 2024.

TPS3823-33QDBVRQ1 Watchdog Timer Datasheet. Disponível em: <<https://www.ti.com/general/docs/suppproductinfo.tsp?distId=10&gotoUrl=https%3A%2F%2Fwww.ti.com%2Flit%2Fgpn%2Ftps3828-q1>>. Acesso em: 27 out. 2024.

TPS51200DRCR DC-DC Voltage Regulator Datasheet. Disponível em: <<https://www.ti.com/general/docs/suppproductinfo.tsp?distId=10&gotoUrl=https%3A%2F%2Fwww.ti.com%2Flit%2Fgpn%2Ftps51200>>. Acesso em: 27 out. 2024.

TPS82085SILR DC-DC Voltage Regulator Datasheet. 2019. Disponível em: <<https://www.ti.com/general/docs/suppproductinfo.tsp?distId=10&gotoUrl=https%3A%2F%2Fwww.ti.com%2Flit%2Fgpn%2Ftps82085>>. Acesso em: 27 out. 2024.

UG470 - 7 Series FPGAs Configuration User Guide. 2023. Disponível em <https://docs.amd.com/v/u/en-US/ug470_7Series_Config>. Acesso em: 29 out. 2024.

UG480 - 7 Series FPGAs and Zynq-7000 SoC XADC Dual 12-Bit 1 MSPS Analog-to-Digital Converter User Guide. 2022. Disponível em <https://docs.amd.com/r/en-US/ug480_7Series_XADC>. Acesso em: 29 out. 2024.

UG585 - Zynq 7000 SoC Technical Reference Manual - AMD technical information portal. 2023. Disponível em: <<https://docs.amd.com/r/en-US/ug585-zynq-7000-SoC-TRM/Zynq-7000-SoC-Technical-Reference-Manual>>. Acesso em: 25 out. 2024.

UG865 - Zynq-7000 SoC Packaging and Pinout Product Specification - AMD technical information portal. Disponível em: <<https://docs.amd.com/v/u/en-US/ug865-Zynq-7000-Pkg-Pinout>>. Acesso em: 25 out. 2024.

UG933 - Zynq-7000 SoC PCB Design Guide. 2019. Disponível em <<https://docs.amd.com/v/u/en-US/ug933-Zynq-7000-PCB>>. Acesso em: 29 out. 2024.

WEIDMANN, D. et al. **Cubesats for monitoring atmospheric processes (CubeMAP): a constellation mission to study the middle atmosphere.** Sensors, Systems, and Next-Generation Satellites XXIV. Anais...SPIE, 2020.

XPE - Power Estimator. 2019. Disponível em:
<<https://www.amd.com/en/products/adaptive-socs-and-fpgas/technologies/power-efficiency/power-estimator.html>>. Acesso em: 28 out. 2024.

ZHOU, Q. et al. **Design of a compact and reconfigurable onboard data handling system.** 2018 IEEE Intl Conf on Parallel & Distributed Processing with Applications, Ubiquitous Computing & Communications, Big Data & Cloud Computing, Social Computing & Networking, Sustainable Computing & Communications (ISPA/IUCC/BDCloud/SocialCom/SustainCom). Anais...IEEE, 2018.