Міністерство освіти і науки України

Національний університет „Львівська політехніка”

Кафедра ЕОМ



**Звіт**

з лабораторної роботи №1

з дисципліни: “Моделювання комп’ютерних систем”

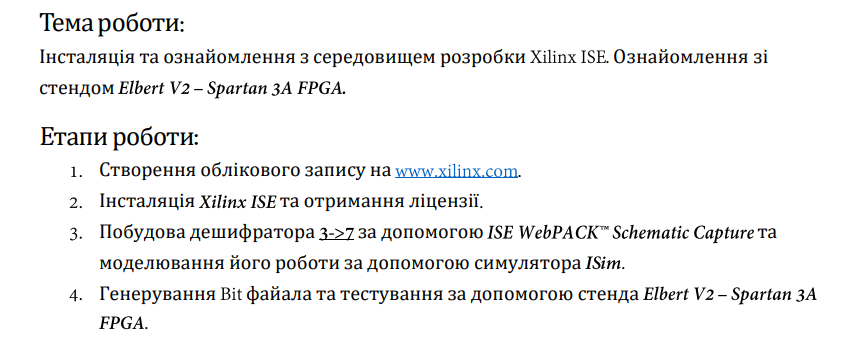
Виконав: ст. гр. КІ-22

Проць Ю.В.

Перевірив:

Козак Н. Б.

Львів – 2020



Виконання:

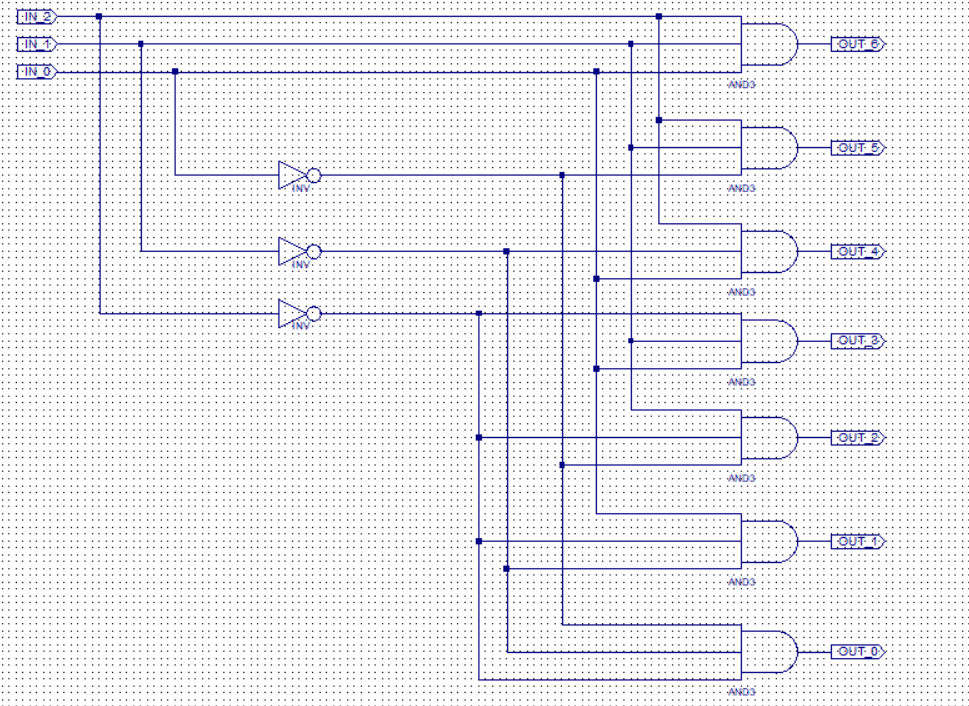


Рис. 1. Схема дешифратора 3 -> 7.

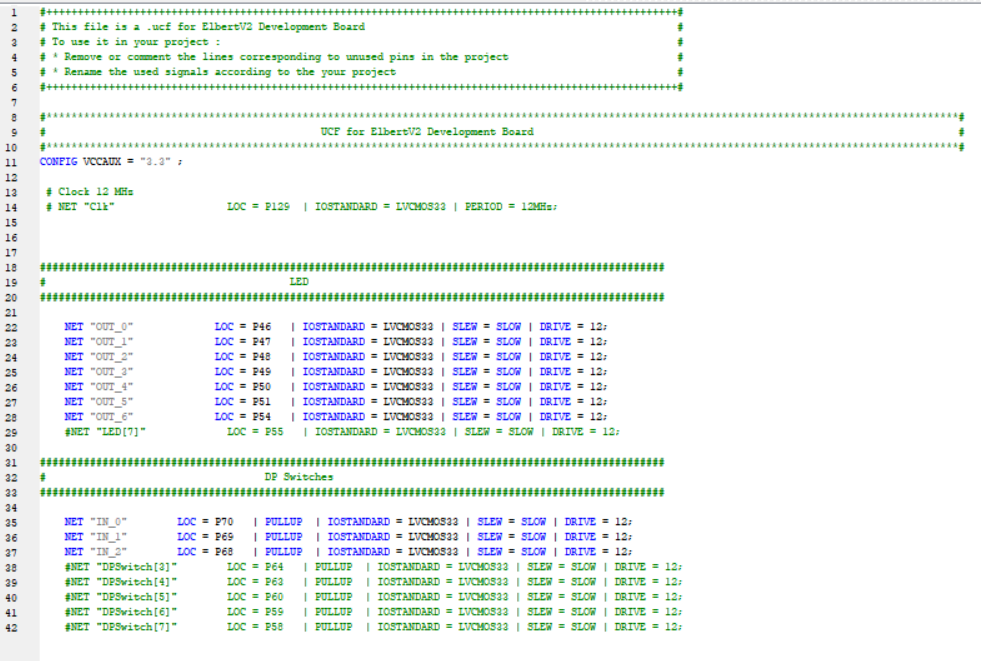


Рис. 2. Призначення фізичних виходів.

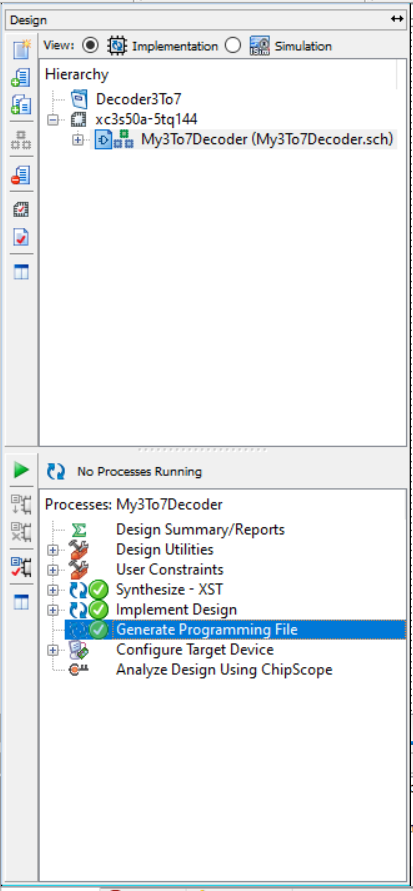


Рис. 3. Успішне створення BIN файлу для FPGA.

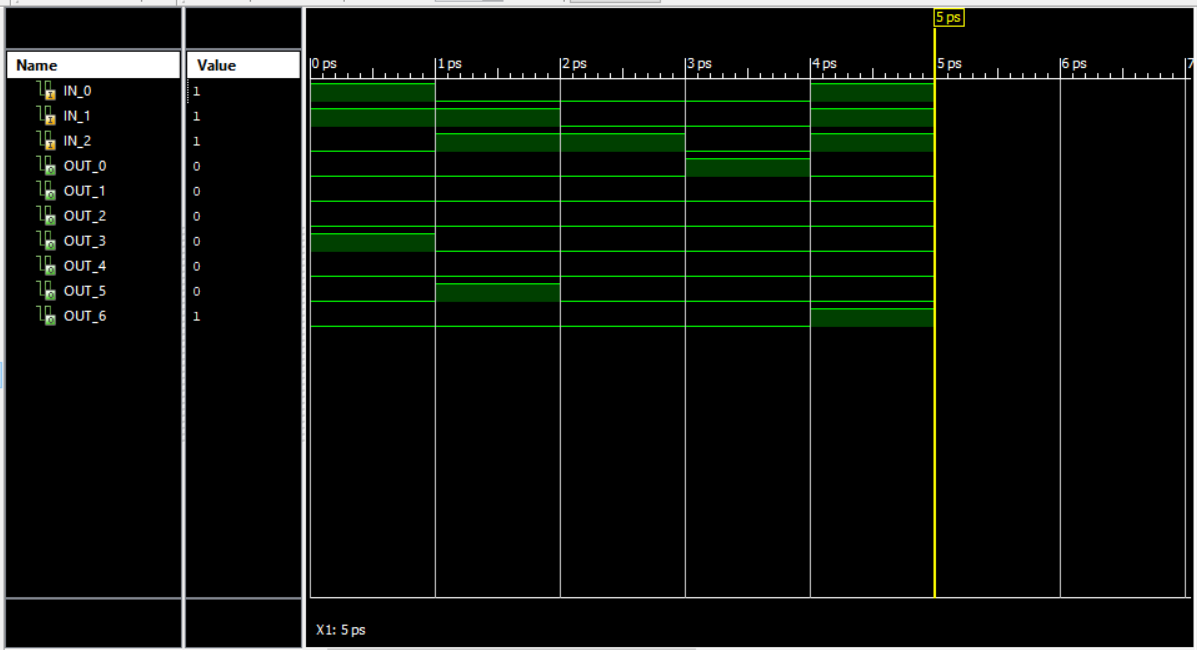


Рис. 4. Симуляція для різних вхідних сигналів.

**Висновок:** на даній лабораторній роботі я за допомогою Xilinic ISE реалізував дешифратор 3 на 7 і навчився проводити симуляцію для схеми і створювати файл з розширенням BIN для FPGA.