Міністерство освіти і науки України

Національний університет „Львівська політехніка”

Кафедра ЕОМ



**Звіт**

з лабораторної роботи №2

з дисципліни: “Моделювання комп’ютерних систем”

на тему: “ Структурний опис цифрового автомата Перевірка роботи автомата за допомогою стенда ***Elbert V2 – Spartan 3A FPGA.***”

Виконав: ст. гр. КІ-22

Проць Ю.В.

Прийняв:

Козак Н.Б.

Львів – 2021

**Тема роботи:**

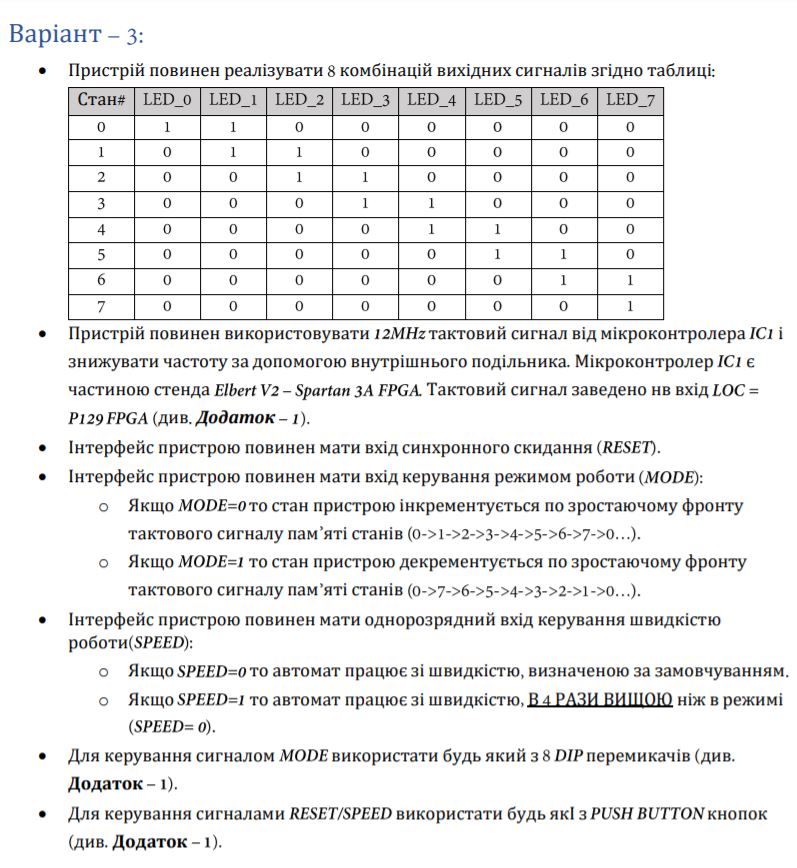
Структурний опис цифрового автомата. Перевірка роботи автомата за допомогою стенда Elbert V2 – Spartan 3A FPGA

**Мета роботи:**

На базі стенда Elbert V2 – Spartan 3A FPGA реалізувати цифровий автомат світлових ефектів згідно наступних вимог:

1. Інтерфейс пристрою та функціонал реалізувати згідно отриманого варіанту завдання
2. Логіку переходів реалізувати з використанням мови опису апаратних засобів VHDL. Заборонено використовувати оператори if, switch, for, when
3. Логіку формування вихідних сигналів реалізувати з використанням мови опису апаратних засобів VHDL. Заборонено використовувати оператори if, switch, for, when
4. Згенерувати Schematic символи для VHDL описів логіки переходів та логіки формування вихідних сигналів
5. Зінтегрувати всі компоненти (логіку переходів логіку формування вихідних сигналів та пам'ять станів) в єдину систему за допомогою ISE WebPACK Schematic Capture. Пам'ять станів реалізувати за допомогою графічних компонентів з бібліотеки
6. Промоделювати роботу окремих частин автомата та автомата в цілому за допомогою симулятора ISim
7. Інтегрувати створений автомат зі стендом Elbert V2 – Spartan 3A FPGA (додати подільник частоти для вхідного тактового сигналу призначити фізичні виводи на FPGA)
8. Згенерувати BIT файл та перевірити роботу за допомогою стенда Elbert V2 – Spartan 3A FPGA
9. Підготувати і захистити звіт

**Завдання:**



**Хід роботи:**

1. Створив файл OutputLogic.vhd і в ньому імплементував інтерфейс логіки формування вихідних, сигналів а також логічні вирази для формування кожного вихідного сигналу залежно від поточного стану автомата.

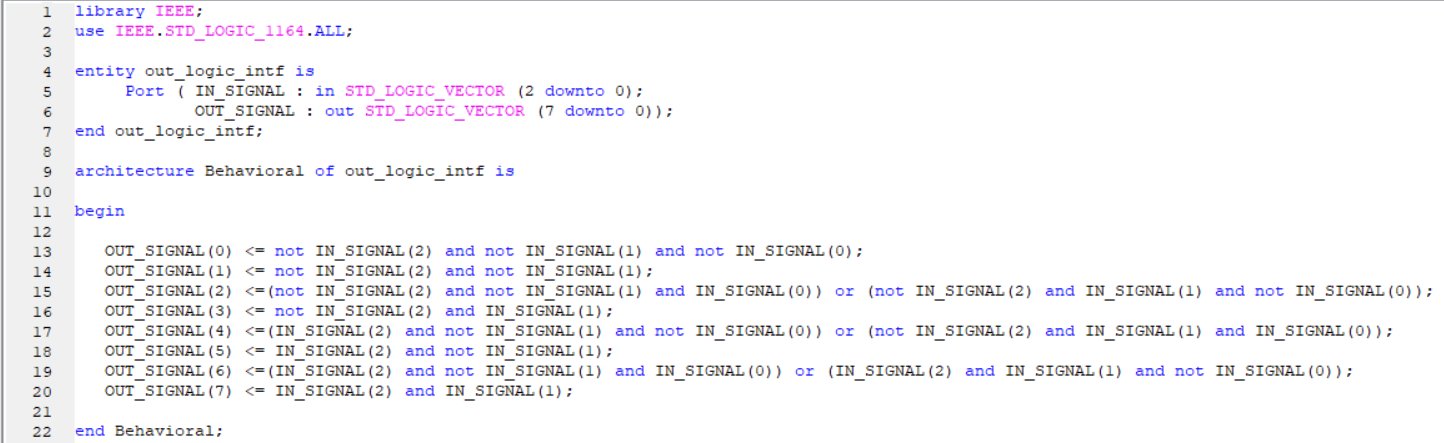


Рис. 1. VHDL код OutputLogic.vhd

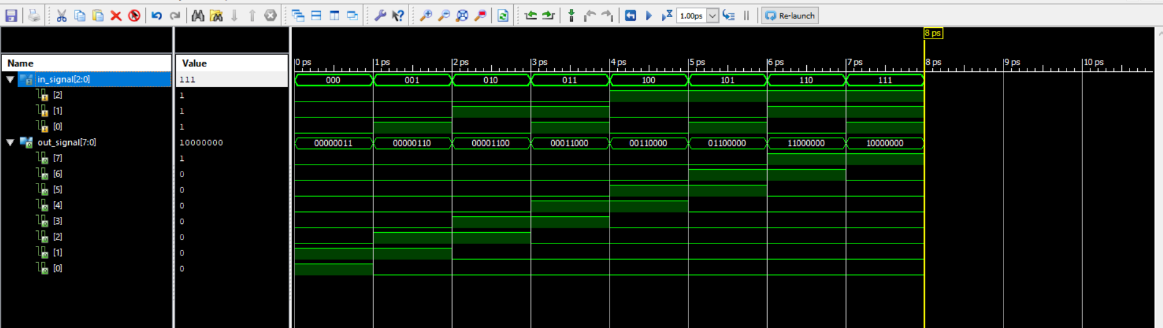


Рис. 2. Результати симуляції вище описаного файлу

1. Створив файл TransitionLogic.vhd і в ньому імплементував інтерфейс логіки формування станів.

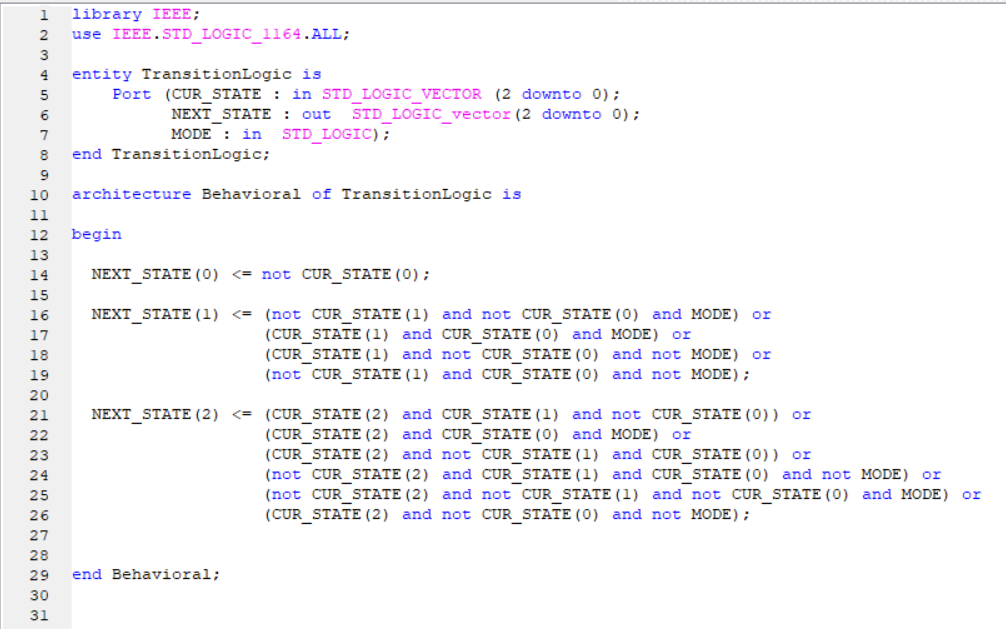


Рис. 3. VHDL код TransitionLogic.vhd

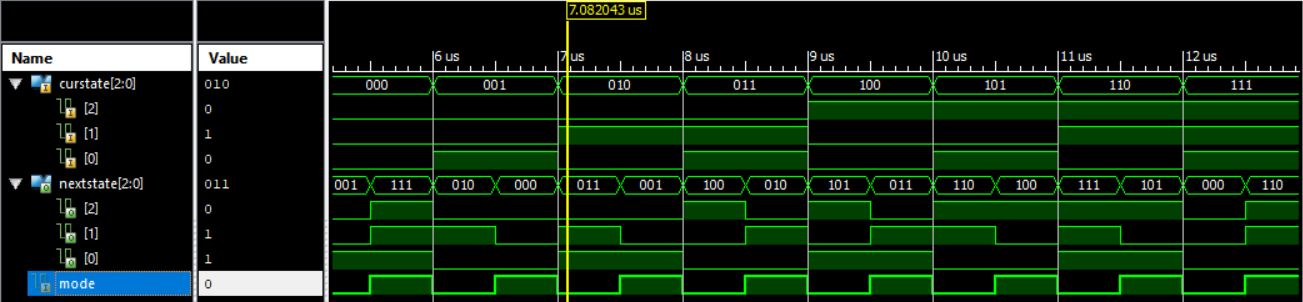


Рис. 4. Результати симуляції вище описаного файлу

1. Додав новий Schematic файл до проекту в якому скомбінував два вище описані пристої та додав пам’ять автомату за допомогою бібліотечних елементів FDC (D-тригер з входом скидування).

Перед тим згенерував Schematic символи пристроїв OutputLogic та TransitionsLogic.

Зробив Schematic файл Top-level модулем та провів симуляцію.

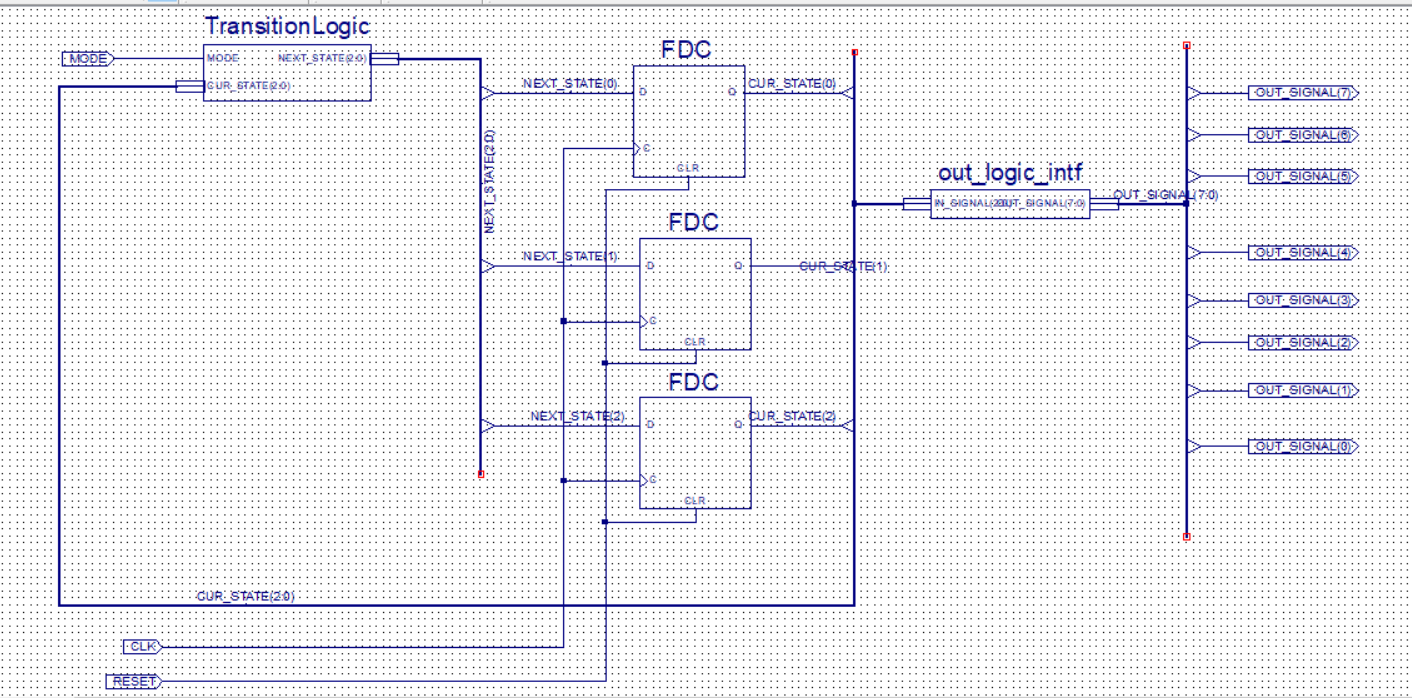


Рис. 5. Схема цифрового автомату

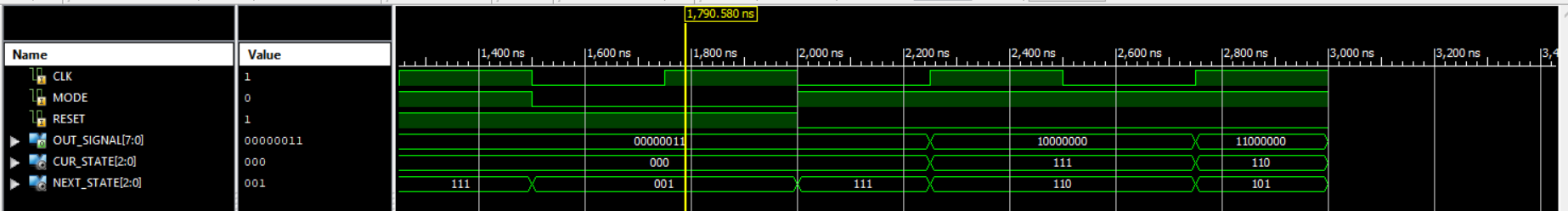
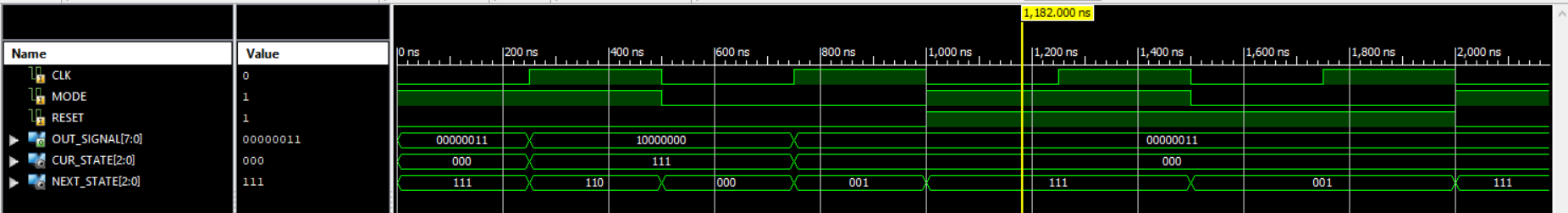


Рис. 6. Результати симуляції цифрового автомату

1. Додав ще один Schematic файл, зробивши його Top-level, пізніше реалізував в ньому подільник частоти на бібліотечних елементах CC16CE, як було показано в методичних вказівках.

Також використав створений Schematic файл з попереднього кроку (цифровий автомат).

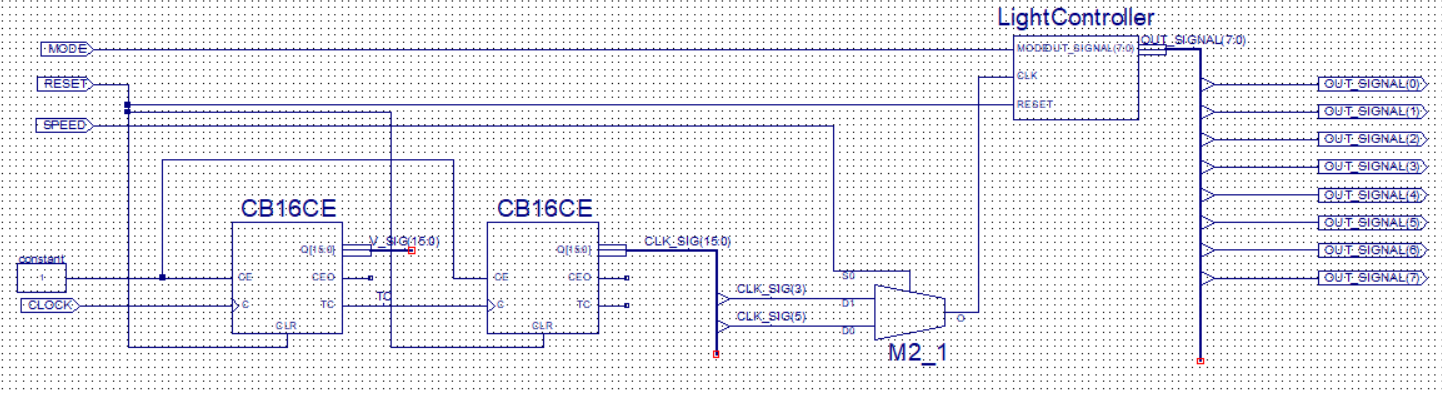


Рис. 7. Схема пристрою

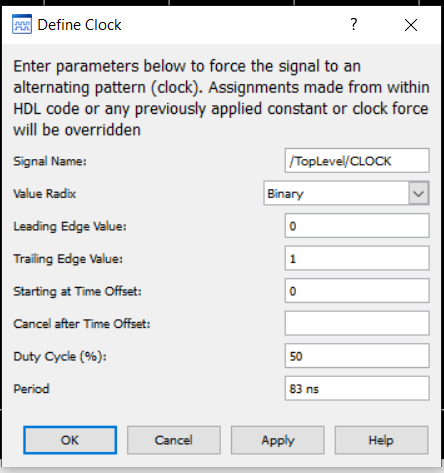


Рис. 8. Налаштування синхроімпульсу симулятора

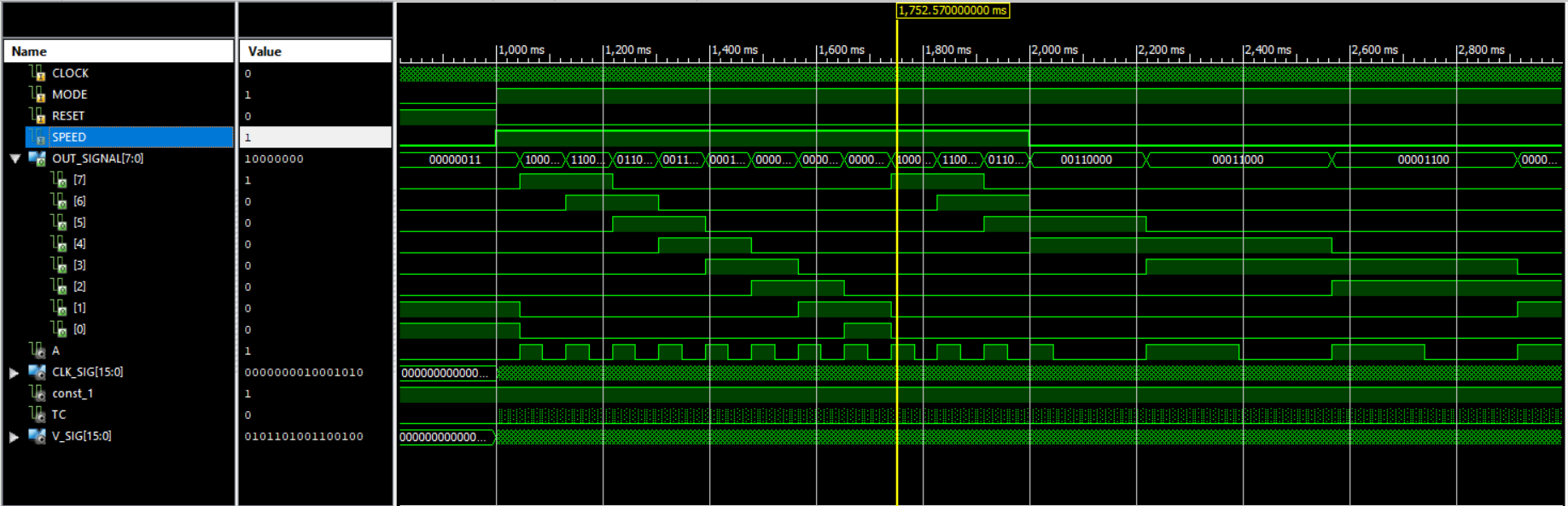


Рис. 9. Результати симуляції пристрою

1. Додав Constraints файл і відредагував відповідно до свого дизайн. Згенерував бінарний файл для програмування стенду.

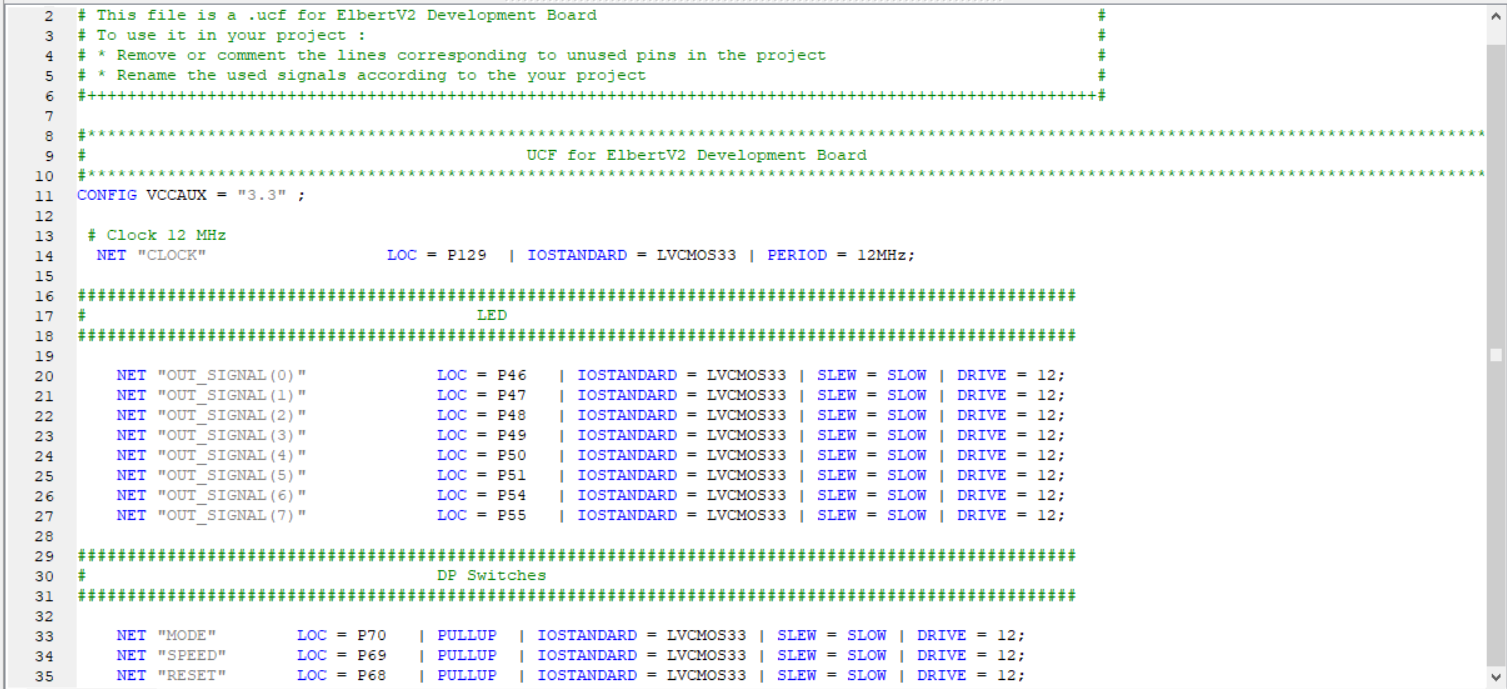


Рис. 10. Constraints код

Висновок: на даній лабораторній роботі я реалізував на базі стенда Elbert V2 – Spartan 3A FPGA цифровий автомат світлових ефектів.