**РЕФЕРАТ**

Записка 48 стр., 7 таб., 30 рис., 8 источников, 4 прил.

МИКРОКОНТРОЛЛЕР, МИЛАНДР, SPI, UART, CAN, USB

В ходе работы над данным курсовым проектом были исследованы МК К1986ВЕ92QI, отладочная плата для него и интерфейсы взаимодействия двух отладочных плат. Были написаны тестирующие программы для каждого модуля по-отдельности и всех модулей в ходе одного теста.

Тестирующая программа сдержит тесты:

* модуля SSP;
* модуля UART;
* модуля USB;
* модуля CAN;
* полного тестирования (то есть тест всех модулей с выводом результатов тестирования на каждом этапе на экран).

Материалы по курсовой работе представлены в виде графической части, приложений со схемами и отлаженным программным кодом для микроконтроллера и расчетно-пояснительной записки.

**СПИСОК СОКРАЩЕНИЙ**

МК – микроконтроллер

АЦП – аналого-цифровой преобразователь

ЦАП – цифро-аналоговый преобразователь

ОЗУ – оперативное запоминающее устройство

LCD – liquid crystal display (жидкокристаллический дисплей)

SPI - Serial Peripheral Interface (последовательный периферийный интерфейс)

UART - universal asynchronous receiver/transmitter (Асинхронный последовательный интерфейс)

CAN - Controller Area Network (сеть контроллеров)

USB - Universal Serial Bus (универсальная последовательная шина)

**СОДЕРЖАНИЕ**

[ВВЕДЕНИЕ 6](#_Toc25549180)

[1 Конструкторская часть 7](#_Toc25549181)

[1.1 Краткое описание архитектуры и характеристик К1986ВЕ92QI 7](#_Toc25549182)

[1.2 Описание интерфейсов и контроллеров интерфейсов 15](#_Toc25549183)

[1.2.1 USB 15](#_Toc25549184)

[1.2.2 CAN 17](#_Toc25549185)

[1.2.3 SSP 21](#_Toc25549186)

[1.2.4 UART 24](#_Toc25549187)

[1.3 Описание отладочной платы 25](#_Toc25549188)

[1.3.1 LCD 27](#_Toc25549189)

[1.3.2 Приемопередатчик CAN 28](#_Toc25549190)

[1.3.3 Приемопередатчик RS-232 29](#_Toc25549191)

[1.4 Подключение отладочных плат 30](#_Toc25549192)

[1.5 Алгоритмы работы программы 30](#_Toc25549193)

[1.5.1 Алгоритм работы основной программы 30](#_Toc25549194)

[1.5.2 Алгоритмы инициализации 32](#_Toc25549195)

[1.5.3 Алгоритмы работы прерываний 34](#_Toc25549196)

[1.5.4 Алгоритмы работы тестирующей программы CAN 37](#_Toc25549197)

[1.5.5 Алгоритмы работы тестирующей программы SSP 37](#_Toc25549198)

[1.5.6 Алгоритмы работы тестирующей программы USB 38](#_Toc25549199)

[1.5.7 Алгоритмы работы тестирующей программы UART 39](#_Toc25549200)

[1.5.8 Алгоритмы работы полной тестирующей программы 39](#_Toc25549201)

[2 ТЕХНОЛОГИЧЕСКАЯ ЧАСТЬ 44](#_Toc25549202)

[2.1 Разработка программы 44](#_Toc25549203)

[2.2 Программирование flash-памяти микроконтроллера, отладка программы 44](#_Toc25549204)

[2.3 Программирование USB драйвера 45](#_Toc25549205)

[ЗАКЛЮЧЕНИЕ 47](#_Toc25549206)

[СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ 48](#_Toc25549207)

ПРИЛОЖЕНИЕ А – Схема электрическая функциональная

ПРИЛОЖЕНИЕ Б – Схема электрическая принципиальная

ПРИЛОЖЕНИЕ В – Схема соединений электрическая

ПРИЛОЖЕНИЕ Г – Исходный текст программы

# ВВЕДЕНИЕ

С развитием технологий разработки микросхем, сложные вычислительные задачи могут быть решены с помощью микроконтроллеров, имеющих очень компактные размеры.

АО "ПКК Миландр" — ведущий российский разработчик и производитель изделий микроэлектроники (микроконтроллеры, микропроцессоры, микросхемы памяти, микросхемы приемопередатчиков, микросхемы преобразователей напряжения, радиочастотные схемы), универсальных электронных модулей и приборов промышленного и коммерческого назначения, разработки ПО для современных информационных систем и изделий микроэлектроники. Устройства данной компании по праву пользуются достаточно высокой популярностью на российском и зарубежном рынке.

Цель работы – исследование интерфейсов взаимодействия двух отладочных плат для микросхемы К1986ВЕ92QI (ТСКЯ.469575.002-01 вер. 4) и разработка тестирующих программ для модулей SSP, UART, CAN и USB. Разработка программ взаимодействия двух микроконтроллеров, демонстрирующих работу перечисленных интерфейсов, включая средства для отображения приема/передачи данных по интерфейсам.

# 1 Конструкторская часть

## 1.1 Краткое описание архитектуры и характеристик К1986ВЕ92QI

На основе информации с официального сайта АО "ПКК Миландр" со страницы данного МК может быть получена информация о его основных технических характеристиках. Данная информация является общей для всех микроконтроллеров серии 1986ВЕ9х.

1. Ядро:

* ARM 32-битное RISC-ядро Cortex™-M3 ревизии 2.0, тактовая частота до 80 МГц,
* производительность 1.25 DMIPS/МГц (Dhrystone 2.1) при нулевой задержке памяти;
* блок аппаратной защиты памяти MPU;
* умножение за один цикл, аппаратная реализация деления.

1. Память:

* встроенная энергонезависимая Flash-память программ размером 128 Кбайт;
* встроенное ОЗУ размером 32 Кбайт;
* контроллер внешней шины с поддержкой микросхем памяти СОЗУ, ПЗУ, NAND Flash.

1. Питание и тактовая частота:

* внешнее питание 2,2 ÷ 3,6 В;
* встроенный регулируемый стабилизатор напряжения на 1,8 В для питания ядра;
* встроенные схемы контроля питания;
* встроенный домен с батарейным питанием;
* встроенные подстраиваемые RC генераторы 8 МГц и 40 кГц;
* внешние кварцевые резонаторы на 2 ÷ 16 МГц и 32 кГц;
* встроенный умножитель тактовой частоты PLL для ядра;
* встроенный умножитель тактовой частоты PLL для USB.

1. Режим пониженного энергопотребления:

* режимы Sleep, Deep Sleep и Standby;
* батарейный домен с часами реального времени и регистрами аварийного сохранения.

1. Аналоговые модули:

* два 12-разрядных АЦП (до 16 каналов);
* температурный датчик;
* двухканальный 12-разрядный ЦАП;
* встроенный компаратор.

1. Периферия:

* контроллер DMA с функциями передачи Периферия-Память, Память-Память;
* два контроллера CAN интерфейса;
* контроллер USB интерфейса с функциями работы Device и Host;
* контроллеры интерфейсов UART, SPI, I2C;
* три 16-разрядных таймер-счетчика с функциями ШИМ и регистрации событий;
* до 96 пользовательских линий ввода-вывода.

1. Отладочные интерфейсы:

* последовательные интерфейсы SWD и JTAG.

1. Тип корпуса - LQFP64.
2. Ближайший аналог - STM32F103x.
3. Температурный диапазон – минус 45 °С ...+85°С

Таким образом, микроконтроллер может быть использован для решения широкого спектра задач, так как обладает внушительными характеристиками.

На рисунке 1 представлена схема расположения выводов данного микроконтроллера. Стоит заметить, что почти все выводы с портов ввода/вывода имеют альтернативные функции, не представленные на данном рисунке, и могут быть переопределены для выполнения функций различных модулей

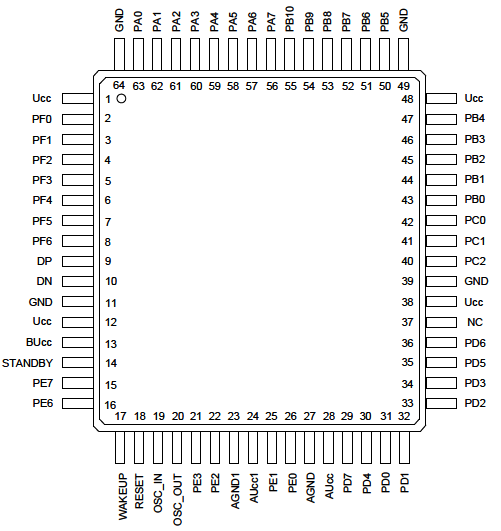


Рисунок 1 – Схема выводов микроконтроллера

Назначение линий портов микроконтроллера приведено в таблице 1. Для того, чтобы линии порта перешли под управление того или иного периферийного блока, необходимо задать для выбранных линий выполняемую функцию и настройки. Обратим внимание на то, что микроконтроллер имеет только 64 вывода, поэтому не каждая линия порта может быть связана с выводом микросхемы.

Таблица 1 - Функции линий портов микроконтроллера К1986ВЕ92QI

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Линия | Вывод |  | Цифровая функция |  | Аналоговая функция |
| Основная | Альтернат. | Переопред. |
| 1 | 2 | 3 | 4 | 5 | 6 |
|  | | | Порт A |  | |
| PA0 | 63 | DATA0 | EXT\_INT1 | – | – |
| PA1 | 62 | DATA1 | TMR1\_CH1 | TMR2\_CH1 | – |
| PA2 | 61 | DATA2 | TMR1\_CH1N | TMR2\_CH1N | – |
| PA3 | 60 | DATA3 | TMR1\_CH2 | TMR2\_CH2 | – |
| PA4 | 59 | DATA4 | TMR1\_CH2N | TMR2\_CH2N | – |
| PA5 | 58 | DATA5 | TMR1\_CH3 | TMR2\_CH3 | – |
| PA6 | 57 | DATA6 | CAN1\_TX | UART1\_RXD | – |
| PA7 | 56 | DATA7 | CAN1\_RX | UART1\_TXD | – |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  | Порт B |  | |
| PB0 | 43 | DATA16 | TMR3\_CH1 | UART1\_TXD | – |
| PB1 | 44 | DATA17 | TMR3\_CH1N | UART2\_RXD | – |
| PB2 | 45 | DATA18 | TMR3\_CH2 | CAN1\_TX | – |
| PB3 | 46 | DATA19 | TMR3\_CH2N | CAN1\_RX | – |
| PB4 | 47 | DATA20 | TMR3\_BLK | TMR3\_ETR | – |
| PB5 | 50 | DATA21 | UART1\_TXD | TMR3\_CH3 | – |
| PB6 | 51 | DATA22 | UART1\_RXD | MR3\_CH3N | – |
| PB7 | 52 | DATA23 | nSIROUT1 | TMR3\_CH4 | – |
| PB8 | 53 | DATA24 | COMP\_OUT | TMR3\_CH4N | – |
| PB9 | 54 | DATA25 | nSIRIN1 | EXT\_INT4 | – |
| PB10 | 55 | DATA26 | EXT\_INT2 | nSIROUT1 | – |
|  |  |  | Порт C |  | |
| PC0 | 42 | – | SCL1 | SSP2\_FSS | – |
| PC1 | 41 | OE | SDA1 | SSP2\_CLK | – |
| PC2 | 40 | WE | TMR3\_CH1 | SSP2\_RXD | – |
|  |  |  | Порт D |  | |
| PD0 | 31 | TMR1\_CH1N | UART2\_RXD | TMR3\_CH1 | ADC0\_REF+ |
| PD1 | 32 | TMR1\_CH1 | UART2\_TXD | TMR3\_CH1N | ADC1\_REF- |
| PD2 | 33 | BUSY1 | SSP2\_RXD | TMR3\_CH2 | ADC2 |
| PD3 | 34 | – | SSP2\_FSS | TMR3\_CH2N | ADC3 |

Окончание таблицы 1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 1 | 2 | 3 | 4 | 5 | 6 |
| PD4 | 30 | TMR1\_ETR | nSIROUT2 | TMR3\_BLK | ADC4 |
| PD5 | 35 | CLE | SSP2\_CLK | TMR2\_ETR | ADC5 |
| PD6 | 36 | ALE | SSP2\_TXD | TMR2\_BLK | ADC6 |
| PD7 | 29 | TMR1\_BLK | nSIRIN2 | UART1\_RXD | ADC7 |
|  |  |  | Порт E |  | |
| PE0 | 26 | ADDR16 | TMR2\_CH1 | CAN1\_RX | DAC2\_OUT |
| PE1 | 25 | ADDR17 | TMR2\_ CH1N | CAN1\_TX | DAC2\_REF |
| PE2 | 22 | ADDR18 | TMR2\_CH3 | TMR3\_CH1 | COMP\_IN1 |
| PE3 | 21 | ADDR19 | TMR2\_CH3N | TMR3\_CH1N | COMP\_IN2 |
| PE6 | 16 | ADDR22 | CAN2\_RX | TMR3\_CH3 | OSC\_IN32 |
| PE7 | 15 | ADDR23 | CAN2\_TX | TMR3\_CH3N | OSC\_OUT32 |
|  |  |  | Порт F |  | |
| PF0 | 2 | ADDR0 | SSP1\_TXD | UART2\_RXD | – |
| PF1 | 3 | ADDR1 | SSP1\_CLK | UART2\_TXD | – |
| PF2 | 4 | ADDR2 | SSP1\_FSS | CAN2\_RX | – |
| PF3 | 5 | ADDR3 | SSP1\_RXD | CAN2\_TX | – |
| PF4 | 6 | ADDR4 | – | – | – |
| PF5 | 7 | ADDR5 | – | – | – |
| PF6 | 8 | ADDR6 | TMR1\_CH1 | – | – |

На рисунке 2 изображена структурная блок-схема микроконтроллера К1986ВЕ92QI, наглядно представляющая наличествующие периферийные устройства и их взаимодействие. Используемые обозначения представлены в таблице 2.

Таблица 2 – таблица обозначений функциональных блоков К1986ВЕ92QI

|  |  |
| --- | --- |
| **Блок** | **Описание** |
| Cortex-M3 RISC CORE | Процессорное ядро ARM Cortex-M3 архитектуры RISC |
| DMA | Контроллер прямого доступа в память |
| Interrupt | Контроллер прерываний |
| System timer | Системный таймер |
| JTAG/SW debug | Отладочный модуль через интерфейс JTAG/SW |
| AMBA AHB Bus Matrix | Шинная матрица для связи высокоскоростных внутренних компонентов |
| AHB APB Bridge | Мост для связи с периферией |
| Flash | Модуль памяти Flash |

Окончание таблицы 2

|  |  |
| --- | --- |
| RAM | Модуль памяти RAM |
| ROM | Модуль памяти ROM |
| External System Bus | Внешняя системная шина |
| System Clock Manager | Модуль системного тактирования |
| UART | Контроллер UART |
| SPI | Контроллер SPI |
| BKP Controller | Контроллер резервных данных |
| Power Detector | Модуль управления питанием |
| I2C | Контроллер I2C |
| GPIO | Интерфейс ввода/вывода общего назначения |
| 16 Timer | 16-разрядный таймер |
| ADC Controller | Контроллер аналого-цифрового преобразователя |
| CAN | Контроллер CAN |
| DAC Controller | Контроллер цифро-аналогового преобразователя |
| USB | Контроллер USB |
| Controller Comparator | Контроллер компаратора |
| WDT Controller | Контроллер сторожевого таймера |
| CPU PLL | Фазовая автоподстройка частоты для процессорного ядра |
| USB PLL | Фазовая автоподстройка частоты для USB |
| HSI | Высокоскоростной внутренний генератор тактовой частоты |
| LSI | Низкоскоростной внутренний генератор тактовой частоты |
| HSE | Высокоскоростной внешний генератор тактовой частоты |
| LSE | Низкоскоростной внешний генератор тактовой частоты |
| Real Time Clock BKP memory | Резервная память |
| LDO Cap Less | Регулятор напряжения |
| ADC | АЦП |
| DAC | ЦАП |
| PSY USB | Дескриптор USB |
| Comparator | Компаратор |
| IWDT | Независимый сторожевой таймер |

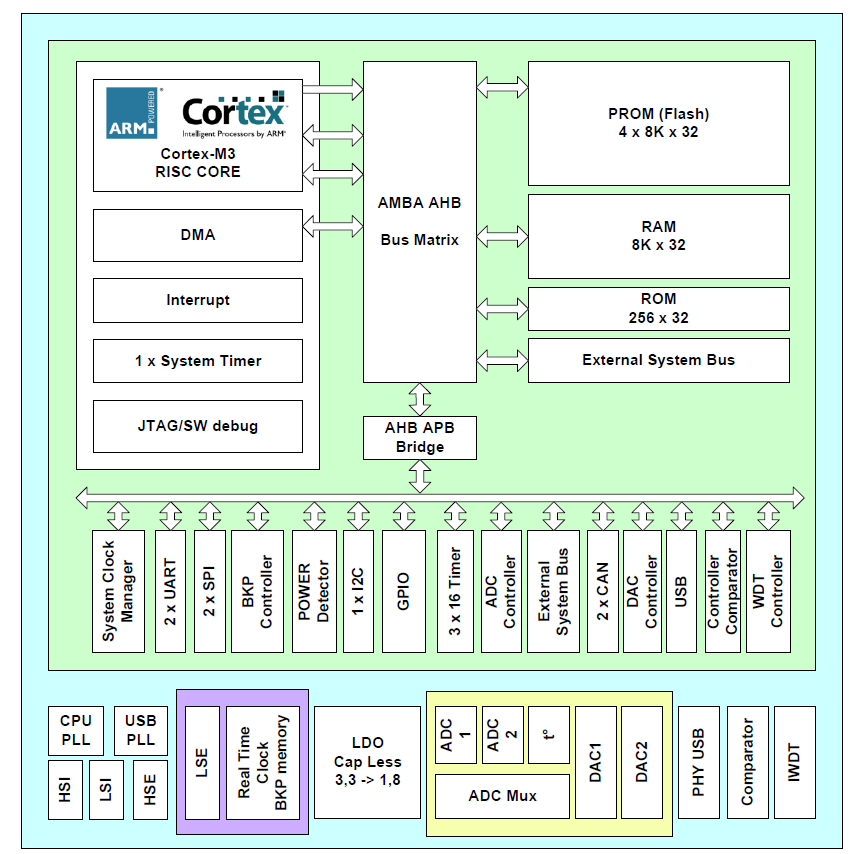


Рисунок 2 – Структурная блок-схема микроконтроллера К1986ВЕ92QI

Процессорное ядро имеет три системных шины:

* I Code – шина выборки инструкций;
* D Code – шина выборки данных, расположенных в коде программы;
* S Bus – шина выборки данных, расположенных в области ОЗУ.

Также в микроконтроллере реализован контроллер прямого доступа в память (DMA), который осуществляет выборку через шину DMA Bus. Структурная схема организации памяти представлена на рисунке 3.

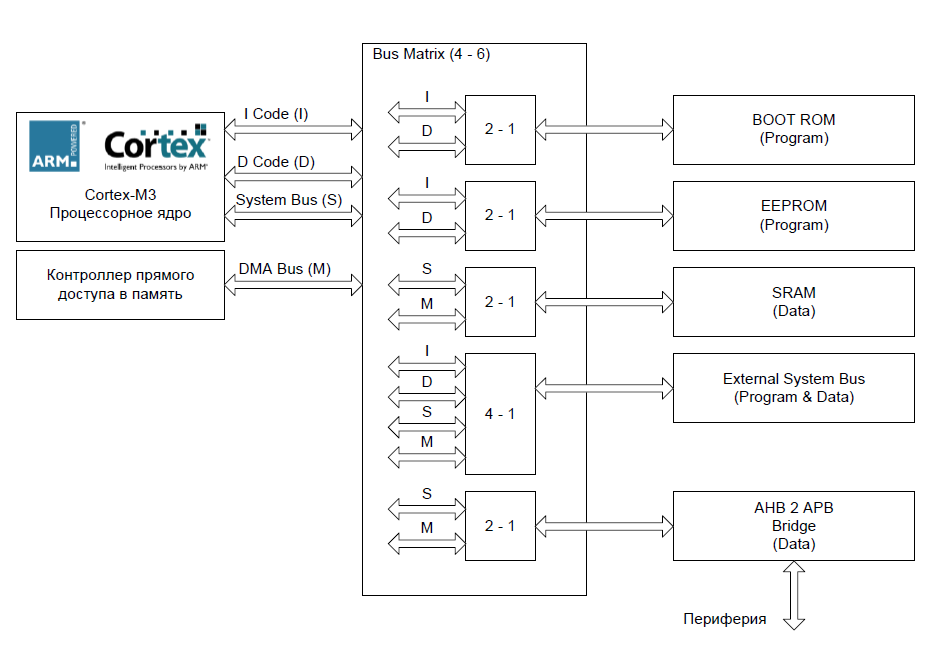


Рисунок 3 – Структурная схема организации памяти

Все адресное пространство микроконтроллера едино и имеет максимальный объем 4 Гбайт. В данное адресное пространство отображаются различные модули памяти и периферии.

По умолчанию для записи программ используется область памяти 0x08000000 - 0x0801FFFFF внутренней Flash памяти.

После включения питания и снятия внутренних (POR) и внешних (RESET) сигналов сброса, микроконтроллер начинает выполнять программу из загрузочной области ПЗУ BOOT ROM. В загрузочной программе микроконтроллер определяет, в каком из режимов он будет функционировать, и переходит в этот режим. Режим функционирования определяется внешними выводами MODE[2:0], при этом перед опросом состояния этих выводов, для них включается внутренняя подтяжка к шине «Общий» (встроенные резисторы подтяжки к шине «Общий» имеют сопротивление ~50 кОм). Также устанавливается бит FPOR в регистре BKP\_REG\_0E, который может быть сброшен только при отключении основного питания UCC. После перезапуска микроконтроллера уровни на выводах MODE[2:0] не влияют на режим функционирование микроконтроллера, если установлен бит FPOR.

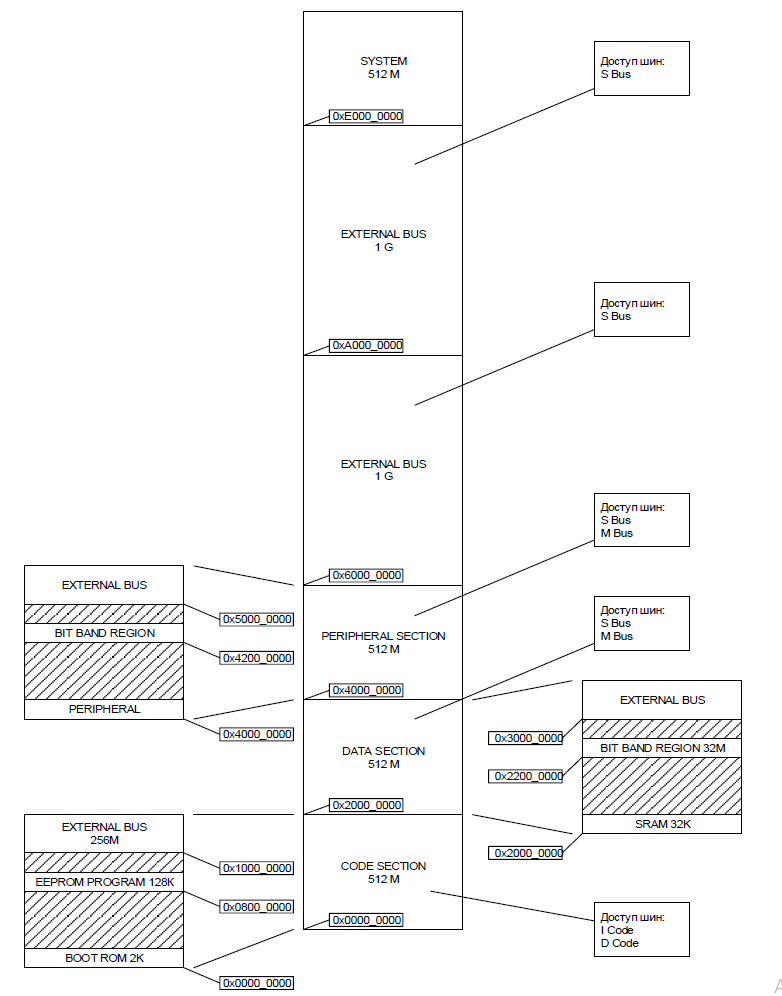


Рисунок 4 - Карта распределения основных областей памяти

При работе с отладочной платой MODE[2:0] устанавливается с помощью переключателей на плате. Режимы запуска МК для JTAG представлены в таблице 3.

Таблица 3 – Режимы первоначального запуска микроконтроллера

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MODE  [2:0] | Стартовый адрес | Описание | Порты | Описание выводов интерфейса |
| 000 | 0х0800\_0000 | Процессор начинает выполнять программу из внутренней Flash-памяти программ. При этом установлен отладочный интерфейс JTAG\_B | PD2/JB\_TRST  PD1/JB\_TCK  PD0/JB\_TMS  PD3/JB\_TDI  PD4/JB\_TDO | В качестве выводов интерфейса используются выводы порта D, совмещенные с каналами АЦП, выводами каналов Таймера 1 и 3, UART2 и SSP2, использование которых при отладке запрещено |
| 001 | 0х0800\_0000 | Процессор начинает выполнять программу из внутренней Flash-памяти программ. При этом разрешается работа отладочного интерфейса JTAG\_А | PB4/JA\_TRST  PB2/JA\_TCK  PB1/JA\_TMS  PB3/JA\_TDI  PB0/JA\_TDO | В качестве выводов интерфейса используются выводы порта B, совмещенные с выводами данных внешней системной шины, выводами таймера 3, выводами UART1 и UART2 и CAN1, использование которых при отладке запрещено |

## 1.2 Описание интерфейсов и контроллеров интерфейсов

Особый интерес в данной работе представляют внешние интерфейсы работы, так как именно они будут использоваться для передачи информации между двумя отладочными платами. В данном микроконтроллере представлено 4 интерфейсных модуля, которые могут использоваться для передачи данных между двумя МК:

* Контроллер интерфейса MDR\_USB
* Контроллер интерфейса MDR\_CAN
* Контроллер MDR\_SSP
* Контроллер MDR\_UART

Рассмотрим каждый из модулей более детально с описанием интерфейса в целом.

### 1.2.1 USB

#### 1.2.1.1 Описание интерфейса

USB – последовательный интерфейс, используемый для подключения периферийных устройств. Соответственно, существуют понятие «главное устройство» (хост, он управляет обменом данными через интерфейс, выступает инициатором обмена) и «периферийное устройство» (клиент, в процессе обмена данными «подчиняется» хосту).

Логика работы у хоста и клиента принципиально отличается, соответственно нельзя напрямую соединять устройства «хост – хост» и «клиент – клиент».

Физически интерфейс USB использует 4 провода: «земля (GND)», «+5В (VBUS)», «D+», «D-». Первые два могут использоваться для питания периферийного устройства (максимальный ток 500 мА). Два последних служат для передачи данных.

На логическом уровне, обмен данными происходит через некоторые логические, виртуальные каналы внутри одного физического USB интерфейса. Такие каналы называют «Конечными точками» (EndPoints).

Конечные точки (каналы) бывают 4 видов:

Control – данный тип канала используется хостом для управления периферийным устройством. Хотя иногда данный тип канала используется для передачи данных.

Bulk — данный тип канала используется для обмена данными. Гарантирование целостности данных и гарантированная доставка данных для данного типа канала реализована «в железе». Однако скорость передачи данных по такому каналу ограничена.

Isochronous — данный тип канала в основном используется для обмена потоковыми данными. Целостность и доставка данных не контролируются, зато скорость значительно выше чем для Bulk каналов.

Interrupt – используются для реализации подобия «прерываний». Такие «прерывания» являются логическими, и никак напрямую не связанны с аппаратными прерываниями МК или прерываниями ОС.

Минимальная реализация USB устройства требует наличие всего одного Control канала (так называемая «нулевая конечная точка»). Остальные типы каналов, как и их количество определяет разработчик устройства исходя из функций устройства.

#### 1.2.1.2 Общее описание контроллера интерфейса

Контролер USB реализует функции контроллера функционального устройства (Device) и управляющего устройства (Host) в соответствии со спецификацией USB 2.0.

Контроллер USB поддерживает следующие возможности: режимы работы Full Speed (12 Мбит/с) и Low Speed (1.5 Мбит/с), контроль ошибок с помощью циклического избыточного кода (CRC), NRZI код приема/передачи, управляющая (Control), сплошная (Bulk), изохронная (Isochronous) передачи и передача по прерываниям (Interrupt), конфигурирование USB Device от 1-й до 4-х оконечных точек; каждая оконечная точка USB Device имеет собственную память FIFO размером 64 байта. USB Host поддерживает до 16 оконечных точек. Возможности USB Host: FIFO размером 64 байта; автоматическая отправка SOF пакетов; вычисление оставшегося во фрейме времени.

Контроллер USB может быть сконфигурирован как USB Host или как USB Device. Конфигурация задается битом HOST\_MODE в регистре HSCR (0 – режим Device, 1 – режим Host). Прием/передача через физический интерфейс USB разрешаются установкой бит EN\_RX и EN\_TX в этом же регистре. В режиме приема имеется возможность отключить передатчик в целях экономии потребления (EN\_TX=0). Отключение всего блока в целом осуществляется при EN\_RX=0.

В режиме Device параметры шины задаются в регистре SC. Скорость задается битом SCFSR (0 – 1,5 Мбит/с, 1 – 12 Мбит/с), полярность битом SCFSP (0 – Low speed, 1 – Full speed) этого регистра.

В режиме Host параметры шины задаются в регистре HTXLC. Скорость задается битом FSLR (0 – 1,5 Мбит/с, 1 – 12 Мбит/с), полярность битом FSPL (0 – Low speed, 1 – Full speed) этого регистра.

В режиме Host контроллер автоматически определяет подключение или отключение устройства к шине. Бит CONEV регистра USB\_HSI устанавливается в 1 при возникновении одного из событий.

#### 1.2.1.3 Задание адреса и инициализация оконечных точек

Функциональный адрес устройства USB задается в регистре SA.

Для инициализации конечной точки в первую очередь необходимо установить бит глобального разрешения всех оконечных точек (SCGEN = 1 в регистре SC). Биты EPEN в регистрах SEP[x].CTRL должны быть установлены, чтобы разрешить соответствующую оконечную точку. Если предполагается использовать изохронный тип передачи оконечной точки, то необходимо установить бит EPISOEN в соответствующем регистре SEP[x].CTRL.

### 1.2.2 CAN

#### 1.2.2.1 Описание интерфейса

CAN (англ. Controller Area Network — сеть контроллеров) — стандарт промышленной сети, ориентированный, прежде всего, на объединение в единую сеть различных исполнительных устройств и датчиков. Режим передачи — последовательный, широковещательный, пакетный. CAN разработан компанией Robert Bosch GmbH в середине 1980-х и в настоящее время широко распространён в промышленной автоматизации, технологиях «умного дома», автомобильной промышленности и многих других областях. Стандарт для автомобильной автоматики.

Информация на шине представлена в виде фиксированных сообщений различной, но ограниченной длины. Когда шина свободна, любой подключенный узел может начать передавать новое сообщение. При передаче информации с помощью протокола CAN используется четыре типа пакетов:

* пакет данных (data frame) — передаёт данные, является самым часто используемым пакетом;
* пакет удаленного запроса (remote frame) — служит для запроса на передачу кадра данных с тем же идентификатором;
* пакет перегрузки (overload frame) — обеспечивает промежуток между кадрами данных или запроса;
* пакет ошибки (error frame) — передаётся узлом, обнаружившим в сети ошибку.

Пакет данных состоит из 7 различных полей:

* "начало пакета" (SOF-start of frame);
* "поле арбитража" (arbitration field);
* "поле контроля" (control field);
* "поле данных" (data field);
* "поле CRC" (CRC field);
* "поле подтверждения" (ACK field);
* "конец пакета" (end of frame).

Поле данных может иметь нулевую длину.

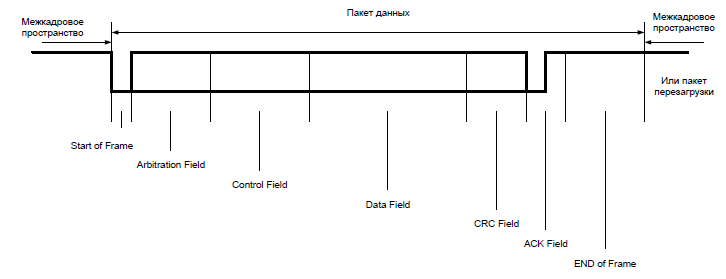


Рисунок 5 – Пакет сообщения CAN

В терминах протокола CAN логическая единица называется рецессивным битом, а логический ноль называется доминантным битом. Во всех случаях доминантный бит будет подавлять рецессивный. То есть, если несколько узлов выставят на шину рецессивный бит, а один – доминантный, то обратно всеми узлами будет считан доминантный бит.

При свободной шине любой узел может начинать передачу в любой момент. В случае одновременной передачи кадров двумя и более узлами проходит арбитраж доступа: передавая идентификатор, узел одновременно проверяет состояние шины. Если при передаче рецессивного бита принимается доминантный — считается, что другой узел передаёт сообщение с большим приоритетом, и передача откладывается до освобождения шины. Таким образом, в отличие, например, от Ethernet в CAN не происходит непроизводительной потери пропускной способности канала при коллизиях. Цена этого решения — возможность того, что сообщения с низким приоритетом никогда не будут переданы.

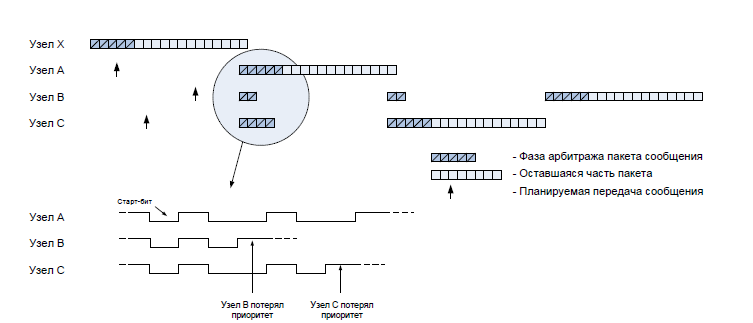


Рисунок 6 – Арбитраж на шине CAN

#### 1.2.2.2 Общее описание контроллера интерфейса

В микроконтроллере реализовано два независимых контроллера интерфейса CAN. Они являются полнофункциональными CAN-узлами, отвечающими требованиям к активным и пассивным устройствам CAN 2.0A и 2.0B и поддерживающими передачу данных на скорости не более 1 Мбит/сек.

Интерфейс CAN позволяет обмениваться сообщениями в сети равноправных устройств. При передаче сообщения в сети CAN все узлы сети получают это сообщение. В сообщении передается уникальный идентификатор и данные. Все сообщения в протоколе CAN могут содержать не более восьми байтов данных. При возникновении коллизий (одновременная передача сообщений различными узлами) при передаче идентификатора происходит арбитраж, и узел передающий сообщение с большим номером идентификатора уступает сеть узлу передающему сообщение с меньшим номером идентификатора.

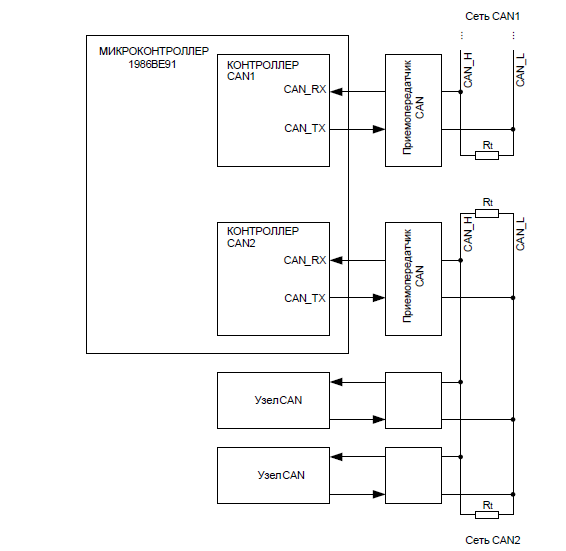


Рисунок 7 - Структурная схема организации сети CAN

Особенности:

* поддержка CAN протокола версии CAN 2.0 A и B;
* скорость передачи до 1 Мбит/с;
* 32 буфера приема/передачи;
* поддержка приоритетов сообщений;
* 32 фильтра приема;
* маскирование прерываний.

#### 1.2.2.3 Прием и передача сообщений

На рисунке 8 представлена структурная блок-схема контроллера CAN

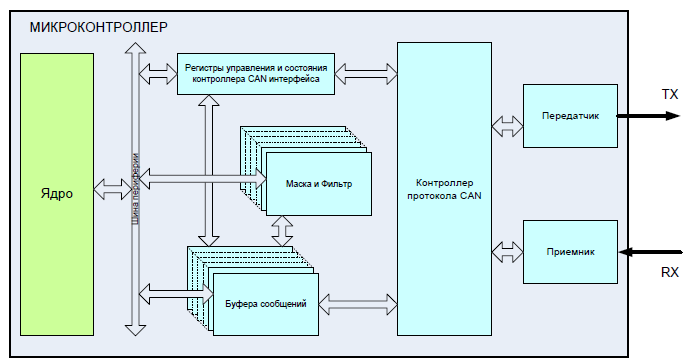


Рисунок 8 - Структурная блок-схема контроллера CAN

Для передачи сообщения необходимо в разрешенный для работы и конфигурируемый на передачу буфер записать сообщение для передачи (задать значения регистрам CAN\_BUF[x].ID, CAN\_BUF[x].DLC, CAN\_BUF[x].DATAL и CAN\_BUF[x].DATAH), после чего установить бит TX\_REQ. После установки этого бита сообщение будет поставлено в очередь на отправку. После отправки сообщения бит TX\_REQ будет автоматически сброшен. Если в нескольких буферах есть сообщения на отправку, то порядок отправки определяется по полю PRIOR\_0. Если у сообщения бит PRIOR\_0 выставлен в ноль, то оно отправляется в первую очередь. Если есть несколько сообщений с одинаковым приоритетом, то порядок отправки определяется порядковым номером буфера, буфер с меньшим порядковым номером имеет больший приоритет. Значение полей ID для выбора порядка отправки в рамках контроллера CAN (одного узла) значения не имеет. По ID выбирается приоритет между различными узлами.

Для приема сообщений необходимо иметь свободные и разрешенные для работы буфера, сконфигурированные на прием сообщений. При этом если по шине CAN будут передаваться сообщения от других узлов, они будут сохраняться в этих буферах.

### 1.2.3 SSP

#### 1.2.3.1 Общая информация о модуле

Модуль порта синхронной последовательной связи (SSP – Synchronous Serial Port) выполняет функции интерфейса последовательной синхронной связи в режиме ведущего и ведомого устройства и обеспечивает обмен данными с подключенным ведомым или ведущим периферийным устройством в соответствии с одним из протоколов:

* интерфейс SPI фирмы Motorola;
* интерфейс SSI фирмы Texas Instruments;
* интерфейс Microwire фирмы National Semiconductor.

Как в ведущем, так и в ведомом режиме работы модуль SSP обеспечивает:

* преобразование данных, размещенных во внутреннем буфере FIFO передатчика (восемь 16-разрядных ячеек данных) из параллельного в последовательный формат;
* преобразование данных из последовательного в параллельный формат и их запись в аналогичный буфер FIFO приемника (восемь 16-разрядный ячеек данных).

Модуль формирует сигналы прерываний по следующим событиям:

* необходимость обслуживания буферов FIFO приемника и передатчика;
* переполнение буфера FIFO приемника;
* наличие данных в буфере FIFO приемника по истечении времени таймаута.

Основные сведения о модуле представлены в следующих разделах:

* характеристики интерфейса SPI;
* характеристики интерфейса Microwire;

Так как для тестирования модуля достаточно одного из трех интерфейсов, то рассмотрим работу только с интерфейсом SPI фирмы Motorolla. Данный интерфейс был выбран как наиболее используемый среди остальных. Кроме того, данный интерфейс был изучен в ходе курса «Микропроцессорные системы», в связи с чем не нуждается в дополнительном изучении.

#### 1.2.3.2 Прием и передача данных

Модуль SSP содержит программируемые делители частоты, формирующие тактовый сигнал обмена данными SSP\_CLK из сигнала, поступающего на линию SSPCLK. Скорость передачи данных может достигать более 2 МГц, в зависимости от частоты SSPCLK и характеристик подключенного периферийного устройства.

Режим обмена данными, формат информационного кадра и количество бит данных задаются программно с помощью регистров управления CR0 и CR1.

Модуль формирует четыре независимо маскируемых прерывания:

SSPTXINTR – запрос на обслуживание буфера передатчика;

SSPRXINTR – запрос на обслуживание буфера приемника;

SSPRORINTR – переполнение приемного буфера FIFO;

SSPRTINTR – таймаут ожидания чтения данных из приемного FIFO.

Кроме того, формируется общий сигнал прерывания SSPINTR, возникающий в случае активности одного из вышеуказанных независимых немаскированных прерываний, который идет на контроллер NVIC.

Модуль также формирует сигналы запроса на прямой доступ к памяти (DMA) для совместной работы с контроллером DMA.

В зависимости от режима работы модуля сигнал SSPFSSOUT используется для выбора ведомого режима (активное состояние – низкий уровень).

Буфер передатчика имеет ширину 16 бит, глубину 8 слов, схему организации доступа типа FIFO – «первый вошел, первый вышел». Данные от центрального процессора сохраняются в буфере до тех пор, пока не будут считаны блоком передачи данных.

Буфер приемника имеет ширину 16 бит, глубину 8 слов, схему организации доступа типа FIFO – «первый вошел, первый вышел». Принятые от периферийного устройства данные сохраняются в этом буфере блоком приема данных в до тех пор, пока не будут считаны центральным процессором.

В режиме ведущего устройства модуль формирует тактовый сигнал обмена данными SSP\_CLK для подключенных ведомых устройств. Как было описано ранее, данный сигнал формируется путем деления частоты сигнала SSPCLK.

Блок передатчика последовательно считывает данные из буфера FIFO передатчика и производит их преобразование из параллельной формы в последовательную. Далее поток последовательных данных и элементов кадровой синхронизации, тактированный сигналом SSP\_CLK, передаётся по линии SSP\_TXD к подключенным ведомым устройствам.

Блок приемника выполняет преобразование данных, поступающих синхронно с линии SSP\_RXD, из последовательной в параллельную форму, после чего загружает их в буфер FIFO приемника, откуда они могут быть считаны процессором.

В режиме ведомого устройства тактовый сигнал обмена данными формируется одним из подключенных к модулю периферийных устройств и поступает по линии SSP\_CLK.

При этом блок передатчика, тактируемый этим внешним сигналом, считывает данные из буфера FIFO, преобразует их из параллельной формы в последовательную, после чего выдает поток последовательных данных и элементов кадровой синхронизации в линию SSP\_TXD.

Аналогично, блок приемника выполняет преобразование данных, поступающих с линии SSP\_RXD синхронно с сигналом SSP\_CLK, из последовательной в параллельную форму, после чего загружает их в буфер FIFO приемника, откуда они могут быть считаны процессором.

### 1.2.4 UART

#### 1.2.4.1 Общее описание модуля

Модуль универсального асинхронного приемопередатчика (UART – Universal Asynchronous Receiver-Transmitter) представляет собой периферийное устройство микроконтроллера.

В состав контроллера включен кодек (ENDEC – ENcoder/DEcoder) последовательного интерфейса инфракрасной (ИК) передачи данных в соответствии с протоколом SIR (SIR – Serial Infra Red) ассоциации Infrared Data Association (IrDA).

Так как интерфейс UART, аналогично интерфейсу SPI был изучен ранее, его дополнительное описание не требуется.

#### 1.2.4.2 Основные характеристики модуля UART

Может быть запрограммирован для использования, как в качестве универсального асинхронного приемопередатчика, так и для инфракрасного обмена данными (SIR).

Содержит независимые буферы приема (16x12) и передачи (16x8) типа FIFO (First In First Out – первый вошел, первый вышел), что позволяет снизить интенсивность прерываний центрального процессора.

Программное отключение FIFO позволяет ограничить размер буфера одним байтом.

Программное управление скоростью обмена. Обеспечивается возможность деления тактовой частоты опорного генератора в диапазоне (1x16 – 65535x16). Допускается использование нецелых коэффициентов деления частоты, что позволяет использовать любой опорный генератор с частотой более 3.6864 МГц.

Поддержка стандартных элементов асинхронного протокола связи – стартового и стопового бит, а та же бита контроля четности, которые добавляются перед передачей и удаляются после приема.

Независимое маскирование прерываний от буфера FIFO передатчика, буфера FIFO приемника, по таймауту приемника, по изменению линий состояния модема, а также в случае обнаружения ошибки.

Поддержка прямого доступа к памяти.

Обнаружение ложных стартовых бит.

Формирование и обнаружения сигнала разрыва линии.

Поддержка функция управления модемом (линии CTS, DCD, DSR, RTS, DTR и RI).

Возможность организации аппаратного управления потоком данных.

Полностью программируемый асинхронный последовательный интерфейс с характеристиками:

* данные длиной 5, 6, 7 или 8 бит;
* формирование и контроль четности (проверочный бит выставляется по четности, нечетности, имеет фиксированное значение, либо не передается);
* формирование 1 или 2 стоповых бит;
* скорость передачи данных – от 0 до UARTCLK/16 Бод.

## 1.3 Описание отладочной платы

Для отладки курсового проекта использовалось две отладочных платы для микросхемы К1986ВЕ92QI (ТСКЯ.469575.002-01 вер. 4). Схема расположения элементов на данной отладочной плате представлена на рисунке 9.

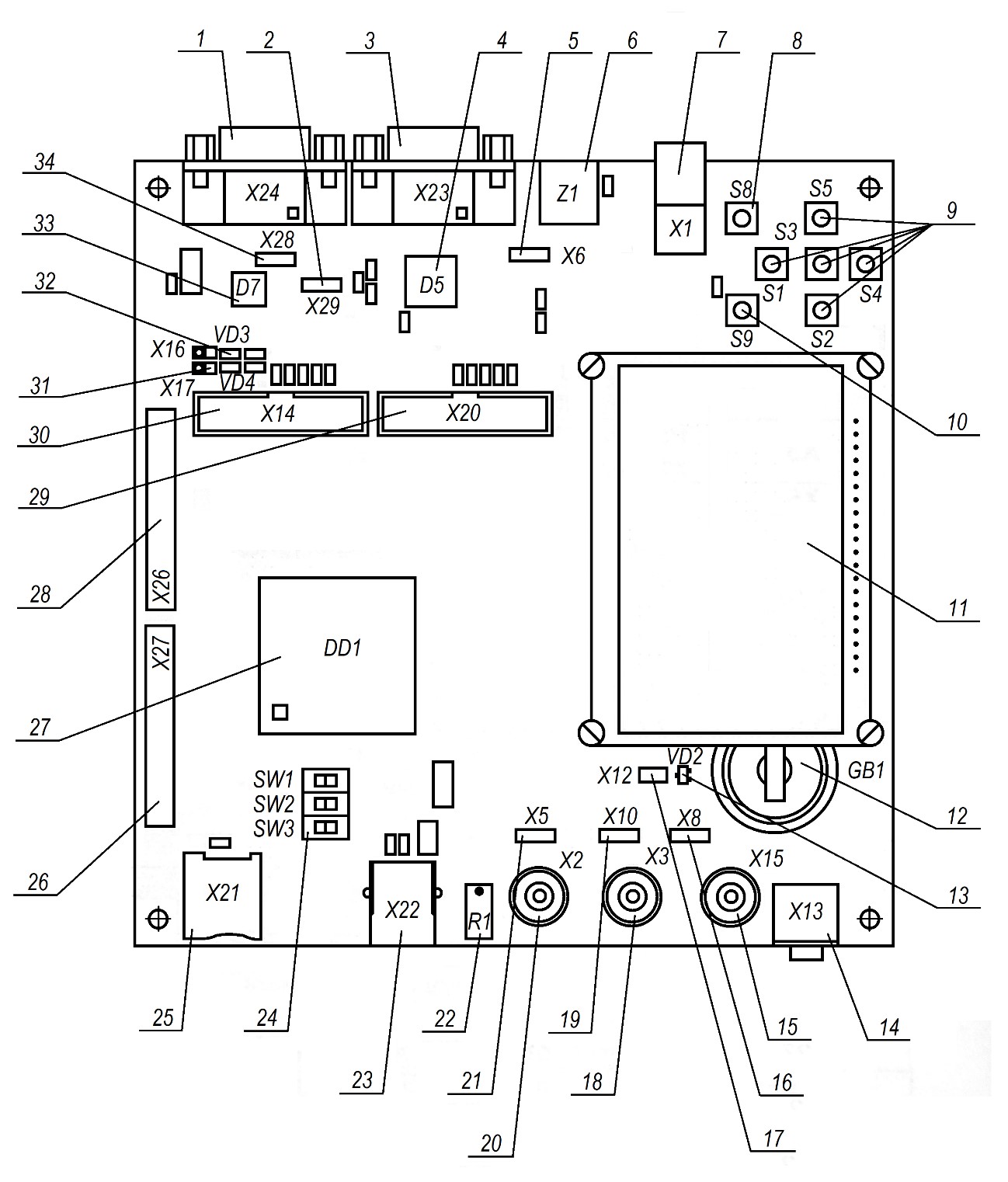


Рисунок 9 - Расположение элементов управления и коммутации отладочной платы

Кнопки S1 «UP», S2 «LEFT», S3 «SELECT», S4 «DOWN», S5 «RIGHT» могут быть нами запрограммированы. Кнопка S1 подключена к линии PB5 порта B, кнопка S2 – к линии PE3 порта E, кнопка S3 – к линии PC2 порта C, кнопка S4 – к линии PE1 порта E, кнопка S5 – к линии PB6 порта B.

Кнопка S8 «RESET» предназначена для аппаратного сброса.

Кнопка S9 «WAKEUP» служит для выхода микроконтроллера из режима пониженного энергопотребления STANDBY.

Светодиоды VD3 и VD4 (поз. 32 на рисунке 1.3) подключены через ограничивающие ток резисторы к линиям PC0 и PC1 порта C и могут служить для простейшей индикации.

Описание элементов отладочной платы сведено в таблицу 4.

Таблица 4 – элементы отладочной платы

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Обозначение** | **Описание** | | **Поз.** | |
| DD1 | Контактное устройство для микроконтроллера | | 27 | |
| D5 | Приемопередатчик RS-232 | | 4 | |
| D7 | Приемопередатчик CAN | | 33 | |
| GB1 | Батарейный отсек | | 12 | |
| R1 | Подстроечный резистор канала 7 АЦП | | 22 | |
| SW1SW3 | Переключатели | | 24 | |
| S1-S5 | Кнопки UP, LEFT, SELECT, DOWN, RIGHT | | 9 | |
| S8 | Кнопка RESET | | 8 | |
| S9 | Кнопка WAKEUP | | 10 | |
| VD2 | Транзистор для подключения батарейного отсека | | 13 | |
| VD3, VD4 | Набор светодиодов для порта С | | 32 | |
| X1 | Разъем питания 5В | | 7 | |
| X2 | Разъем BNC внешнего сигнала канала 7 АЦП | | 20 | |
| X3 | Разъем BNC внешнего сигнала на 1-м входе компаратора | | 18 | |
| X5 | | Разъем для установки конфигурационных перемычек | | 21 |
| X6 | | 5 |
| X8 | | 16 |
| X10 | | 19 |
| X12 | | 17 |

Окончание таблицы 4

|  |  |  |
| --- | --- | --- |
| X13 | Разъем Audio 3,5 мм выхода ЦАП1 через звуковой усилитель | 14 |
| X14 | Разъем отладки JTAG-A | 30 |
| X15 | Разъем BNC выхода ЦАП-1 | 15 |
| X16, X17 | Разъемы для установки конфигурационных перемычек | 31 |
| X20 | Разъем отладки JTAG-B | 29 |
| X21 | Разъем карты памяти micro-SD | 25 |
| X22 | Разъем USB-B | 23 |
| X23 | Разъем интерфейса RS-232 | 3 |
| X24 | Разъем интерфейса CAN | 1 |
| X26 | Разъем портов B, C, D микроконтроллера | 28 |
| X27 | Разъем портов A, E, F микроконтроллера | 26 |
| X28 | Разъем для установки конфигурационных перемычек | 34 |
| X29 | 2 |
| Z1 | Фильтр питания | 6 |
| – | Жидкокристаллический модуль | 11 |

Отдельно рассмотрим LCD и элементы, используемые для работы с интерфейсами, то есть модули: приемопередатчик CAN и приемопередатчик RS-232.

### 1.3.1 LCD

Модуль LCD представлен на плате в виде MT– 12864J v.1 отечественной компании «МЭЛТ» содержит собственный контроллер управления и жидкокристаллическую панель. Модуль содержит оперативное запоминающее устройство (ОЗУ) для хранения данных, выводимых на экран, размером 64х64х2 бит. Каждой светящейся точке на экране соответствует логическая «1» в ячейке ОЗУ модуля.

Функциональная блок-схема данного модуля представлена на рисунке 10.

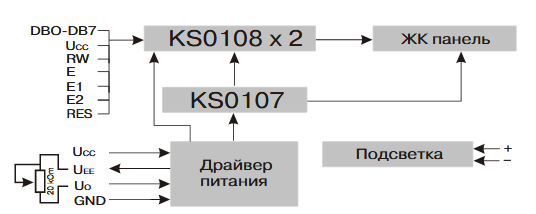


Рисунок 10 – Функциональная блок-схема MT– 12864J

В таблице 5 представлены назначения внешних выводов LCD.

Таблица 5 – Назначение внешних выводов LCD

|  |  |  |
| --- | --- | --- |
|  | Обозначение | Назначение |
| 1 | UCC | Напряжение питания |
| 2 | GND | Общий вывод |
| 3 | U0 | Управление контрастностью |
| 4 - 11 | DB0 – DB7 | Шина данных |
| 12 | E1 | Выбор кристалла 1 |
| 13 | E2 | Выбор кристалла 2 |
| 14 | RES | Сброс (начальная установка) |
| 15 | R/W | Выбор: Чтение/ Запись |
| 16 | A0 | Выбор: Команды/ Данные |
| 17 | E | Стробирование данных |
| 18 | UEE | Выход DC–DC преобразователя |
| 19 | А | + питания подсветки |
| 20 | K | – питания подсветки |

### 1.3.2 Приемопередатчик CAN

Приемопередатчик CAN представлен на данной отладочной плате в виде модуля ATA6660.

ATA6660 - ИС, изготовленная по технологии Smart Power BCD60-III компании Atmel. Она специально разработана для обеспечения высокоскоростной передачи данных по дифференциальным линиям в жестких климатических условиях, например в автомобильном или индустриальном оборудовании. Приемопередатчик имеет пропускную способность 1 МБод. ATA6660 полностью совместим с ISO11898, стандартом для высокоскоростных коммуникационных CAN-C.

Описание выводов данной ИС представлено в таблице 6.

Таблица 6 – Выводы ATA6660

|  |  |  |
| --- | --- | --- |
| Вывод | Обозначение | Функция |
| 1 | TXD | Вход передатчика данных |
| 2 | GND | Общий |
| 3 | VCC | Напряжение питания |
| 4 | RXD | Выход приемника данных |
| 5 | VREF | Выход источника опорного напряжения |

Окончание таблицы 6

|  |  |  |
| --- | --- | --- |
| 6 | CANL | Вход/выход CAN-приемопередатчика (низкий уровень) |
| 7 | CANH | Вход/выход CAN-приемопередатчика (высокий уровень) |
| 8 | RS | Управление: дежурный режим/рабочий режим |

### 1.3.3 Приемопередатчик RS-232

Приемопередатчик RS-232 представлен в виде модуля 555ИН4 производства Миландр.

Приемопередатчик интерфейса RS-232 содержит пять передатчиков КМОП –RS-232 и три приемника RS-232 –КМОП (один активный во всех режимах), а также внутренний импульсный преобразователь напряжения с внешними конденсаторами. Для работы схемы требуется 4 внешних конденсатора. Особенность схемы – наличие режима “выключено”, в котором все приемники остаются активными. В этом режиме ток потребления составляет не более 10мкА.

Описание выводов данной микросхемы представлено в таблице 7.

Таблица 7 – Выводы 555ИН4

|  |  |  |  |
| --- | --- | --- | --- |
| Вывод корпуса | Контактная площадка кристалла | Условное обозначение | Функциональное назначение выводов |
| 1 | 1 | С2+ | Положительный вывод конденсатора для внутреннего импульсного преобразователя напряжения |
| 2 | 2 | GND | Общий |
| 3 | 3 | С2- | Отрицательный вывод конденсатора для внутреннего импульсного преобразователя напряжения |
| 4 | 4 | UL | -5,5 В вывод внутреннего импульсного преобразователя напряжения |
| 5 | 5 | Т1OUT | Выход передатчика RS-232 |
| 6 | 6 | T2OUT | Выход передатчика RS-232 |
| 7 | 7 | T3OUT | Выход передатчика RS-232 |
| 8 | 8 | T4OUT | Выход передатчика RS-232 |
| 9 | 9 | T5OUT | Выход передатчика RS-232 |
| 10 | 10 | T5IN | Вход передатчика RS-232 |
| 11 | 11 | T4IN | Вход передатчика RS-232 |
| 12 | 12 | T3IN | Вход передатчика RS-232 |
| 13 | 13 | T2IN | Вход передатчика RS-232 |
| 14 | 14 | T1IN | Вход передатчика RS-232 |
| 15 | 15 | MBAUD | Вход управления режимом передачи  250/1000 Кбит/с  Активный уровень “1” |

Окончание таблицы 7

|  |  |  |  |
| --- | --- | --- | --- |
| 16 | 16 | nNSHDN | Вход выключения передатчиков RS-232. Активный уровень “0” |
| 17 | 17 | nEN | Вход разрешения работы выходов приемников. Активный уровень “0” |
| 18 | 18 | R1IN | Вход приемника RS-232 |
| 19 | 19 | R1OUTB | Не инвертирующий выход приемника. Активен во всех режимах |
| 20 | 20 | R1OUT | Выход приемника RS-232 |
| 21 | 21 | R2OUT | Выход приемника RS-232 |
| 22 | 22 | R3OUT | Выход приемника RS-232 |
| 23 | 23 | R3IN | Вход приемника RS-232 |
| 24 | 24 | R2IN | Вход приемника RS-232 |
| 25 | 25 | C1- | Отрицательный вывод конденсатора для внутреннего импульсного преобразователя напряжения |
| 26 | 26 | UСС | Напряжение питания |
| 27 | 27 | C1+ | Положительный вывод конденсатора для внутреннего импульсного преобразователя напряжения |
| 28 | 28 | UH | +5,5 В вывод внутреннего импульсного преобразователя напряжения |

## 1.4 Подключение отладочных плат

Для передачи данных между двумя отладочными платам необходимо соединить интерфейсные выводы между собой. Для интерфейсов CAN, USB, RS-232 есть специальные разъемы, в связи чем будут необходимы специальные кабели для их соединения. Интерфейс SPI будет подключен при помощи обычных проводов на разъеме общего назначения Х26. Схема соединений электрическая представлена в приложении В.

## 1.5 Алгоритмы работы программы

### 1.5.1 Алгоритм работы основной программы

Основная схема работы программы показана на рисунках 11 и 12.

После подачи питания на отладочную плату, происходит инициализация констант, настройка портов для LCD, настройка портов для кнопок, включение LCD и инициация таймера.



Рисунок 11 - Схема алгоритма основной программы



Рисунок 12 - Схема алгоритма основной программы (продолжение)

С помощью кнопок вверх («UP») и вниз («DOWN»), можно двигаться между строками в главном меню. В главном меню имеется 5 пунктов, которые отвечают за различные модули для тестирования: «CAN», «SSP», «USB», «UART», «FULL TEST». Выбор может быть осуществлен с помощью кнопки «SELECT». При выборе определенного пункта меню на экране появится информация о тесте и статусе прохождения теста (ожидание данных, данные переданы, данные получены, данные ошибочны, данные успешны). Выход из каждого теста в главное меню может быть осуществлен с помощью кнопки назад («LEFT»), при этом, если в ходе тестирования изменялись какие-либо настройки МК (например, как в тесте USB), то они вернутся в изначальное состояние.

### 1.5.2 Алгоритмы инициализации

На рисунках 13-15 показаны все алгоритмы инициализации, которые используются на всех этапах работы программы. Некоторые схемы алгоритма могут различаться для модулей Slave и Master, в связи с чем данные схемы алгоритма разделены на схемы «Master МК» и «Slave МК».



Рисунок 13 – Схемы алгоритмов инициации портов LCD, портов для кнопок, таймера, портов для CAN



Рисунок 14 – Схемы алгоритмов инициации портов SSP и запуска модулей SSP и UART



Рисунок 15 – Схемы алгоритмов инициации модуля CAN, запуска и отключения USB

### 1.5.3 Алгоритмы работы прерываний

На рисунках 16-18 представлены схемы работы прерываний в микроконтроллерах. Схемы алгоритмов, аналогично с предыдущим пунктом, разделены на «Master МК» и «Slave МК».

Прерывание по таймеру используется для обновления данных на LCD дисплее. В левом верхнем углу всегда находится фамилия исполнителя курсового проекта, в правом верхнем углу группа. Под группой находится информация о микроконтроллере («Master» или «Slave»). Затем следует 3 строчки главного меню или информации о проходящем в данный момент тесте. Внизу экрана находится бегущая строка, которая информирует пользователя, что данная система разработана в ходе выполнения курсовой работы по дисциплине «Микропроцессорные системы».



Рисунок 16 – Схема алгоритма прерывания таймера

Алгоритм обработки прерывания USB будет реализован только в Master, так как тестирование USB будет производиться только в этом микроконтроллере. Прерывание читает данные из буфера и обрабатывает их в зависимости от типа теста. Если в текущий момент не установлен флаг полного теста, то полученные данные будут сразу переданы обратно источнику. Если же флаг полного теста установлен, то полученные данные либо запишутся в память, либо будут переданы обработанные данные в зависимости от флага передачи данных.



Рисунок 17 – Схема алгоритма прерывания USB



Рисунок 18 – Схема алгоритма обработки прерывания CAN

Прерывание по CAN будет реализовано только в Slave МК, так как Master будет передавать данные и там нет необходимости в прерывании (хотя это возможно). После получения данные происходит проверка на флаг теста CAN. Если он установлен, то происходит проверка полученных данных. В результате проверки станет понятно, была ли передача успешна или данные ошибочны. Если флаг не установлен, то данные просто выводятся на экран.

### 1.5.4 Алгоритмы работы тестирующей программы CAN

На рисунке 19 представлена схема алгоритма тестирующей модуль CAN программы. Для Master и Slave данные программы различаются: они реализуют передачу и прием данных соответственно. Прием данных будет осуществляться по прерыванию, описанному в предыдущем пункте.



Рисунок 19 – Схема алгоритма теста CAN

### 1.5.5 Алгоритмы работы тестирующей программы SSP

Схема алгоритма программы, тестирующей модуль SSP представлена на рисунке 20. Master МК после инициализации модуля и настройки портов передает данные. В связи с этим Slave МК должен быть переведен в режим теста модуля SSP раньше, иначе данные приняты не будут и придется заново запускать данный режим на Master МК.



Рисунок 20 – Схема алгоритма теста модуля SSP

### 1.5.6 Алгоритмы работы тестирующей программы USB



Рисунок 21 – Схема алгоритма теста USB

На рисунке 21 представлена схема алгоритма для теста модуля USB. Данный модуль будет работать в режиме USB Device как CDC. Прием данных осуществляется по прерыванию и был описан в пункте 1.5.3. В связи с тем, что USB работает на более высокой частоте, чет МК, то приходится переводить МК на высокую частоту при запуске теста USB и при окончании переводить обратно.

### 1.5.7 Алгоритмы работы тестирующей программы UART

Тест UART будет производиться простейшей передачей данных с одного МК на другой сразу после инициации портов и модуля UART. Схема алгоритма данного теста представлена на рисунке 22.



Рисунок 22 – Схема алгоритма теста модуля UART

### 1.5.8 Алгоритмы работы полной тестирующей программы

Полная тестирующая программа представляет собой алгоритм, в ходе выполнения которого могут быть протестированы все имеющиеся в МК модули, отвечающие за интерфейсы связи двух МК.

Схема алгоритма полной тестирующей программы представлена на рисунках 24 – 26. По данному алгоритму данные попадают в Master МК из ПЭВМ по USB, затем они идут в Slave МК по SSP. Далее они возвращаются в Master МК по UART. После этого они должны быть переданы обратно в ПЭВМ по USB. В завершении, данные передаются в Slave МК по интерфейсу CAN. На этом полный тест завершен. Схематически данный алгоритм представлен на рисунке 23.



Рисунок 23 – Схема полного теста



Рисунок 24 – Схема алгоритма полного теста Master МК



Рисунок 25 – Схема алгоритма полного теста Master МК (продолжение)



Рисунок 26 – Схема алгоритма полного теста Slave МК

# 2 ТЕХНОЛОГИЧЕСКАЯ ЧАСТЬ

## 2.1 Разработка программы

В ходе работы над курсовым проектом было задействовано следующее ПО: среда разработки Keil uVision 5 с дополнительными библиотеками «Standard Peripherals Library + software pack для Keil MDK 5» с официального сайта АО "ПКК Миландр". Внешний вид среды разработки представлен на рисунке 27.

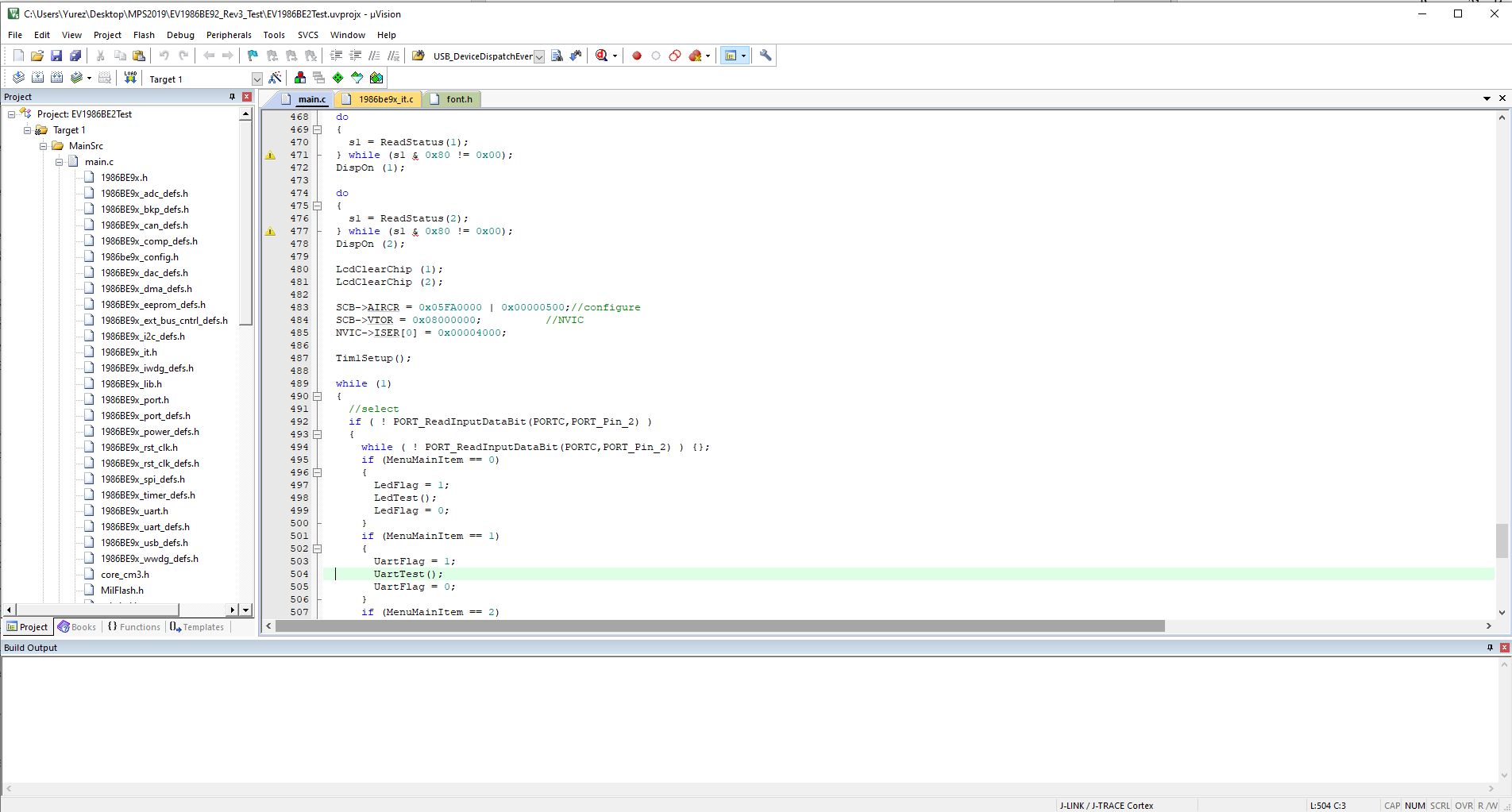


Рисунок 27 – Внешний вид Keil uVision 5

Среду можно использовать для разработки под самые разные платы, начиная от плат, основанных на МК архитектуры AVR и заканчивая архитектурой ARM. Кроме того, данная среда разработки может быть модифицирована с помощью библиотек, которые могут быть загружены с официальных сайтов разработчиков ИС и МК.

## 2.2 Программирование flash-памяти микроконтроллера, отладка программы

Программирование flash-памяти микроконтроллера производится с помощью JTAG/SW программатора. При работе в режиме отладки разрешается работа отладочного интерфейса JTAG/SW. При этом к микроконтроллеру может быть подключен JTAG/SW адаптер, с помощью которого программные средства разработки позволяют работать с микроконтроллером в отладочном режиме. Линии JTAG должны быть подтянуты к питанию сопротивлениями не менее 10К с учетом, чтобы эти подтяжки не влияли на работу системы. Схема подключения при отладке представлена на рисунке 28.

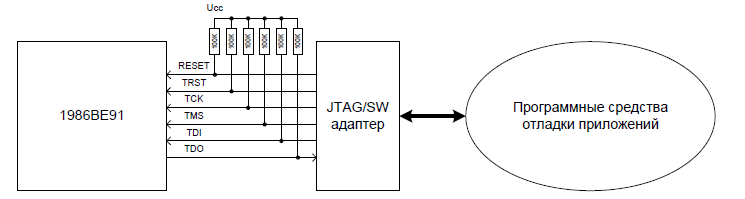


Рисунок 28 – Схема работы в режиме отладки

В отладочном режиме можно:

* стирать, записывать, считывать внутреннюю Flash-память программ;
* считывать и записывать содержимое ОЗУ, периферии;
* выполнять программу в пошаговом режиме;
* запускать программу в нормальном режиме;
* останавливать программу по точкам остановки;
* просматривать переменные выполняемой программы;
* проводить трассировку хода выполнения программного обеспечения.

## 2.3 Программирование USB драйвера

В связи с отсутствием необходимого оборудования для тестирования режима USB Host на отладочной плате, было решено протестировать режим USB Device. Для упрощения работы с компьютером было решено использовать МК в качестве CDC устройства (USB communications device class— является составным классом устройства универсальной последовательной шины). Для работы с USB на компьютере использовался драйвер, после установки которого МК распознаваться, как виртуальный COM порт (рисунок 29).

Исходный код драйвера представлен в приложении Г аналогично исходным кодами обоих МК.

Для работы с виртуальным COM портом была установлена программа COM PORT Tollkit, которая позволяет принимать и отправлять сообщения. Интерфейс с примером работы данной программы представлен на рисунке 30.

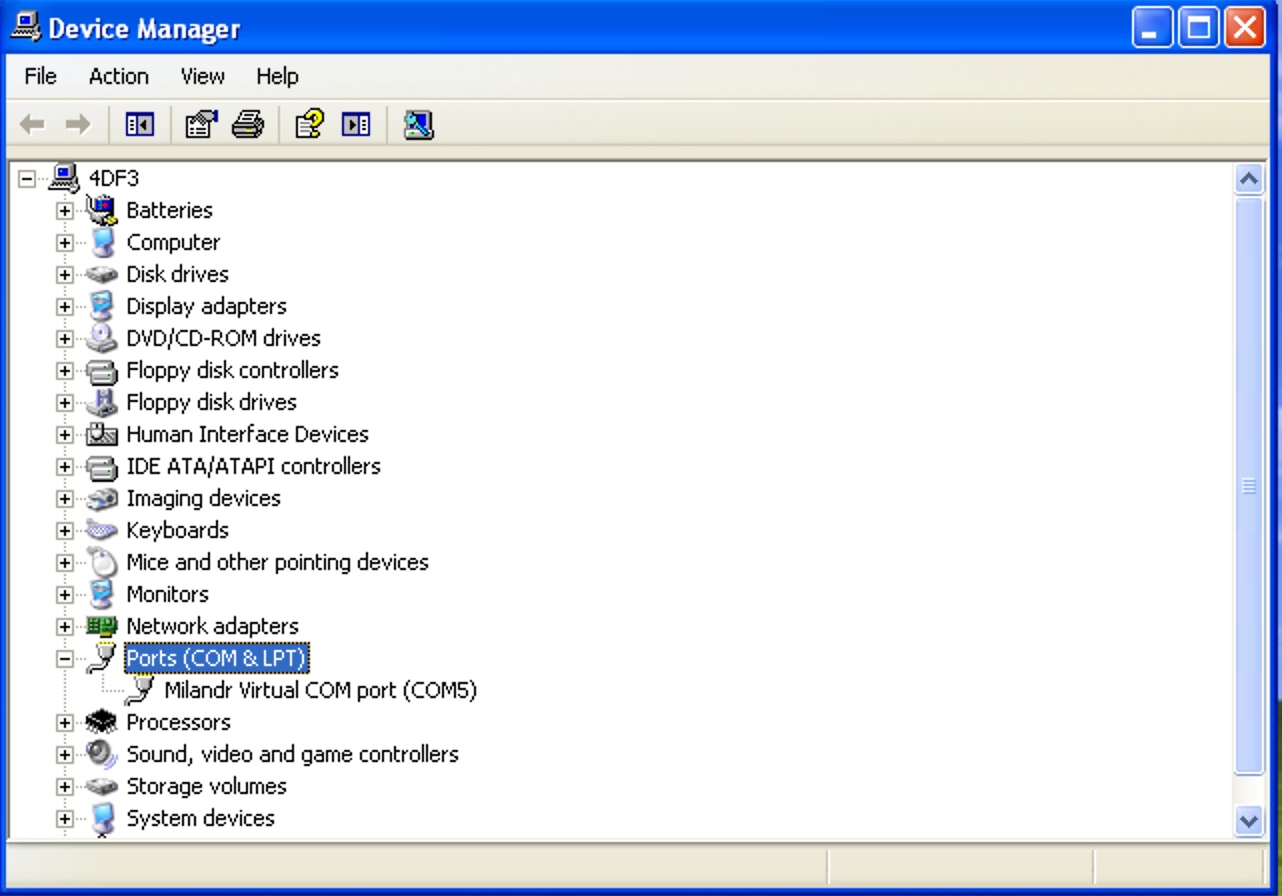


Рисунок 29 – МК в виде виртуального COM порта

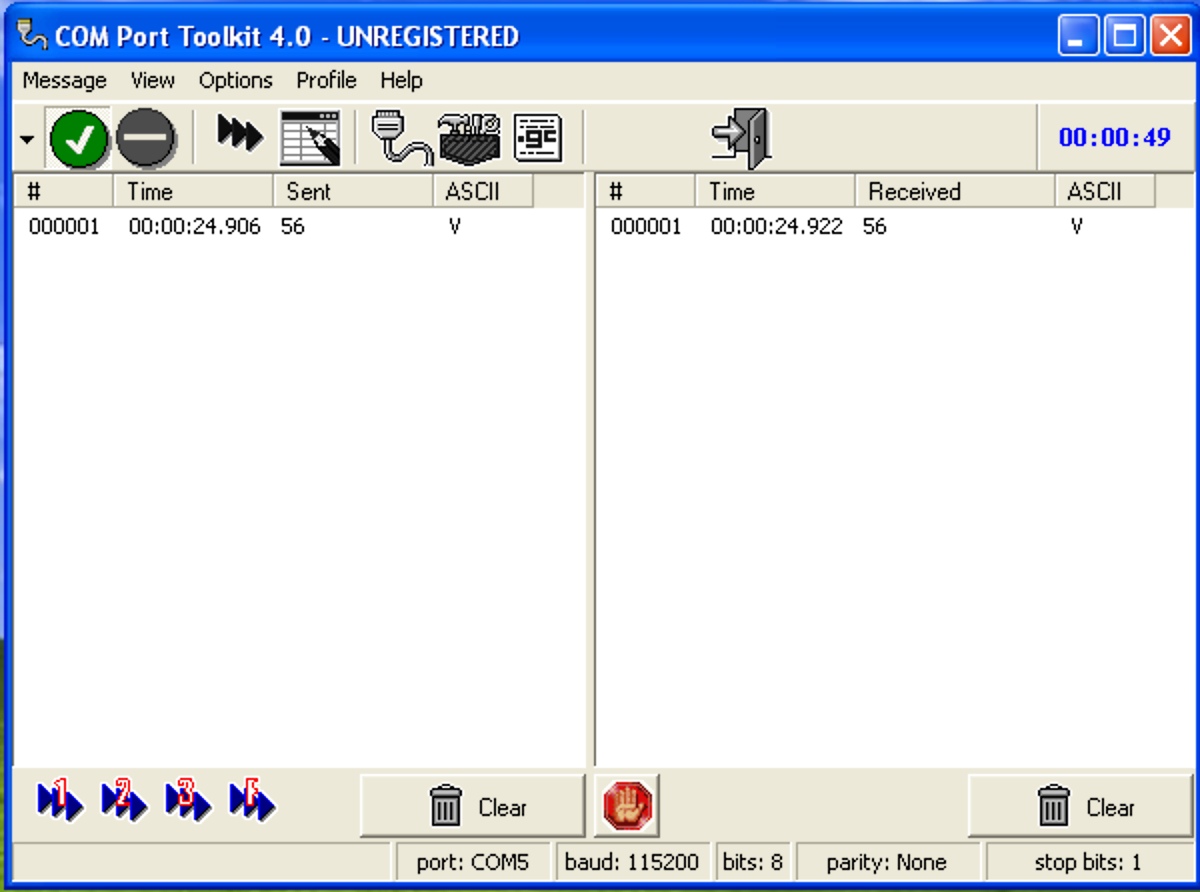


Рисунок 30 - COM PORT Tollkit

# ЗАКЛЮЧЕНИЕ

В ходе выполнения данного курсового проекта был изучен МК К1986ВЕ92QI, отладочная плата для него и интерфейсы взаимодействия двух отладочных плат. Были написаны тестирующие программы для каждого модуля по-отдельности и всех модулей в ходе одного теста.

На первом этапе работ, были изучены интерфейсы USB, CAN, а также модули, отвечающие за работу интерфейсов UART, SPI, USB, CAN в МК. В ходе работы была получена функциональная схема устройства, показывающая, какие модули присутствуют в микроконтроллере, какие из них используются и как различные модули двух МК взаимодействуют между собой. В ходе разработки принципиальной схемы было получено представление о модулях, которые используются для работы с различными интерфейсами. Схема соединений содержит информацию о том, как и чем соединять две отладочные платы между собой для корректной их работы.

Для разработки использовалась интегрированная среда разработки Keil uVision 5 и программатор JTAG/SW для отладки полученной программы.

Для работы МК с ПЭВМ использовался драйвер, который позволяется распознать в микроконтроллере USB устройство и использовать его, как CDC.

# СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Документация на микроконтроллер К1986ВЕ92QI [Электронный ресурс]. – URL: https://ic.milandr.ru/products/mikrokontrollery\_i\_protsessory/32\_razryadnye\_mikrokontrollery/1986ve9kh\_yadro\_arm\_cortex\_m3/k1986ve92qi/#main\_tab (дата обращения 25.11.2019).
2. Официальный сайт Миландр [Электронный ресурс]. – URL: https://ic.milandr.ru/ (дата обращения 25.11.2019).
3. ПРОГРАММИРОВАНИЕМИКРОКОНТРОЛЛЕРА К1986ВЕ92QI КОМПАНИИ «МИЛАНДР» [Электронный ресурс]. – URL: https://edu.milandr.ru/upload/iblock/8bd/8bda469e07e2dd755e1880d3543bf613.pdf (дата обращения 25.11.2019).
4. Форум Миландр [Электронный ресурс]. – URL: http://forum.milandr.ru (дата обращения 25.11.2019).
5. Графический ЖК-модуль MT-12864J фирмы МЭЛТ [Электронный ресурс]. – URL: http://www.gaw.ru/html.cgi/txt/lcd/lcm/melt/graf/MT-12864J.htm (дата обращения 25.11.2019).
6. Start Milandr [Электронный ресурс]. – URL: https://startmilandr.ru/doku.php/start (дата обращения 25.11.2019).
7. Высокоскоростные приемопередатчики CAN - шины [Электронный ресурс]. – URL: http://www.gaw.ru/html.cgi/txt/ic/Atmel/standart\_app/automotive/ATA6660.htm (дата обращения 25.11.2019).
8. Микросхема приемопередатчика интерфейса RS-232 [Электронный ресурс]. – URL: https://ic.milandr.ru/products/interfeysnye\_mikroskhemy/rs232/5559in4u/ (дата обращения 25.11.2019).