

8 Enhanced USB однокристалльный CH552, CH551

Руководство

Версия: 1D

<http://wch.cn>

1. Обзор

Чип CH552 является основной микроконтроллер E8051 совместим MCS51 набор инструкций повышается, что 79% инструкций однобайтовые одиночные инструкции цикла, инструкция по средней скорости MCS51 от 8 до 15 раз быстрее, чем стандарт.

Система CH552 поддерживает до частоты 24 МГц, встроенный 16К байтов ПЗУ памяти программ и 256 байт внутренней IRAM 1К и внутренний лист XRAM, XRAM поддерживает DMA прямого доступа к памяти.

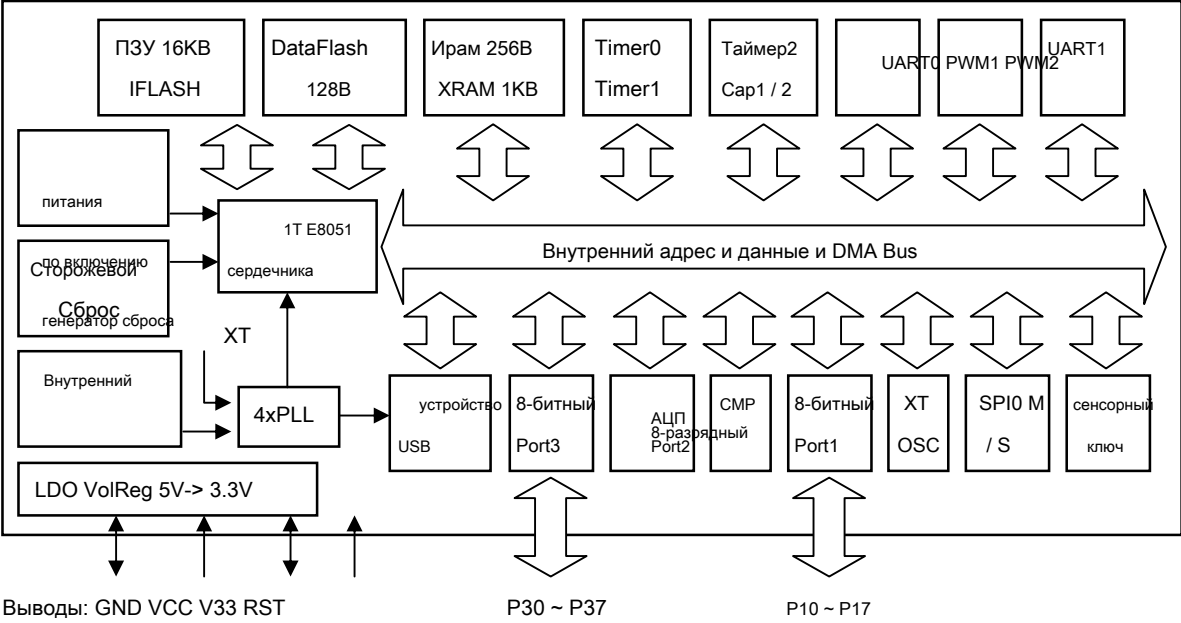
CH552 встроенный аналоговый АЦП цифровой преобразователь, сенсорный ключ обнаружения емкости, группы 3 и захвата сигнала ШИМ и таймеры, двойной асинхронный последовательный интерфейс, SPI, USB контроллер устройства полной скорости и функциональных модулей приемопередатчика.

CH551 до CH552 представляет собой упрощенный вариант, так как ПЗУ памяти программ 10К, лист XRAM 512 байт, только асинхронный последовательный интерфейс УАППО, только SOP16 пакета, только канала сенсорных кнопок 4, и удаляет аналог АЦП в цифровой модуль преобразования и

USB-типа-С модуль, другие же CH552 непосредственно женьшеня тест CH552 руководство и Информация.

модель	Программа ПЗУ	RAM	DataFlash	USB-устройство	С-типа таймера	последовательного	ШИМ	CH552 сенсорный ключ	SPI	АЦП		
CH551	16KB		1280									
	10KB		768	128 Full / низкая	конфигурируемый	Группа 2	Группа 3	Группа 2 ведущий / ведомый канал	4	6	нет	Channel 4

Следующее внутреннее блок-схема CH552 только для справочных целей.



2. Особенности

L Core: Enhanced E8051 базового набор MCS51 совместимой инструкция, которая 79% инструкция однобайтной одиночные инструкции цикла, средняя инструкция

Быстрее, чем стандартная MCS51 8 ~ 15 раз, XRAM конкретные данные быстро скопировать инструкции, двойной указатель DPTR.

L ROM: ПЗУ перепрограммируемой энергонезависимой памяти 16KB емкость, все это может быть использовано для пространства памяти программ, или может быть разделено

И программа клавишки для 2KB 14KB кода загрузки программной области BootLoader / ISP.

L DataFlash: 128 байт данных могут быть многократно перезаписываемой энергонезависимой память, поддержка перезаписи данных в байтах.

L Оперативная память: 256 байт внутреннего IRAM, могут использоваться для временного хранения и быстрого стека данных; 1KB внутреннего листа XRAM, он может быть использован

По поцарапать и DMA Прямой доступ к памяти.

L USB: встроенный USB-трансивер и поддержка контроллер USB-режим устройства USB-устройства, USB-носители обнаружения типа C ведущий-ведомый,

Поддержка USB 2.0 на полной скорости 12Mbps или низкой скорости 1.5Mbps. Он поддерживает до 64-байтных пакетов, то FIFO встроенный, поддержка DMA.

L Таймер: 3 устанавливает таймер T0 / T1 / T2 стандарт MCS51 таймера.

L Захват: Таймер T2 расширен для поддержки захвата сигнала 2-канального.

L ШИМ: ШИМ выходы 2, PWM1 / PWM2 2 8-битовый выход ШИМ.

L УАПП: 2 группы асинхронных последовательных портов, поддерживают более высокую скорость передачи данных, УАППО стандарт MCS51 последовательного порта.

L SPI: контроллер SPI, встроенный в FIFO, до половины тактовой частоты системной частоты Fsys с последовательным входом и выходом данных

Симплексный мультиплексирование, поддерживает режим ведущий / ведомый от ведущего устройства.

L АЦП: 4-канальный 8-битовый аналого-цифровой аналого-цифровой преобразователь, поддержка напряжения компаратора.

L Touch-Key: 6-канальный чувствительный емкостный, поддерживает до 15 сенсорных клавиш, поддержка независимого прерывания таймера.

L GPIO: GPIO штифты поддерживают до 17 (включительно XI / XO и RST сигнала булавок и USB).

L Прерывание: Поддержка источник сигнала прерывания группы 14, в том числе и стандартной группы 6 MCS51 совместимы прерывания (INT0, T0, INT1, T1,

УАППО, T2), а также расширенный набор из 8 прерываний (SPI0, TKEY, USB, АЦП, УАПП1, PWMX, GPIO, WDOG), в котором прерывание GPIO может

быть выбрано из семи штырей.

L Watch-Dog: 8-разрядный сторожевой таймер предустановки WDOG, поддерживают прерывание таймера.

L Сброс: сброс сигнал поддерживает четыре источника, и внутренний сброс мощность, сброс и сторожевое программное обеспечение поддержки таймаута сброса, дополнительная на

Сброс блока ввода.

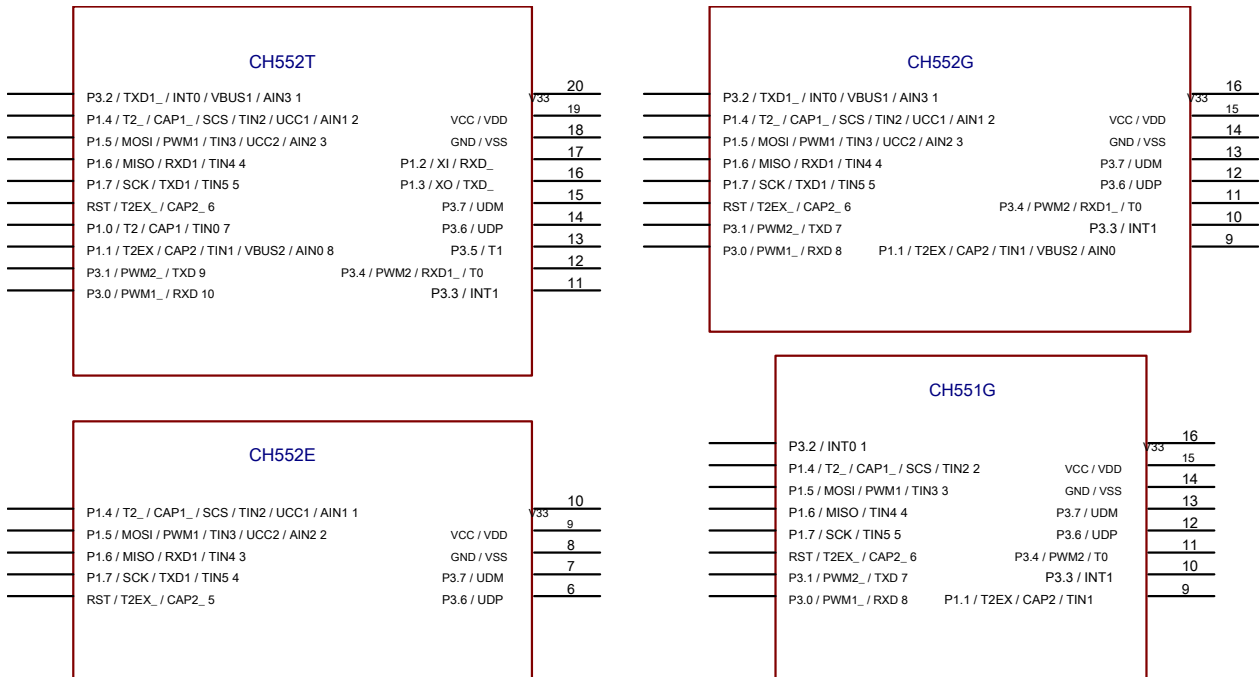
L Часы: встроенный источник тактовых импульсов 24 МГц, может поддерживаться мультиплексирование GPIO контактный внешний кристалл.

L Мощность: низкий отсев регулятор напряжения 5В 3.3V, 3.3V, или даже поддерживать напряжение питания 2.8V 5V. Поддержка малой мощности

Потеря сна, поддержка USB, UART0, UART1, SPI0, а также некоторый внешний GPIO след.

L Чип построен уникальный идентификационный номер.

3, пакет



пакет	Ширина пластика		Ведущий шаг		Описание пакета	заказ
TSSOP-20	4.40mm	173mil	0.65mm	25mil тонкий	компактный 20-контактный SMD CH552T	
SOP-16	3,9 мм	150mil	1,27	50mil	Стандартный 16-контактный SMD	CH552G

MSOP-10	3.0mm	118mil	0,50mm	19.7mil Миниатюрный 10-контактный SMD CH552E	
SOP-16	3,9 мм	150mil	1,27	50mil	Стандартный 16-контактный SMD CH551G

4-контактный

Свинец Пин			шпилька	Другие особенности Имя	Другое Функциональное описание
TSSOP20	SOP16	MSOP10	ИМЯ	(Приоритет левой функции)	
19	15	9	VCC	VDD	Потребляемая мощность, необходим внешний источник питания развязывающий конденсатор 0,1 мкФ.
20	16	10	V33		USB-внутренний выходной регулятор мощности и внутренний входной мощности USB, когда источник питания подключается входное напряжение VCC меньше, чем 3.6V внешний источник питания, внешний источник питания развязывающий конденсатор 0,1 мкФ, ко
18	14	8	GND	BCC	Общая земля.
6	6	5	RST	RST / T2EX / CAP2	Суффикс подчеркнуты контактное отображение одного и то же имя не подчеркнутые штифты.
7	-	-	P1.0	T2 / CAP1 / TIN0	RST контактный выпадающий резистор, другие нагрузочный резистор GPIO по умолчанию. RST: вход сброса.
8	9	-	P1.1	T2EX / CAP2 / TIN1 / VBUS2 / AIN0	T2: таймер / счетчик внешнего входа счетчика / выход 2 часов. T2EX: таймер / счетчик перезарядки вход 2 / захвата. CAP1, CAP2: таймер / счетчик 1 вход 2 захвата. TIN0 ~ TIN5: 0 # ~ 5 # сенсорный обнаружение емкости ключа входного канала. AIN0 ~ AIN3: 0 # ~ 3 # канал АЦП входного аналогового сигнала. UCC1, UCC2: USB типа C конфигурация канала двухсторонняя. VBUS1, VBUS2: USB типа C вход чувство напряжения на шине. XI, XO: внешний вход терминал кварцевого генератора, выходной терминал инвертирующих. RXD, TXD: УАППО
17	-	-	P1.2	XI / RXD_	
16	-	-	P1.3	XO / TXD_	
2	2	1	P1.4	T2_ / CAP1_ / SCS / TIN2 / UCC1 / AIN1	последовательный ввод данных и последовательный вывод данных. CLK, MOSI, MISO, SCK: SPI0 интерфейсы, ГК является выбора микросхемы ввода, вывода MOSI хост / ведомый вход, вход MISO-хост / выход ведомого, SCK является серийным часы. PWM1, PWM2: выход PWM1, выход PWM2. RXD1, TXD1: УАПП1 последовательный ввод данных и последовательный вывод данных. INT0, INT1: Внешнее прерывание 0, внешнее прерывание 1 вход. T0, T1: Таймер 0, Таймер 1 внешний вход. UDM, UDP: D-, D + терминал сигнал устройства USB. Примечание: P3.6 и P3.7 V33 в качестве внутреннего источника питания I / O, высокий уровень только к входным и выходным напряжением V33 не поддерживает 5V
3	3	2	P1.5	MOSI / PWM1 / TIN3 / UCC2 / AIN2	
4	4	3	P1.6	MISO / RXD1 / TIN4	
5	5	4	P1.7	SCK / TXD1 / TIN5	
10	8	-	P3.0	PWM1_ / RXD	
9	7	-	P3.1	PWM2_ / TXD	
1	1	-	P3.2	TXD1_ / INT0 / VBUS1 / AIN3	
11	10	-	P3.3	INT1	
12	11	-	P3.4	PWM2 / RXD1 / T0	
13	-	-	P3.5	T1	
14	12	6	P3.6	UDP	
15	13	7	P3.7	UDM	

5, СФР

В этом руководстве Регистр описано Следующие сокращения могут быть использованы в дальнейшем, когда:

Сокращения	описание
RO	Представляет тип доступа: только для чтения
WO	Отражает доступ Тип: Write-только чтение значение является недействительным
RW	Отражает Тип доступа: чтение и запись H
	Его конец представляет собой
шестнадцатеричное число	Представляет собой двоичное число

О 5,1 SFR и распределения адресов

CH552 с помощью элемента управления SFR, устройство управления, а также установить режим работы.

80h-FFh занимал SFR диапазон адресов внутренней памяти данных, доступный только через режим прямой инструкции адреса. Отличающееся тем, что адрес регистр x0h или x8h является немного адресацией, таким образом, чтобы доступ во избежание к определенной битовой величине бит иногда модифицировать другие; другие не кратно 8 адресных регистров могут быть доступны только байтами.

Данные могут быть записаны только SFR часть в безопасном режиме, в то время как в незащищенном режиме только для чтения статуса, например:

GLOBAL_CFG, CLOCK_CFG, WAKE_CTRL.

СФР часть, имеющая один или несколько псевдонимов, например: SPI0_CK_SE / SPI0_S_PRE. Часть адреса, соответствующего множеству

индивидуальных СФР, например: SAFE_MOD / CHIP_ID, ROM_CTRL / ROM_STATUS. CH552, содержащий стандартные регистры SFR 8051, в то время как увеличение других управляющих регистров. Удельная СФР в таблице ниже.

Таблица 5.0.1 Специальные функции может Регистрация Таблица

SFR	0,8	1,9	2, A	3, B	4, C	5, Д	6, E	7, F
0xf8 SPI0_STAT		SPI0_DATA	SPI0_CTRL	SPI0_CK_SE SPI0_SETUP	SPI0_S_PRE		RESET_KEEP WDOG_COUNT	
0xF0	B							
0xE8	IE_EX	IP_EX	UEP4_1_MOD UEP2_3_MOD UEP0	DMA_L UEP0_DMA_H UEP1_DMA_L UEP1_DMA_H				
0xE0	ACC	USB_INT_EN	USB_CTRL	USB_DEV_AD UEP2_DMA_L UEP2_DMA_H UEP3_DMA_L UEP3_DMA_H				
0xD8 USB_INT_FG USB_INT_ST USB_MIS_ST USB_RX_LEN					UEP0_CTRL	UEP0_T_LEN	UEP4_CTRL	UEP4_T_LEN
0xD0	PSW	UDEV_CTRL	UEP1_CTRL	UEP1_T_LEN	UEP2_CTRL	UEP2_T_LEN	UEP3_CTRL	UEP3_T_LEN
0xC8	T2CON	T2MOD	RCAP2L	RCAP2L	TL2	TH2	T2CAP1L	T2CAP1H
0xC0	SCON1	SBUF1	SBAUD1	TKEY_CTRL	TKEY_DATL	TKEY_DATH	PIN_FUNC	GPIO_IE
0xb8	IP	CLOCK_CFG						
0xB0	P3	GLOBAL_CFG						
0xA8	IE	WAKE_CTRL						
0xA0	P2	SAFE_MOD CHIP_ID	XBUS_AUX					
0x98	SCON	SBUF	ADC_CFG	PWM_DATA2	PWM_DATA1	PWM_CTRL	PWM_CK_SE	ADC_DATA
0x90	P1	USB_C_CTRL	P1_MOD_OC	P1_DIR_PU			P3_MOD_OC	P3_DIR_PU
0x88	TCON	TMOD	TL0	TL1	TH0	TH1	ROM_DATA_L ROM_DATA_H	
0x80 ADC_CTRL		SP	DPL	DPH	ROM_ADDR_L ROM_ADDR_H	ROM_CTRL ROM_STATUS		PCON

Замечания : (1), красный текст Представитель немного адресация; (2), ниже приводится описание, соответствующее поле цвета

	ADC адрес регистра регистра, связанный,
	что SPI0 соответствующих регистров
	Сенсорные-Key USB регистры
	соответствующего регистра, связанный
	таймер / счетчик зарегистрировать 2
	связанные регистры порта, связанные PWM1
	и PWM2 связанные регистры
	соответствующих регистров UART1
	связанные регистры Flash-ROM

5.2 СФР значения сброса и классификация

Таблица 5.2 SFR и сброса значений описано

Функциональная классификация	имя	адрес	описание	Сброс значения
Системные настройки соответствующих регистров	B	<u>F0h</u>	В регистре	<u>0000 0000b</u>
	ACC	<u>E0h</u>	аккумуляторный	<u>0000 0000b</u>
	PSW	<u>D0h</u>	Программа Status Register	<u>0000 0000b</u>
	GLOBAL_CFG	B1h	Регистр глобальной конфигурации (состояние начальной загрузки CH552)	<u>1010 0000b</u>
			Регистр глобальной конфигурации (состояние приложения CH552)	<u>1000 0000b</u>
			Регистр глобальной конфигурации (CH551 руководствоваться статус программы)	<u>1110 0000b</u>
			Регистр глобальной конфигурации (состояние приложения CH551)	<u>1100 0000b</u>
	CHIP_ID	A1h	CH552 идентификация чипа идентификационный код (только для чтения)	<u>0101 0010b</u>
			CH551 идентификация чипа идентификационный код (только для чтения)	<u>0101 0001b</u>
	SAFE_MOD	<u>A1h</u>	Режим защиты регистра управления (только для записи)	<u>0000 0000b</u>
	DPH	<u>83h</u>	Данные адреса Указатель высокого 8	<u>0000 0000b</u>
	DPL	<u>82h</u>	Данные Адрес Pointer Low 8	<u>0000 0000b</u>
	DPTR	<u>82h</u>	DPL и DPH, состоящие из 16 СФРОВ	<u>0000h</u>
	SP	<u>81h</u>	Указатель стека	<u>0000 0111b</u>
Часы, сон и питание управления, связанные регистры	WDOG_COUNT	<u>FFh</u>	Сторожевой пес граф Регистрации	<u>0000 0000b</u>
	RESET_KEEP	<u>FEh</u>	Сброс удерживающие регистры (включения питания сброса состояния)	<u>0000 0000b</u>
	CLOCK_CFG	<u>B9h</u>	Регистр конфигурации системы синхронизации	<u>1000 0011b</u>
	WAKE_CTRL	<u>A9h</u>	Регистр сна управления будильником	<u>0000 0000b</u>
	PCON	<u>87h</u>	Регулятор мощности регистра (на нижнем состоянии сброса)	<u>0001 0000b</u>
Связанные прерывания регистры управления	IP_EX	<u>E9h</u>	Расширенное Priority Регистр управления прерыванием	<u>0000 0000b</u>
	IE_EX	<u>E8h</u>	Расширенная Interrupt Enable Register	<u>0000 0000b</u>
	GPIO_IE	<u>C7h</u>	GPIO регистр разрешения прерывания	<u>0000 0000b</u>
	IP	<u>B8h</u>	Управление приоритетом прерывания Регистрация	<u>0000 0000b</u>
	IE	<u>A8h</u>	Регистр разрешения прерывания	<u>0000 0000b</u>
Флэш-ROM, связанные регистры	ROM_DATA_H	<u>8Fh</u>	Данные флэш-ROM зарегистрировать старший байт	<u>xxxx xxxxb</u>
	ROM_DATA_L	<u>8Eh</u>	флэш-ROM данных Младший байт регистра	<u>xxxx xxxxb</u>
	ROM_DATA	<u>8Eh</u>	ROM_DATA_L и ROM_DATA_H, состоящий из 16 СФРОВ	<u>xxxxh</u>
	ROM_STATUS	<u>86h</u>	регистр состояния флэш-ПЗУ (только для чтения)	<u>0000 0000b</u>
	ROM_CTRL	<u>86h</u>	управление вспышкой-ROM, регистр (только для записи)	<u>0000 0000b</u>
	ROM_ADDR_H	<u>85h</u>	флэш-ROM адресный регистр старшего байта	<u>xxxx xxxxb</u>
	ROM_ADDR_L	<u>84h</u>	флэш-ROM адресный регистр Младший байт	<u>xxxx xxxxb</u>
	ROM_ADDR	<u>84h</u>	ROM_ADDR_L и ROM_ADDR_H, состоящий из 16 СФРОВ	<u>xxxxh</u>
регистры портов, связанных с	PIN_FUNC	<u>C6h</u>	Контакт Функция Регистр выбора	<u>1000 0000b</u>
	XBUS_AUX	<u>A2h</u>	Дополнительный внешний регистр настройки автобуса	<u>0000 0000b</u>
	P3_DIR_PU	<u>97h</u>	P3 управления направлением порта и подтяжка включить регистр	<u>1111 1111b</u>
	P3_MOD_OC	<u>96h</u>	Порт P3 регистр Режим вывода	<u>1111 1111b</u>
	P1_DIR_PU	<u>93h</u>	P1 и выдвижной Направленный порт управления позволяют зарегистрировать	<u>1111 1111b</u>
	P1_MOD_OC	<u>92h</u>	Порт выходной регистр режима P1	<u>1111 1111b</u>
	P3	<u>B0h</u>	Регистрация входных и выходных портов P3	<u>1111 1111b</u>
	P2	<u>A0h</u>	P2 выходного порта регистр	<u>1111 1111b</u>
	P1	<u>90h</u>	Входные и выходные порты P1 регистра	<u>1111 1111b</u>

Таймер / Счетчик Связанные регистры 0 и 1	TH1	<u>8DH</u>	Таймер1 счетчик старший байт	<u>xxxx xxxxb</u>
	TH0	<u>8Ch</u>	Timer0 счетчик старший байт	<u>xxxx xxxxb</u>
	TL1	<u>8Bh</u>	Таймер1 счетчик младший байт	<u>xxxx xxxxb</u>
	TL0	<u>8Ah</u>	кол-младший байт Timer0	<u>xxxx xxxxb</u>
	TMOD	<u>89h</u>	Timer0 / 1 Режим регистра	<u>0000 0000b</u>
	TCON	<u>88h</u>	Timer0 / 1 регистра управления	<u>0000 0000b</u>
UART0 Связанный регистр	SBUF	<u>99h</u>	регистр данных УАППО	<u>xxxx xxxxb</u>
	SCON	<u>98h</u>	Регистр управления UART0	<u>0000 0000b</u>
	T2CAP1H	<u>Cfh</u>	Timer2 захвата высокого байта данных (только для чтения)	<u>xxxx xxxxb</u>
	T2CAP1L	<u>CEh</u>	Timer2 захватить низкие байты данных A (только для чтения)	<u>xxxx xxxxb</u>
	T2CAP1	<u>CEh</u>	T2CAP1L и T2CAP1H, состоящий из 16 СФРОВ	xxxxh
	TH2	<u>CDh</u>	Таймер2 счетчик старший байт	<u>0000 0000b</u>
	TL2	<u>ЦX</u>	Timer2 Счетчик Низкий	<u>0000 0000b</u>
	T2COUNT	<u>ЦX</u>	TL2 и TH2, состоящий из 16 СФРОВ	0000h
	RCAP2H	<u>CBh</u> Количество	Перезагрузки / данные захвата зарегистрировать-старший байт	<u>0000 0000b</u>
	RCAP2L	<u>CaH</u> Количество	Перезагрузка / данных захвата зарегистрировать 2 младший байт	<u>0000 0000b</u>
	RCAP2	<u>CaH</u>	RCAP2L и RCAP2H, состоящий из 16 СФРОВ	0000h
	T2MOD	<u>C9h</u>	Таймер2 регистр режима	<u>0000 0000b</u>
	T2CON	<u>C8h</u>	Timer2 Control Register	<u>0000 0000b</u>
PWM1 и PWM2 связанные регистры	PWM_CK_SE	<u>9Eh</u>	Регистр Настройка часов Делитель PWM	<u>0000 0000b</u>
	PWM_CTRL	<u>9DH</u>	PWM Control Register	<u>0000 0010b</u>
	PWM_DATA1	<u>9Ch</u>	регистр данных PWM1	<u>xxxx xxxxb</u>
	PWM_DATA2	<u>9Bh</u>	регистр данных PWM2	<u>xxxx xxxxb</u>
SPI0 соответствующий регистр	<u>SPI0_SETUP</u>	<u>FCh</u>	регистр настройки SPI0	<u>0000 0000b</u>
	<u>SPI0_S_PRE</u>	<u>FBh</u>	SPI0 в режиме ведомого регистр данных запрограммированных	<u>0010 0000b</u>
	<u>SPI0_CK_SE</u>	<u>FBh</u>	SPI0 часы регистр настройки делителя	<u>0010 0000b</u>
	<u>SPI0_CTRL</u>	<u>FAh</u>	Регистр управления SPI0	<u>0000 0010b</u>
	<u>SPI0_DATA</u>	<u>F9h</u>	SPI0 в регистр данных приемопередатчика	<u>xxxx xxxxb</u>
	<u>SPI0_STAT</u>	<u>F8h</u>	Регистр состояния SPI0	<u>0000 1000b</u>
UART1 связанные регистры	SBAUD1	<u>C2h</u>	УАПП1 скорость передачи данных регистра настройки	<u>xxxx xxxxb</u>
	SBUF1	<u>C1h</u>	регистр данных УАПП1	<u>xxxx xxxxb</u>
	SCON1	<u>C0h</u>	Регистр управления UART1	<u>0100 0000b</u>
АЦП соответствующего регистра	ADC_DATA	<u>9Fh</u>	регистр данных АЦП	<u>xxxx xxxxb</u>
	ADC_CFG	<u>9Ah</u>	Регистр конфигурации АЦП	<u>0000 0000b</u>
	ADC_CTRL	<u>80h</u>	ADC Control Register	<u>X000 0000b</u>
Сенсорные-Кей связанные регистры	TKEY_DATH	<u>C5H</u>	высокоскоростной передачи данных байт Сенсорные-Кей (только для чтения)	<u>0000 0000b</u>
	TKEY_DATL	<u>C4H</u>	Данные низкого байта Сенсорные-Кей (только для чтения)	<u>xxxx xxxxb</u>
	TKEY_DAT	<u>C4H</u>	TKEY_DATL и TKEY_DATH, состоящий из 16 СФРОВ	00xxh
	TKEY_CTRL	<u>C3h</u>	Touch-Key Control Register	<u>X000 0000b</u>
связанных с USB-регистры	<u>UEP1_DMA_H</u>	<u>EFh</u> Конечная	точка 1 начальный адрес буфера старший байт	<u>0000 00xxb</u>
	<u>UEP1_DMA_L</u>	<u>EEh</u> Конечная	точка 1 буфера начальный адрес младший байт	<u>xxxx xxxxb</u>
	UEP1_DMA	<u>EEh</u>	UEP1_DMA_L и UEP1_DMA_H, состоящий из 16 СФРОВ	0xxxh
	<u>UEP0_DMA_H</u>	<u>EDh</u> Конечная	точка 0 и 4 начальный адрес буфера старший байт	<u>0000 00xxb</u>

	<u>UEP0_DMA_L</u>	<u>ECh</u> Конечная точка 0 и 4 буфера начальный адрес младший байт	<u>xxxx xxxxb</u>
	<u>UEP0_DMA</u>	<u>ECh</u> UEP0_DMA_L и UEP0_DMA_H, состоящий из 16 СФРОВ	<u>0xxxh</u>
	<u>UEP2_3_MOD</u>	<u>EBh</u> Регистр 3 управления конечной точки режима	<u>0000 0000b</u>
	<u>UEP4_1_MOD</u>	<u>EAh</u> Endpoint Control Register Mode 4	<u>0000 0000b</u>
	<u>UEP3_DMA_H</u>	<u>E7h</u> Конечная точка начальный адрес буфера старший байт 3	<u>0000 00xxb</u>
	<u>UEP3_DMA_L</u>	<u>E6h</u> Конечная точка начальный адрес буфера младший байт 3	<u>xxxx xxxxb</u>
	<u>UEP3_DMA</u>	<u>E6h</u> UEP3_DMA_L и UEP3_DMA_H, состоящий из 16 СФРОВ	<u>0xxxh</u>
	<u>UEP2_DMA_H</u>	<u>E5h</u> Конечная точка буфера начальный адрес старший байт	<u>0000 00xxb</u>
	<u>UEP2_DMA_L</u>	<u>E4h</u> Конечная точка 2 буфера начальный адрес младший байт	<u>xxxx xxxxb</u>
	<u>UEP2_DMA</u>	<u>E4h</u> UEP2_DMA_L и UEP2_DMA_H, состоящий из 16 СФРОВ	<u>0xxxh</u>
	<u>USB_DEV_AD</u>	<u>E3h</u> USB Device Address Регистрация	<u>0000 0000b</u>
	<u>USB_CTRL</u>	<u>E2H</u> Регистр управления USB	<u>0000 0110b</u>
	<u>USB_INT_EN</u>	<u>E1h</u> USB регистр разрешения прерывания	<u>0000 0000b</u>
	<u>UEP4_T_LEN</u>	<u>DFH</u> Конечная длина передачи регистр 4	<u>0ххй xxxxb</u>
	<u>UEP4_CTRL</u>	<u>DEH</u> Endpoint Control регистр 4	<u>0000 0000b</u>
	<u>UEP0_T_LEN</u>	<u>DDh</u> Конечная длина передачи регистра-	<u>0ххй xxxxb</u>
	<u>UEP0_CTRL</u>	<u>DCH</u> Endpoint Control Register 0	<u>0000 0000b</u>
	<u>USB_RX_LEN</u>	<u>DBh</u> Получение длины USB регистра (только для чтения)	<u>0ххй xxxxb</u>
	<u>USB_MIS_ST</u>	<u>Дax</u> Регистр Разное статус USB (только для чтения)	<u>XX10 1000b</u>
	<u>USB_INT_ST</u>	<u>D9H</u> USB прерывания регистр состояния (только для чтения)	<u>00xx xxxxb</u>
	<u>USB_INT_FG</u>	<u>D8h</u> USB регистр флаг прерывания	<u>0010 0000b</u>
	<u>UEP3_T_LEN</u>	<u>D7H</u> Конечная длина передачи регистр 3	<u>0ххй xxxxb</u>
	<u>UEP3_CTRL</u>	<u>D6h</u> Endpoint Control Register 3	<u>0000 0000b</u>
	<u>UEP2_T_LEN</u>	<u>D5h</u> Конечная длина передачи регистра 2	<u>0000 0000b</u>
	<u>UEP2_CTRL</u>	<u>D4h</u> Endpoint Control Register 2	<u>0000 0000b</u>
	<u>UEP1_T_LEN</u>	<u>D3h</u> Конечная точка 1 передает Длина регистра	<u>0ххй xxxxb</u>
	<u>UEP1_CTRL</u>	<u>D2h</u> Endpoint Регистр управления 1	<u>0000 0000b</u>
	<u>UDEV_CTRL</u>	<u>d1h</u> USB-порт регистр управления устройством	<u>10xx 0000b</u>
	<u>USB_C_CTRL</u>	<u>91h</u> регистры управления USB типа C каналом сконфигурированы	<u>0000 0000b</u>

5.3 Общие регистры 8051

Таблица Список 5.3.1 регистра общего назначения 8051

ИМЯ	адрес	описание	Сброс значения
B	<u>F0h</u> В регистре		00h
A, ACC	<u>E0h</u> аккумуляторный		00h
PSW	<u>D0h</u> Программа Status Register		00h
GLOBAL_CFG	B1h	Регистр глобальной конфигурации (состояние начальной загрузки CH552)	A0h
		Регистр глобальной конфигурации (состояние приложения CH552)	80h
		Регистр глобальной конфигурации (CH551 руководствоваться статус программы)	E0h
		Регистр глобальной конфигурации (состояние приложения CH551)	C0h
CHIP_ID	A1h CH552	идентификация чипа идентификационный код (только для чтения)	52ч
		CH551 идентификация чипа идентификационный код (только для чтения)	51ч
SAFE_MOD	<u>A1h</u> Режим	защиты регистра управления (только для записи)	00h

PCON	87h Регистратор мощности регистра (на нижнем состоянии сброса)	10h
DPH	83h Данные адреса Указатель высокого 8	00h
DPL	82h Данные Адрес Pointer Low 8	00h
DPTR	82h DPL и DPH, состоящие из 16 СФРОВ	0000h
SP	81h Указатель стека	07h

В Регистрация (B):

Бит	Имя	доступ	описание	Сброс значения
[7: 0]	B	RW	арифметические регистры, в основном для умножения и деления, могут быть битной адресацией	00h

аккумуляторный (A, АКЮ):

Бит	Имя	доступ	описание	Сброс значения
[7: 0]	A / ACC	RW	аккумулятор арифметическая операция, бита адресация может быть	00h

программа форма Государственное хранение устройство (ЗУ) :

Бит	Имя	Доступ	описание	Сброс значения
7	CY	RW	Флаг переноса: при выполнении арифметических и логических операций инструкции для записи наиболее значимый бит переноса или занимать бит, когда 8-битовый сумматор, наиболее значимый бит, бит сброшен в противном случае; 8-битное вычитание, когда Если позаимствовать бит, бит сбрасывается в противном случае, логические команды могут привести к позиции или очищена	0
6	переменный тв	RW	флаг вспомогательного переноса: добавление или запись вычитания, младшие 4 бита с высокими 4 есть перенос или заем Положение, АС комплект, в противном случае очищается	0
5	F0	RW	флаг назначения битную адресацию может быть 0: Пользователи могут определить свои собственные, может быть установлен или сброшен программно	0
4	RS1	RW	верхнего регистра выбора банка биты	0
3	RS0	RW	нижний регистр выбора банка биты	0
2	O.B.	RW	флаг переполнения: когда добавление или вычитание, результат вычисления превышает 8-битовые двоичные числа, множество O.B. 1, то флаг переполнения, в противном случае очищается	0
1	F1	GM	флаг 1 бит адресации может быть RW: Пользователи могут определить свои собственные, может быть установлен или сброшен программно	0
0	P	PO	Четность Флаг: запись инструкции выполняется в аккумуляторе А соотношений, нечетный P Установить, четное количество очистки P	0

Состояние регистра состояния процессора хранится в PSW, PSW битой адресации поддержки. Слово состояния содержит флаг переноса, вспомогательный флаг переноса обработки BCD код, флаг четности, флаг переполнения и rs0 и RS1 для выбранного банка регистров. Регион, где банк регистров можно получить, прямо или косвенно.

Таблица 5.3.2 RS1 и RS0 RS1 регистра банка таблица выбора

	RS0	Рабочая группа Регистрация
0	0	Группа 0 (00h-07h)
0	1	Группа 1 (08h-0Fh)
1	0	Группа 2 (10h-17h)
1	1	Группа 3 (18h-1Fh)

Таблица 5. Знак 3.3 Воздействия знак Бит операционной (X Флаг представляет собой и Операционные результаты Off)

операционная	CY	O.B.	переменный ток	операционная	CY	O.B.	переменный ток
ADD	X	X	X	SETB C	1		
ADDC	X	X	X	CLR C	0		

SUBB	X	X	X	CPL C	X		
MUL	0	X		MOV C, бит	X		
DIV	0	X		ANL C, немного	X		
Д.А.	X			ANL C / бит	X		
PHЦ	X			ORL C, немного	X		
RLC	X			ORL C / бит	X		
CJNE	X						

данные адреса палец Игла (DPTR) :

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	DPL		Младший байт указателя данных RW	00h
[7: 0]	DPH		Старший байт указателя данных RW	00h

DPL и DPH состоят из 16-битового указателя данных DPTR, для доступа к памяти данных XRAM или памяти программ, 16-битные данные, соответствующие фактическому указателю DPTR на два физических DPTR0 и DPTR1 XBUS_AUX динамически выбраны.

Указатель стека (SP):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	SP	RW	Указатель стека, в основном для звонков и прерывания вызовов и данных в и из стека	07h

Стек конкретные функции: точки останова защиты и защиты сцены и управляется в соответствии с принципом первым вошел, последним из них. Когда указатель стека SP автоматически увеличивается на 1, или данные, сохраненные данные точки останова, SP указатели на данные взяты, когда блок стека, указатель SP уменьшается. ИП сбрасывается при начальном значении после 07h, соответствующие магазинам стека по умолчанию начального 08h.

5.4 Уникальный регистр

Global Configuration Отправить Регистрация (GLOBAL_CFG). Может быть написано только в безопасном режиме:

место	ИМЯ	доступ	описание	Сброс значения
[7: 6]	удержание	RO к CH552, фиксированное значение 10		10b
[7: 6]	удержание	RO к CH551, фиксированное значение 11		11b
5	bBOOT_LOAD	RO	Загрузчик бит статуса для распознавания статуса начальной загрузки ISP или статуса приложения: установить мощность включена, сброс программного обеспечения очищается. Для чипа программы загрузки ISP, бит сбрасывается в программное обеспечение никогда не было описано, как правило, ISP загрузки программы после включения питания запуска состояния; 0 указывает бит сбрасывается с помощью программного обеспечения, как правило, состояние приложения	1
4	bSW_RESET	RW, контроль программного сброса бит: 1 причина программного сброса установлен, аппаратное обеспечение сбрасывается		0
3	bCODE_WE	RW	Флэш-диск и разрешение записи битов DataFlash: защиты от записи бит равен 0, как флэш-ПЗУ и перезаписываемых данных	0
2	bDATA_WE	RW	DataFlash область флэш-диск разрешения записи бит: Этот бит равен 0, то защита от записи; DataFlash область является перезаписываемый	0
1	bLDO3V3_OFF	RW	USB-питания LDO-регулятор отключить биты управления: Бит 0 позволяет LDO, может быть получено с помощью USB напряжения питания 5 В для 3.3V и внутреннего тактового генератора; Чтобы отключить LDO, V33 штифт должен быть введен электропитание 3.3V	0
0	bWDOG_EN	RW сброса сторожевого бит разрешения: Этот бит используется только для сторожевого таймера 0; этот бит сброс сторожевого генерируется, когда переполнение таймера, чтобы позволить		0

Чип идентификационный ИД Не код (CHIP_ID):

место	имя <u>доступ</u>		описание	Сброс значения
[7: 0]	CHIP_ID	РО к CH552, это фиксированное значение 52h, для идентификации чип		52ч
[7: 0]	CHIP_ID	РО к CH551, это фиксированное значение 51h, для идентификации чип		51ч

Безопасный режим контроль Регистрация системы (SAFE_MOD

): Бит	имя <u>доступ</u>		описание	Сброс значения
[7: 0]	SAFE_MOD	WO безопасного режима для ввода или прекратить		00h

Данные могут быть записаны только часть СФР в безопасном режиме, но в незащищенном режиме всегда только для чтения. Шаг в безопасный режим:

(1), запись в этот регистр 55h, (2), за которым следует AAh этот регистр;

(3), после примерно 13-23 циклов частоты в системе в безопасном режиме, период может быть переписан в пределах одного или нескольких классов безопасности

СФР СФР или нормальный;

(4), за указанный период после режима безопасности автоматически прекращается, (5), или

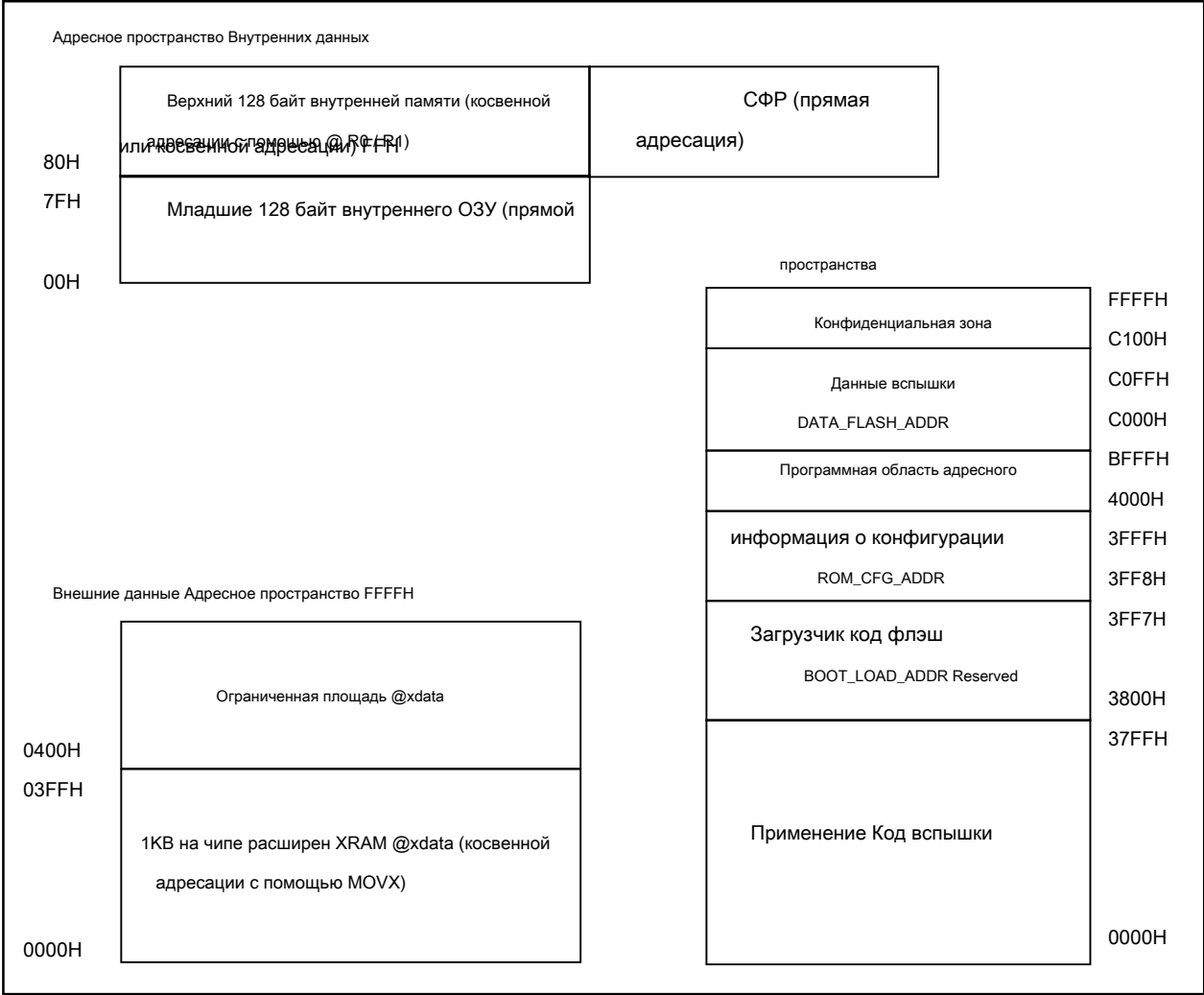
любое значение регистра записи снова в безопасном режиме могут быть прекращены досрочно.

6, структура памяти

Пространство памяти 6.1

CH552 адресное пространство разделено на пространство памяти программы, внутреннее пространство памяти данных, во внешнем пространстве памяти данных.

Рисунок 6.1 структура памяти на фиг.



объем памяти 6.2 программы

64KB пространство вообще программной памяти, как показано на рисунке 6.1, в котором 16KB ПЗУ, включая код флэш информации о конфигурации области и области информации конфигурации для хранения кодов команд.

Код флэш-приложение содержит программный код и загрузочного кода, область высокого адреса ниже адрес региона, эти две области могут быть объединены, чтобы держать единый код приложения.

Для области кода приложения CH551, только 10KB код вспышки. ПЗУ IFLASH ™ Процесс готовой заготовки после официального пакета дисков, может быть примерно в 200 раз программируются 5V питания. Флэш данных диапазон адресов для C0FFH .the к C000h (только даже адрес является действительным, есть на самом деле байты любого другого блока хранения), поддерживает только один байты (8 бит) чтений и операция записи, данные оставаться неизменной после чипа выключен. Флэш-данных поддерживает около 1 миллиона Write, рекомендуются использовать сбалансированную, отключить один и то же ячейку памяти стирания больше, чем 10K раза, если больше выносливости рекомендуется CH558 или CH546 / 7.

Информация о конфигурации Информация о конфигурации включает в себя четыре набора 16-битовых данных, чтобы 3FFFH 3FF8H адрес, только для чтения три единицы, чтобы обеспечить чип ID. Расположенный 3FF8H адрес набор данных конфигурации по желанию программиста, со ссылкой на таблицу 6.2.

Таблица 6.2 Конфигурация флэш-ПЗУ описано

Бит адрес	Бит Имя	объяснение	Рекомендуемое значение
15	код режима флэш-ROM и защита данных Code_Protect:	0- программист запрещено читать, программа секретность; 1- допустимо чтение	0/1
14	No_Boot_Load	режим BootLoader код загрузки позволяет запуск: 0 из начального адреса 0000h приложения 1- загрузки программы из загрузочного адреса 3800h	1

13	En_Long_Reset дополнительная задержка может быть сброшен во время сброса по питанию: 0- стандарт короткого сброса; 1- широкий сброс, сброс времени дополнительные 44mS	0
12	En_RST_RESET_RST контактный включен в качестве ручного ввода сброса штифта: 0- отключено; 1 - позволяет RST	0
[11:10]	удержание	(В соответствии с требованиями программиста автоматически устанавливается на 00)
9	Must_1	(В соответствии с требованиями программиста автоматически устанавливается в 1)
8	Must_0	(В соответствии с требованиями программиста автоматически устанавливается в 0)
[7: 0]	All_1	(Автоматически устанавливается программистом, необходимого для FFh)
		FFh

6.3 пространства для хранения данных

Пространство 256 внутренней памяти данных байтов показано на рисунке 6.1, и были использованы в СФР IRAM, в котором IRAM для временного стека данных и быстро, могут быть разделены, как рабочие регистры R0-R7, переменной длины в битах, байтах BDATA переменные данные, IDATA и так далее.

64KB вообще внешняя память данных, как показан на рисунке 6.1, часть расширения для листа 1KB XRAM, оставшаяся область зарезервирована. Для CH551, только 512 байт чип расширения XRAM.

Регистр 6.4 флэш-диск

Таблица 6.4 Регистрация Список операций флэш-ПЗУ

ИМЯ	адрес	описание	Сброс значения
ROM_DATA_H	8FH	Данные флэш-ROM зарегистрировать старший байт	XXH
ROM_DATA_L	8Eh	флэш-ROM данных Младший байт регистра	XXH
ROM_DATA	8Eh	ROM_DATA_L и ROM_DATA_H, состоящий из 16 СФРОВ	xxxxh
ROM_STATUS	86h	регистр состояния флэш-ПЗУ (только для чтения)	00h
ROM_CTRL	86h	управление вспышкой-ROM, регистр (только для записи)	00h
ROM_ADDR_H	85h	флэш-ROM адресный регистр старшего байта	XXH
ROM_ADDR_L	84h	флэш-ROM адресный регистр Младший байт	XXH
ROM_ADDR	84h	ROM_ADDR_L и ROM_ADDR_H, состоящий из 16 СФРОВ	xxxxh

флэш-RO M Адрес регистра (ПЗУ _АДРЕСА) :

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	ROM_ADDR_H	RW	флэш-ПЗУ адрес старший байт	XXH
[7: 0]	ROM_ADDR_L	RW	флэш-ПЗУ адрес младшие байты, поддерживает только даже адрес для флэша данных, фактическое смещения должны быть левым адрес 00H-7FH становится даже адрес 00H / 02H / 04H ... ~ ФЭ, а затем помещают	XXH

флэш-RO M Регистр данных (ПЗУ _DATA) :

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	ROM_DATA_H	RW	Данные флэш-ПЗУ, чтобы записать старший байт	XXH
[7: 0]	ROM_DATA_L	RW	флэш-ПЗУ младших байт данных, подлежащих записи, Для DataFlash, байты данных должны быть записаны или считаны байты данных	XXH

флэш-RO M Регистр управления (ROM _CTRL) :

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	ROM_CTRL	WO	регистр управления флэш-ПЗУ	00h

флэш-РОМ Регистр состояния (ROM_STATUS): Бит

	ИМЯ	доступ	описание	Сброс значения
7	удержание	RO защищены.		0
6	bROM_ADDR_OK	RO	адрес флэш-диск запись действительна бит статуса: Этот бит указывает недействительный параметр 0; 1 указывает на эффективный адрес	0
[5: 2]	удержание	RO защищены.		0000b
1	bROM_CMD_ERR	RO	флэш-РОМ рабочей команды Статус ошибки Бит: Этот бит является 0 указывает на действительную команду; 1 указывает на то, команда неизвестна	0
0	удержание	RO защищены.		0

6.5 флэш-ПЗУ Процедура

1, флэш-ПЗУ записи код региона, дважды байт данных записывается в целевой адрес: (1), в случае

необходимости флэш-диск, чтобы написать код, необходимо выбрать напряжение питания 5 В; (2),

режим безопасности включена, SAFE_MOD = 55h ; SAFE_MOD = 0AAh;

(3), регистр конфигурации, чтобы установить глобальные разрешения записи GLOBAL_CFG отверстие (bCODE_WE bDATA_WE или соответствующий код или данные), (4), при условии, что регистры ROM_ADDR адреса, запись 16-битный адрес назначения (младший бит всегда равен 0); (5), регистр данные настроек ROM_DATA, 16-разрядные записи данные должны быть записана, на стадию (4), (5) последовательность может быть отменена, (6), предусмотренный для управления работой регистра ROM_CTRL 09Ah, операция записи, во время работы автоматически останавливается; (7), программа возобновляется после завершения операции, а затем проверить статус регистр ROM_STATUS может просматривать рабочее состояние, если

Множество данных записи, петля (4), (5), (6), (7) стадия; (8), повторно ввести безопасный режим, SAFE_MOD = 55h;

SAFE_MOD = 0AAh; (9), установлен глобальный конфигурационный регистр GLOBAL_CFG открытым защищен от записи

(bCODE_WE = 0, bDATA_WE = 0).

2, область данных записи флэш-данные, одиночные байты данные записываются в целевом адрес: (1), режим безопасности включен, SAFE_MOD = 55h;

SAFE_MOD = 0AAh; (2), установите глобальную конфигурацию зарегистрировать GLOBAL_CFG Open Write Enable (bDATA_WE соответствующее данные);

(3), при условии, что ROM_ADDR адресных регистров, запись 16-битный целевой адрес, адрес 00H-7FH фактического смещения должны быть изменено на левый

Даже адрес 00H / 02H / 04H ... ~ ФЭ затем помещают, а затем конечный адрес C000h / C002H / C004 ... ; (4), регистр данных настроек ROM_DATA_L,

записи 8-битные данные должны быть записаны, стадия (3), (4) последовательности может быть обратный; (5), при условии, для управления работой

регистра ROM_CTRL 09Ah, операция записи, во время работы программа автоматически останавливается; (6), программа возобновляется после

завершения операции, а затем проверить статус регистр ROM_STATUS может просматривать рабочее состояние, если

Множество данных записи, петля (3), (4), (5), (6) стадия; (7), повторно ввести безопасный режим, SAFE_MOD = 55h;

SAFE_MOD = 0AAh; (8), установить глобальный регистр конфигурации GLOBAL_CFG открытым защищен от записи (bCODE_WE = 0,

bDATA_WE = 0).

3, считанный область данных флэш-данных, данные одного байта считываются из целевого адреса:

(1), при условии, что ROM_ADDR адресных регистров, запись 16-битный целевой адрес, адрес 00H-7FH фактического смещения должны быть изменено на левый

Даже адрес, с последующим конечным адресом C000h / C002H / C004 ... ;

(2), при условии, для управления работой регистра ROM_CTRL 08Eh, чтение операции выполняется автоматически во время работы пауз; (3), то программа продолжается операция завершена, регистра состояния случае ROM_STATUS запрос может просмотреть эту bROM_CMD_ERR

Вторичный рабочее состояние, если команда действительна, то 8-битные данные, сохраненные в считанных данных регистре ROM_DATA_L, и

(4), если множество данных, которые должны быть считаны, цикл (1), (2), (3) этап.

4, читает флэш-диск:

инструкция MOVC непосредственно, или через указатель указывает на область памяти, или данные кода чтения адреса назначения.

6.6 Бортное программирование и загрузки ISP

Когда информация о конфигурации Code_Protect = 1, данные в флэш-ПЗУ кода чипа CH552 и флэш-данных может быть внешним программистом посредством синхронного последовательного интерфейса для чтения; = 0, когда информация о конфигурации Code_Protect, флэш-ПЗУ код и данные в данном флэше защищены и не могут читать, но могут быть стерты и повторно питания после удаления защиты коды отменяются.

Когда CH552 чипа запрограммированных загрузки BootLoader программа, CH552 может поддерживать несколько ISP USB для загрузки асинхронного последовательного интерфейса или загрузки приложения, однако, ни в коем случае, когда программа загрузки, CH552 может быть написана внешней специальной программой загрузки программиста или приложения. Для того, чтобы поддержать программирование на борту, он должен быть временно 5В напряжение питания, которые должны быть зарезервированы и схема 4 соединен между выводами CH552 программиста, минимум, необходимый соединительный штифт 3: P1.4, P1.6, P1.7.

Таблица 6.6.1 и соединительные штырьки между программистом

шпилька	GPIO	Pin Описание
RST	RST сброс	в запрограммированном состоянии управления штифтом, что позволяет доступ к высокому
запрограммированный	низкий уровень сигнала SCK	запрограммированный перед входным SCK (обязательно), высокое значение по умолчанию, активный низкий уровень сигнала SCK
в запрограммированном	состояние (необходимо) MISO	состояние (необходимо) MISO
	Выходные данные штифты (при необходимости) в запрограммированной государственной P1.6	

Примечание: Независимо от наличия или бортного программирования через последовательный порт или USB-загрузки, должны быть временно использованы 5В напряжение питания.

6.7 чип уникальный идентификационный номер

Каждый микроконтроллер имеет уникальный идентификационный номер на заводе-изготовителе, то есть идентификационный номер чипа.

Идентификационные данные 5 байт, хранится в адресной информации, расположенной на 3FFAh 3FFFh информацию о конфигурации области. В котором 3FFBh адрес блок удерживания, и 8-битные данные 3FFCh 3FFDh два 16-битовые адреса и данные 40 битых адреса объединенных данных чипа ID 3FFAh.

Таблица 6.7.1 чип ID адресной таблицы

Программа Space Адрес	Описание данных ID
3FFAh, 3FFBh	Последнее слово ID данных, 40 является Наивысший порядок байт идентификационный номер, зарезервированный байт
3FFCh, 3FFDh	ID первое слово данных, с последующим наименьшим числом байтов значительного ID, второй младший байт
3FFEh, 3FFFh	Идентификационные данные суб-слово, а затем старшие байты, высокий байт идентификационного номера

Данные ID могут быть получены путем считывания кода флэш способом. идентификационные номера могут быть загружены с помощью программы для шифрования цели, общее применение, непосредственно перед использованием 32-битного идентификационного номера, то есть, 8-битные данные могут быть проигнорированы 3FFAh а

7, управление питанием, сон и сброс

Внешний вход питания 7,1

CH552-чип регулятор напряжения с малым падением напряжения 5V до 3,3, 3,3, или даже поддерживать внешний 2.8V 5V входного напряжения питания

Входное напряжение питания два Режим в следующей таблице.

Внешнее напряжение питания	VCC контактное напряжение: 3V ~ 5V внешнее напряжение	V33 контактное напряжение: 3.3V внутреннего напряжения
Состоит из менее чем 3.6V 3.3V или 3V	Внешний вход 3.3V напряжение регулятора напряжения, не должен быть подключен к не меньше, чем 0.1uF расщепления емкости	Внешний вход 3.3V в качестве внутреннего источника питания, должен быть подключен к развязывающему емкости не менее 0.1uF
Больше чем 5V 3.6V, включающий	Входное напряжение 5V регулятора напряжения, не должно быть подключено к не меньше, чем 0.1uF расщепления емкости	Внутренний регулятор напряжения 3,3 В и 3,3 В выходе входной внутренние рабочей силы должны быть соединены с не меньшим, чем 0.1uF расщепления емкости

После питания или перезагрузки системы, CH552 по умолчанию работает. Под предпосылкой для удовлетворения требований производительности, из-за более низкую частоту системы может снизить энергопотребление во время работы. Когда CH552 полностью не работает, может быть предоставлены в PD PCON войти в состоянии сна, состояние сна может быть выбрано с помощью внешнего USB бодрствования, UART0, UART1, SPI0 и некоторых GPIO.

7.2 Питание и Sleep Control Register

Таблица 7.2.1 Питание и список Регистрация Контроль сна

ИМЯ	адрес	описание	Сброс значения
WDOG_COUNT	FFh WAT	CHDOG регистр счетчика	00h
RESET_KEEP	FEh сброса	регистров временного хранения	00h
WAKE_CTRL	A9h регистр сна	управления пробуждения	00h
PCON	Регулятор	мощности регистра 87h	10h

метр Watchdog номер Регистрация (WDOG_COUNT):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	WDOG_COUNT	RW сторожевых таймеров текущего значения счетчика, истечение переполнения 0FFh рулевого управления 00h переполнение от Автоматически устанавливает флаг прерывания bWDOG_IF_TO 1		00h

Сброс Удержание Отправить Регистрация (RESET_KEEP):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	RESET_KEEP	RW сброс проведения значение регистров может быть искусственно модифицированным, в дополнении к сбросу мощности может быть Чем он очищается, любой другой сброс не влияет на величину		00h

спящий вызов Просыпайтесь регистра управления (WAKE_CTRL), Может быть записана только в безопасном режиме:

место	ИМЯ	доступ	описание	Сброс значения
<u>7</u>	bWAK_BY_USB	RW	Enable USB Wake событие, этот бит запрещает будить 0	0
<u>6</u>	bWAK_RXD1_LO	RW	УАПП1 приема пробуждения включить входной низкий, побудка запрет бит равен 0. BUART1_PIN_X = 0/1, чтобы выбрать или RXD1_ контактный RXD1	0
<u>5</u>	bWAK_P1_5_LO	RW	P1.5 режима малого включения, 0 для отключения после	0
<u>4</u>	bWAK_P1_4_LO	RW	P1.4 режима малого включения, 0 для отключения после	0
<u>3</u>	bWAK_P1_3_LO	RW	P1.3 режима малого включения, 0 для отключения после	0
<u>2</u>	bWAK_RST_HI	RW	RST высокого выхода из энергосберегающего режима включения, 0 для отключения после	0
<u>1</u>	bWAK_P3_2E_3L	RW	P3.2 и P3.3 низкого край переход позволяют услугу, пробуждение запрещено-	0
<u>0</u>	bWAK_RXD0_LO	RW	УАПП0 принимающее пробуждение включить входные низкие, 0 для отключения вслед. Выбрать контактный RXD0 или RXD0_ bUART0_PIN_X = 0/1	0

источник питания контроль Система регистра (PCON):

место	ИМЯ	доступ	описание	Сброс значения
<u>7</u>	SMOD	RW	Когда генерируется, когда УАПП0 бод таймер скорости передачи 1, выбор режима УАППО, Скорость передачи данных 2,3: 0 медленный режим; 1- Быстрый режим	0
<u>6</u>	удержание	RO	защищены.	0
<u>5</u>	bRST_FLAG1	R0	чип высокого флаг последнего сброса	0
<u>4</u>	bRST_FLAG0	R0	чип с низким флаг последнего сброса	1
<u>3</u>	GF1	RW	назначение флаг 1: Пользователи могут определить свои собственные, может быть установлен или сброшен программно	0
<u>2</u>	gf0	RW	общий флаг 0: Пользователи могут определить свои собственные, может быть установлен или сброшен программно	0
<u>1</u>	PD	RW	спящий режим включен, устанавливается после сна, оборудование автоматически очищаются после след	0
<u>0</u>	удержание	RO	защищены.	0

Таблица флаг сброса 7.2.2 чипа описаны в недавно

<u>bRST_FLAG1</u>	<u>bRST_FLAG0</u>	Сброс Описание флага
0	0	сброс программного обеспечения, Источник: bSW_RESET = 1 и (bBOOT_LOAD = 0 или bWDOG_EN = 1)
0	1	Сброс питания на источниках питания: VCC контактного напряжения находится ниже уровня обнаружения
1	0	сброс сторожевого, Источник: bWDOG_EN = 1 и тайм-аут сторожевой
1	1	Внешний сброс контактный вручную Источник: En_RST_RESET = 1 и высокий входной RST

7.3 Сброс управления

CH552 имеет четыре источника сброса: сброс мощности, внешний сброс, программный сброс, сброс сторожевого, три, принадлежащий к сбросу теплового.

7.3.1 сброса по питанию

ПОР сброса мощности генерируется на чипе напряжения схемы обнаружения. POR цепь непрерывно контролирует напряжение питания VCC штифт, при включении питания сброса VPOT ниже уровня обнаружения, автоматическая задержки Tpor с помощью аппаратных средств для поддержания состояния сброса, после CH552 задерж

Только сброс по включению питания только CH552 перезагружать информацию о конфигурации и четкий RESET_KEEP, теплый сброс не влияет на другой.

7.3.2 Внешний сброс

Это применяется к высокому уровню с помощью внешнего сброса штифта генерируется RST. Когда информация о конфигурации En_RST_RESET 1, и длительность высокого уровня по сбросу процедуры срабатывают, когда RST контактного больше, чем Trst. Когда сигнал высокого уровня подается вывести, автоматическая задержка Trdl аппаратных средств для поддержания состояния сброса, CH552 Когда задержка времени начала от 0 адреса.

7.3.3 Перезапуск программного обеспечения

CH552 поддерживает внутренний сброс программного обеспечения, так что никакой инициативы внешнего вмешательства не для сброса состояния процессора и повтора. GLOBAL_CFG установлен глобальный регистр конфигурации bSW_RESET 1, программное обеспечение может быть сброшено, и автоматическая задержка Trdl для поддержания состояния сброса, CH552 Когда время задержки начала с адреса 0, bSW_RESET бит автоматически сбрасывается аппаратно.

Когда bSW_RESET установлен в 1, если bBOOT_LOAD = 0 или bWDOG_EN = 1, то сброс bRST_FLAG1 / 0 с указанием программного сброса; если 1, если bBOOT_LOAD = 1 и bWDOG_EN = 0, то bRST_FLAG1 / 0 не будет генерировать новый bSW_RESET установить флаг сброса, после сброса флага прежде, но остается неизменным.

В последнем случае с сбросом по включению питания чипа программы загрузки ISP, питание для запуска программы загрузки, программа программного обеспечения, необходимая для сброса чипа для переключения состояния приложения, сброса программного обеспечения только причина bBOOT_LOAD очищенного состояние не влияет на bRST_FLAG1 / 0 из (с предварительной сброса bBOOT_LOAD = 1), когда состояние переключается к приложению, bRST_FLAG1 / 0 до сих пор обознач

7.3.4 Сброс сторожевого

Сброса сторожевого происходит от тайм-аут таймера. Таймер представляет собой 8-битовый счетчик, который подсчитывает частоту тактовой частоты системы Fsys / 65536, переполнение сигнала, когда счетчик полон 0FFh руль 00h.

Переполнение сторожевого таймера сигнал таймера запускает прерывания флаг bWDOG_IF_TO 1, то флаг прерывания при перезагрузке WDOG_COUNT или введите соответствующий автоматически сбрасывается, когда прерывание процедуры обслуживания.

При написании начального значения для различного подсчета WDOG_COUNT, для достижения различных периодов синхронизации Twdc. В частотном 6MHz, сторожевая синхронизация время цикла записи 00h Twdc около 2,8 секунды, около 1,4 секунды, пишущей 80h. В то время как половинная скорость 12MHz часы.

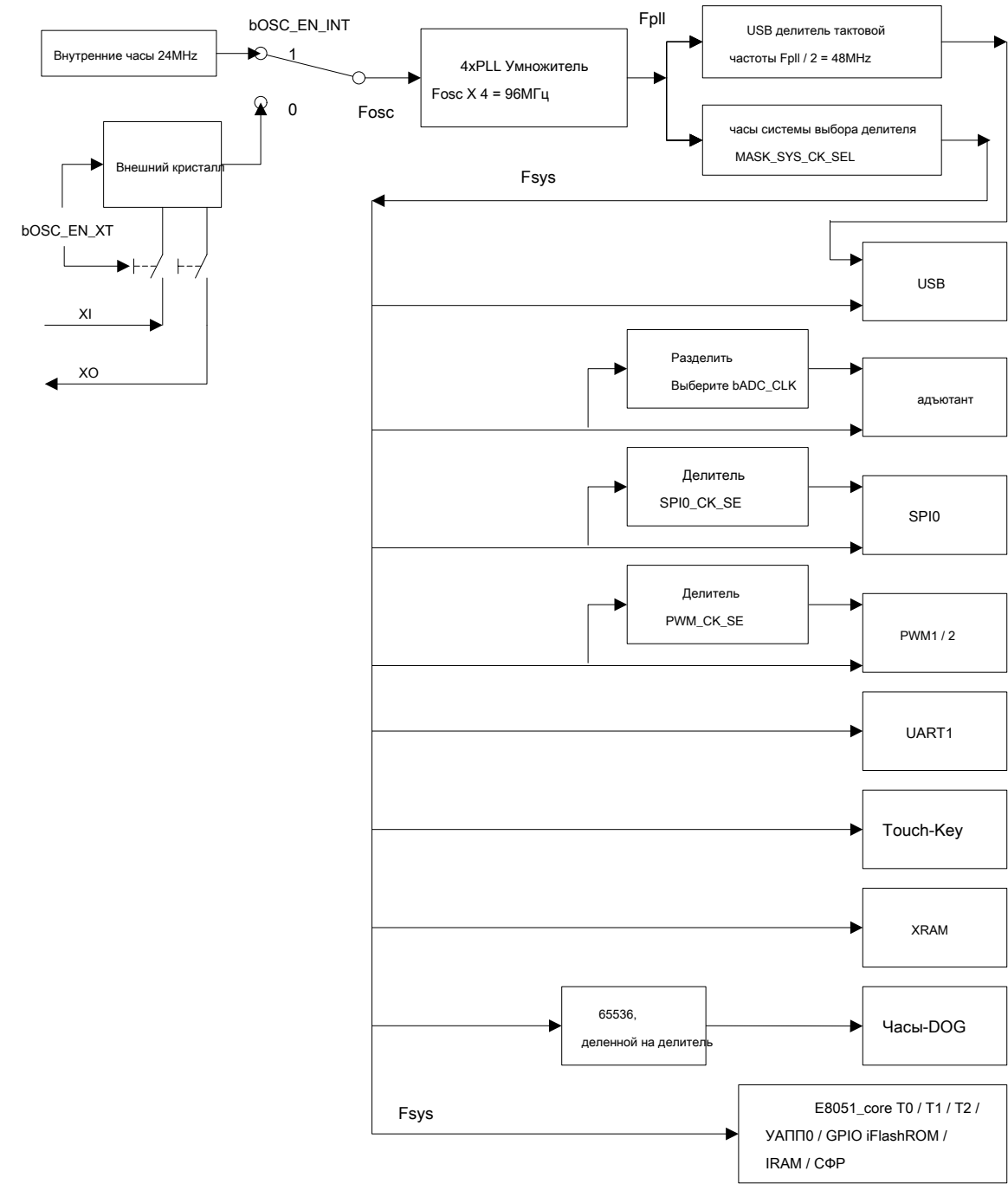
Если переполнение сторожевого таймера bWDOG_EN = 1, то сброс сторожевой генерируется, и автоматическая задержка Trdl для поддержания состояния сброса, CH552 Когда задержка времени начала от 0 адреса.

При bWDOG_EN = 1 Для того чтобы избежать сброса сторожевого сброса должен быть своевременно WDOG_COUNT, переполнение избежать.

8, системные часы

8.1 представлена блок-схема часов

И системные часы фиг схема конфигурации 8.1.1



Внутренние или внешние часы в качестве второго после выборов Fosc оригинальные часы, создавая высокую тактовую частоту, а затем после частоты Fpll 4xPLL, и, наконец, через два делителя тактовой частоты соответственно Fsys Fusb4x система синхронизации и модуль USB. Системного тактового сигнала, подается непосредственно к каждому модулю Fsys из CH552.

8.2 Описание регистров

Контроль часов Регистрация Список Таблица 8.2.1

ИМЯ	адрес	описание	Сброс значения
CLOCK_CFG	Регистр конфигурации B9h системные часы		83h

Системные часы матч регистры конфигурации (CLOCK_CFG). Может быть написано только в безопасном режиме:

место	ИМЯ	доступ	описание	Сброс значения
-------	-----	--------	----------	----------------

7	bOSC_EN_INT	RW	Внутренний тактовый генератор включен, этот бит включает внутренний тактовый генератор 1 и внутренний выбор часов; выбор внешнего кварцевого генератора обеспечивает тактовый бит выключен и внутренний генератор тактовых сигналов 0	1
6	bOSC_EN_XT	RW	Внешний кварцевый генератор включен, то бит равен 1 P1.2 / P1.3, как контактный XI / XO и включить генератор, внешний кварцевый кристалл или керамический резонатор между XO и XI; бит равен 0 Закрыть внешний генератор	0
5	bWDOG_IF_TO	RO	сторожевой таймер флаг прерывания бит, который является 1 означает прерывание, запущенные по сигналу таймера переполнения; бит равен 0 при отсутствии прерываний. Когда счетчик бит регистра WDOG_COUNT сторожевой перегружаются в соответствующий автоматически очищаются или процедуру обслуживания прерывания	0
4	bROM_CLK_FAST	RW	флэш-диск выбора опорной частоты синхронизации: 0 нормальное (если Fosc > = 16МГц); 1- ускорить (если Fosc < 16МГц)	0
3	BRST	R0	RST битовый входной контактный состояние	0
[2: 0] MASK_SYS_CK_SEL		RW	выбрать частоту системного тактового сигнала, ссылку на таблицу 8.2.2	011b

Таблица 8.2.2 Система таблица выбора частоты

MASK_SYS_CK_SEL	Fsys частоты в системе, когда кристалл	частоты Fosc Fsys 24MHz Fxt отношения, когда =	
000	Fpll / 512	Fxt / 128	187.5KHz
001	Fpll / 128	Fxt / 32	750KHz
010	Fpll / 32	Fxt / 8	3MHz
011	Fpll / 16	Fxt / 4	6MHz
100	Fpll / 8	Fxt / 2	12MHz
101	Fpll / 6	Fxt / 1.5	16МГц
110	Fpll / 4	Fxt / 1	24MHz
111	Fpll / 3	Fxt / 0,75	Бронирование, инвалиды

8.3 Часы конфигурации

После включения питания CH552 по умолчанию с помощью внутренних часов, внутренняя тактовая частота 24MHz. Могут быть выбраны внутренние часы или внешних часы на CLOCK_CFG кварцевого генератора, если вы отключите внешний кварцевый генератор, старлом и XI Pins P1.2 и P1.3 можно использовать как обычный порт ввода / вывод. Если внешние часы кварцевого генератора, он должен переключить кристалла, и X и XI соответственно GND выводы емкости, подключенной между выводами XO и XI; если входной тактовый сигнал непосредственно с внешней стороны, это должно привести от XI контактный вход, контактные X плавающий.

Оригинал тактовая частота $F_{osc} = bOSC_EN_INT \cdot 24MHz : Fxt$ ФАПЧ частоты Fpll

$= F_{osc} * 4 = 96MHz$ USB тактовая частота $F_{usb4x} = Fpll / 2 = Система 48MHz$

частоты справочная таблица 8.2.2 Fsys от частотно-деления Fpll

состояние по умолчанию после того, как сброс, $F_{OSC} = 24MHz$, $F_{pll} = 96MHz$, $F_{usb4x} = 48MHz$, $F_{sys} = 6MHz$.

Для переключения на внешний кристалл тактового генератора следующим образом:

(1), в безопасный режим, шаг $SAFE_MOD = 55h$; Шаг два $SAFE_MOD = AAh$;

(2), используя «бит или» операции набора bOSC_EN_XT CLOCK_CFG 1, остальные биты остаются неизменными, кварцевый генератор включен; (3),

количество миллисекунд задержать, как правило, 5 мс ~ 10 мс, ожидая стабильной кварцевого генератора; (4), повторно ввести безопасный режим, шаг

$SAFE_MOD = 55h$; второй этап $SAFE_MOD = AAh$; (5), с «битами и» операция в bOSC_EN_INT CLOCK_CFG очищается, остальные биты не изменяются от

внешнего тактового сигнала;

(6), безопасность от режима, произвольное значение записывается в безопасном режиме SAFE_MOD досрочного прекращения.

Шаг изменения частоты системы заключается в следующем:

(1), в безопасный режим, шаг SAFE_MOD = 55h; Шаг два SAFE_MOD = AAh; (2), чтобы записать новое значение CLOCK_CFG;

(3), безопасность от режима, произвольное значение записывается в безопасном режиме SAFE_MOD досрочного прекращения.

Примечания:

(1), если модуль USB, он должен быть Fusb4x 48MHz, а также при полной скорости USB, не ниже, чем частота системной Fsys 6MHz; при низкой скорости USB, система частоты Fsys не менее 1.5MHz.

(2), более низкий приоритет для системной тактовой частоты Fsys, уменьшая тем самым динамическую систему питания, а диапазон рабочих температур

расширяется. (3), внутренний генератор тактовых сигналов от V33 источника питания, то V33 напряжения, так что изменения низкого напряжения будет влиять на определенную внутреннюю

9, прерванный

CH552 чип поддерживает 14 набора источников прерываний сигнала, включая стандартные MCS51 совместим 6 набора прерываний: INT0, T0, INT1, T1, УАППО, T2 и 8 групп прерываются расширение: SPI0, TKEY, USB, ADC, UART1, PWMX, GPIO, WDOG, в котором прерывание GPIO может быть выбрано из семи штырей ввода / вывода.

9.1 Описание регистров

Таблица 9.1.1 вектор прерывания таблицы

Источник прерывания	Ввод номер прерывания	адрес	описание	порядок приоритета по умолчанию
INT_NO_INT0	0x0003	0	Внешнее прерывание 0	<div> <div>высокий приоритет</div> <div>↓</div> <div>↓</div> <div>↓</div> <div>↓</div> <div>↓</div> <div>↓</div> <div>↓</div> <div>↓</div> <div>↓</div> <div>↓</div> <div>↓</div> <div>низкий приоритет</div> </div>
INT_NO_TMR0	0x000B	1	Таймер 0 прерывания	
INT_NO_INT1	0x0013	2	Внешнее прерывание 1	
INT_NO_TMR1	0x001B	3	Таймер 1 прерывание	
INT_NO_UART0	0x0023	4	прерывание UART0	
INT_NO_TMR2	0x002B	5	Таймер 2 прерываний	
INT_NO_SPI0	0x0033	6	прерывание SPI0	
INT_NO_TKEY	0x003B	7	прерывание по таймеру Сенсорный ключ	
INT_NO_USB	0x0043	8	прерывание USB	
INT_NO_ADC	0x004B	9	прерывание АЦП	
INT_NO_UART1	0x0053	10	прерывание UART1	
INT_NO_PWMX	0x005B	11	PWM1 / PWM2 прерывание	
INT_NO_GPIO	0x0063	12	прерывание GPIO	
INT_NO_WDOG	0x006B	13	сторожевой таймер	

Таблица 9.1.2 Прерывание список связанных с регистром

ИМЯ	адрес	описание	Сброс значения
IP_EX	E9h	Расширенное Priority Регистр управления прерыванием	00h
IE_EX	E8h	Расширенная Interrupt Enable Register	00h
GPIO_IE	C7h	GPIO регистр разрешения прерывания	00h
IP	B8h	Управление приоритетом прерывания Регистрация	00h
IE	A8h	Регистр разрешения прерывания	00h

Прерывание Сделай Регистрация (IE):

Bit	имя	доступ	описание	Сброс значения
7	E.A.	RW	разрешения глобальных прерываний управляющий бит, бит равен 1, и 0, чтобы разрешить прерывание E_DIS, а Бит 0 маскировать все запросы прерываний	0
6	E_DIS	RW	Global прерывание отключить битое управление, бит является маскировать все запросы на прерывание, бит E 0 и 1 позволяют прерывать. Это, как правило, используется для временного отключения прерываний во время работы бит флэш-ПЗУ	0
5	ET2	RW	таймер 2 бит разрешения прерывания, что позволяет прерывание T2 равно 1; 0 щит	0
4	ES	0 RW	асинхронный последовательный порт разрешение прерывания бит, то этот бит в 1, чтобы разрешить УАППО прерывания; 0 щит	0
3	ET1	RW	таймер 1 бит разрешения прерывания, этот бит в 1, чтобы разрешить T1 прерывания; 0 щит	0
2	EX1	RW	Внешнее прерывание бит разрешения RW 1, этот бит в 1, чтобы разрешить прерывание INT1; 0 щит	0
1	ET0	RW	таймер 0 прерывания битого разрешения, то этот бит в 1, чтобы разрешить T0 прерывания; 0 щит	0
0	EX0	RW	Внешнее прерывание 0 RW бит разрешения, то этот бит в 1, чтобы разрешить прерывание INTO; 0 щит	0

распространение в Включить Проводы депозит Является ли (IE_Ex):

место	имя	доступ	описание	Сброс значения
7	IE_WDOG	RW	сторожевой таймер битого разрешения прерывания, этот бит в 1, чтобы разрешить WDOG прерывание; 0 щит	0
6	IE_GPIO	RW	GPIO прерывание битого разрешения, этот бит позволяет прерывания включены в GPIO_IE 1; 0 маскирующих все прерывания GPIO_IE	0
5	IE_PWMX	RW	PWM1 / PWM2 разрешения прерывания бит, то этот бит в 1, чтобы разрешить прерывание PWM1 / 2; 0 щит	0
4	IE_UART1	RW	асинхронный последовательный порт прерывания бит разрешения, то этот бит в 1, чтобы разрешить УАПП1 прерывания; 0 щит	0
3	IE_ADC	RW	АЦП аналогового цифрового преобразования разрешения прерывания бит, этот бит в 1, чтобы разрешить прерывание АЦП; 0 щит	0
2	IE_USB	RW	USB бит разрешения прерываний этот бит в 1, чтобы разрешить прерывание USB; 0 щит	0
1	IE_TKEY	RW	сенсорных кнопок таймера разрешение прерывания бит, этот бит позволяет прерывание таймера; 0 щит	0
0	IE_SPI0	RW	SPI0 прерывания битого разрешения, то этот бит в 1, чтобы разрешить прерывания SPI0; 0 щит	0

GPIO Регистр разрешения прерывания (GPIO IE):

место	ИМЯ	доступ	описание	Сброс значения
7	bIE_IO_EDGE	RW	Режим прерывания краев GPIO позволяет: Режим Уровень выбора бита 0 прерывания, GPIO контактный bIO_INT_ACT к активному уровню 1 и имеет запрос на прерывание, GPIO bIO_INT_ACT недействительным входной уровень равен 0, и отменяет запрос на прерывание; 1 бит выбран режим края прерывания, запрос на прерывание и прерывания флаг bIO_INT_ACT GPIO контактный край действует, программное обеспечение прерывания флаг не очищен, или сброс только тогда, когда уровень прерывания режиме или в соответствующую процедуру обслуживания прерывания когда он автоматически очищается	0
6	bIE_RXD1_LO	RW	Этот бит 1 позволяет получить УАПП1 прерывания штифта (активный режим низкого уровня, спадающий фронт активного режим); бит 0 запрещен. BUART1_PIN_X = 0/1, чтобы выбрать или RXD1_ контактный RXD1	0
5	bIE_P1_5_LO	RW	Этот бит устанавливается в 1, чтобы разрешить прерывания P1.5 активный низкий уровень (шаблон, шаблоны края Падение края активный); бит равен 0 запрета	0
4	bIE_P1_4_LO	RW	Этот бит устанавливается в 1, чтобы разрешить прерывания P1.4 активный низкий уровень (шаблон, шаблоны края Падение края активный); бит равен 0 запрета	0

3	bIE_P1_3_LO	RW	Этот бит устанавливается в 1, чтобы разрешить прерывания P1.3 активный низкий уровень (шаблон, шаблоны края Падение края активный); бит равен 0 запрета	0
2	bIE_RST_HI	RW	Этот бит равен 1 на RST разрешения прерывания (активный режим высокого уровня, краевой узор Нарастающий фронт активного); бит равен 0 запрета	0
1	bIE_P3_1_LO	RW	Этот бит устанавливается в 1, чтобы разрешить прерывания P3.1 активный низкий уровень (шаблон, шаблоны края Падение края активный); бит равен 0 запрета	0
0	bIE_RXD0_LO	RW	Этот бит 1 включает прерывание приема УАППО штифта (активный режим низкого уровня, по заднему фронту активного режима); бит 0 запрещен. Выбрать контактный RXD0 или RXD0_ bUART0_PIN_X = 0/1	0

Прерывание отключено Приоритетное регистры управления устройством (IC) :

место	ИМЯ	доступ	описание	Сброс значения
7	PH_FLAG	RO	высокий приоритет прерывания исполняющего флаг	0
6	PL_FLAG	RO	выполняет флаг низкого приоритета прерываний	0
5	PT2	RW	Таймер 2 прерываний биты управления приоритетом	0
4	PS	RW	УАППО биты управления приоритетом прерывания	0
3	PT1	RW	Таймер 1 прерываний биты управления приоритетом	0
2	PX1	RW	Внешнее прерывание 1 Управление приоритетом	0
1	PT0	RW	Таймер 0 прерываний биты управления приоритетом	0
0	PX0	RW	внешнего прерывания 0. Биты управления приоритетом	0

распространение в Прерывание управления приоритетом Отправить Регистрация (IP_EX):

место	ИМЯ	доступ	описание	Сброс значения
7	bIP_LEVEL	RO	уровень вложенности текущего прерывания бит флага, который равен 0 для без прерывания или вложенности 0 Уровень 2 прерывания, бит равен 1, это указывает на прерывания текущего уровня вложенности 1	0
6	bIP_GPIO	RW	GPIO биты управления приоритетом прерывания	0
5	bIP_PWMX	RW	PWM1 / PWM2 биты управления приоритетом прерывания	0
4	bIP_UART1	RW	UART1 биты управления приоритетом прерывания	0
3	bIP_ADC	RW	ADC прерываний управления приоритетом бит	0
2	bIP_USB	RW	USB прерывания приоритета биты управления	0
1	bIP_TKEY	RW	сенсорная кнопка таймера прерывания управления приоритетом бит	0
0	bIP_SPI0	RW	SPI0 биты управления приоритетом прерывания	0

IP_EX и IP-регистры для установки прерываний уровня приоритета, если бит установлен, соответствующий источник прерывания установлен высоким приоритет, если бит очищен, то соответствующий источник прерывания установлен на низкий приоритет. Для источников прерываний же уровня, система имеет порядок приоритета по умолчанию, по умолчанию порядок приоритета электрода, как показано в таблице 9.1.1. Какие PH_FLAG и сочетание PL_FLAG указывает на приоритет текущего прерывания.

Таблица Индикация состояния приоритета 9.1.3 Текущее прерывание

PH_FLAG	PL_FLAG	Текущее состояние прерывания приоритета
0	0	Там на данный момент нет прерывания
0	1	В настоящее время выполнения с низким приоритетом прерывания
1	0	В настоящее время выполнения высокого приоритета прерывания
1	1	Неожиданное состояние, неизвестная ошибка

10, 端口 输入 / 输出

10.1 GPIO

CH552 提供 17 个输入 / 输出端口，某些引脚具有内部上拉功能。与普通的输入 / 输出端口不同，CH552 的 P1 和 P3 端口具有地址。P2 端口是一个内部端口，只有当 R0 或 R1 寄存器中的 P2 位被选中时才能访问。

如果 P2 端口没有被配置为多路复用功能，那么它默认就是普通的输入 / 输出端口。CH552 的 P1 和 P3 端口具有地址，所有输入 / 输出端口都具有“读 - 写 - 修改 - 写”功能，支持 SETB 或 CLR 指令的操作，且不受某些寄存器的影响，如 P1 或 P3 寄存器的某些位。

10.2 GPIO 寄存器

本节所有的寄存器和位以通用格式表示：小写的“n”表示端口的序号(n=1 或 3)，而小写的“x”代表位的序号(x=0、1、2、3、4、5、6、7)。

表 10.2.1 GPIO 寄存器列表

名称	地址	描述	复位值
P1	90h	P1 端口输入输出寄存器	FFh
P1_MOD_OC	92h	P1 端口输出模式寄存器	FFh
P1_DIR_PU	93h	P1 端口方向控制和上拉使能寄存器	FFh
P2	A0h	P2 端口输出寄存器	FFh
P3	B0h	P3 端口输入输出寄存器	FFh
P3_MOD_OC	96h	P3 端口输出模式寄存器	FFh
P3_DIR_PU	97h	P3 端口方向控制和上拉使能寄存器	FFh
PIN_FUNC	C6h	引脚功能选择寄存器	80h
XBUS_AUX	A2h	总线辅助设置寄存器	00h

Pn 端口输入输出寄存器(Pn)：位

	名称	访问	描述	复位值
[7:0]	Pn.0 ~ Pn.7	RW	Pn.x 引脚状态输入和数据输出位，可以按位寻址	FFh

Pn 端口输出模式寄存器(Pn_MOD_OC)：位

	名称	访问	描述	复位值
[7:0]	Pn_MOD_OC	RW	Pn.x 引脚输出模式设置：0-推挽输出；1-开漏输出	FFh

Pn 端口方向控制和上拉使能寄存器(Pn_DIR_PU)：

位	名称	访问	描述	复位值
[7:0]	Pn_DIR_PU	RW	在推挽输出模式下是 Pn.x 引脚方向控制： 0-输入；1-输出； 在开漏输出模式下是 Pn.x 引脚上拉电阻使能控制：0-禁止上拉电阻； 1-使能上拉电阻	FFh

由 Pn_MOD_OC[x]和 Pn_DIR_PU[x]组合实现 Pn 端口的配置，具体如下。

表 10.2.2 端口配置寄存器组合

Pn_MOD_OC	Pn_DIR_PU	工作模式描述
0	0	高阻输入模式，引脚没有上拉电阻
0	1	推挽输出模式，具有对称驱动能力，可以输出或者吸收较大电流

10, порты ввода / вывода

О 10.1 GPIO

CH552 обеспечивает до 17 портов ввода / вывода, некоторые контакты, имеющие уплотненные функции. Отличающееся тем, что входные и выходные порты P1 и P3 являются немного адресацией. Порт P2 представляет собой внутренний порт, только с R0 или R1, когда р выбран доступом XRAM MOVX.

Если вывод не сконфигурирован для мультиплексной функции, по умолчанию является контактным состоянием общего назначения ввода / вывода. Как Использование общего назначения цифрового ввода / вывода, все порты ввода / вывода имеют истинное «чтение - модификация - запись» функции, поддержка SETB или CLR бит инструкции по эксплуатации и т.п., независимо изменяя направление некоторых из ниппеля или порта электрически равной.

10.2 GPIO регистр

В этом разделе, и все биты регистров в общем виде: в нижнем регистре «п» представляет номер порта (п = 1 или 3), в то время как количество строчной «х» обозначает номер бита (х = 0,1,2,3, 4,5,6,7).

Список регистров Таблица 10.2.1 GPIO

ИМЯ	адрес	описание	Сброс значения
P1	90h	Входные и выходные порты P1 регистра	FFh
P1_MOD_OC	92H	Порт выходной регистр режима P1	FFh
P1_DIR_PU	93H	P1 и выдвижной Направленный порт управления позволяют зарегистрировать	FFh
P2	A0h	P2 выходного порта регистр	FFh
P3	B0h	Регистрация входных и выходных портов P3	FFh
P3_MOD_OC	96ч	Порт P3 регистр Режим вывода	FFh
P3_DIR_PU	97H	P3 управления направлением порта и подтяжка включить регистр	FFh
PIN_FUNC	C6H	Контакт Функция Регистр выбора	80h
XBUS_AUX	A2h	Дополнительный автобус регистр настройки	00h

выходной порт Pn Выходной регистр (Pn): Бит

	ИМЯ	доступ	описание	Сброс значения
[7: 0]	Pn.0 ~ Pn.7	RW	Pn.x входных и выходных выводы данных состояния бит, бита адресация	FFh

выходной порт Pn Регистр режима (Pn _MOD_OC): Бит

	ИМЯ	доступ	описание	Сброс значения
[7: 0]	Pn_MOD_OC	RW	Pn.x настройка режима выходного контакта: 0 тянуть выход; выход с открытым стоком 1-	FFh

сторона Pn порт Так что контроль и тянуть может Регистрация (Pn_DIR_PU):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	Pn_DIR_PU	RW	является Pn.x направление контактного управляются в режиме двухтактного: 0- ввода; 1- выходы; В режиме вывода с открытым стоком является Pn.x тянуть контактный резистор включить: 0- подтяжки отключена; 1 - обеспечивает нагрузочный резистор	FFh

Pn_MOD_OC [x] и Pn_DIR_PU [x] Связанные Pn сочетание портов их, как показано ниже.

Таблица 10.2.2 композиции Регистр конфигурации порта

Pn_MOD_OC	Pn_DIR_PU	Режимы работы описаны
0	0	Высокое сопротивление режима ввода, штифты не тянет
0	1	Двухтактный режим с возможностью симметричного привода, выходом, или может поглотить большой ток

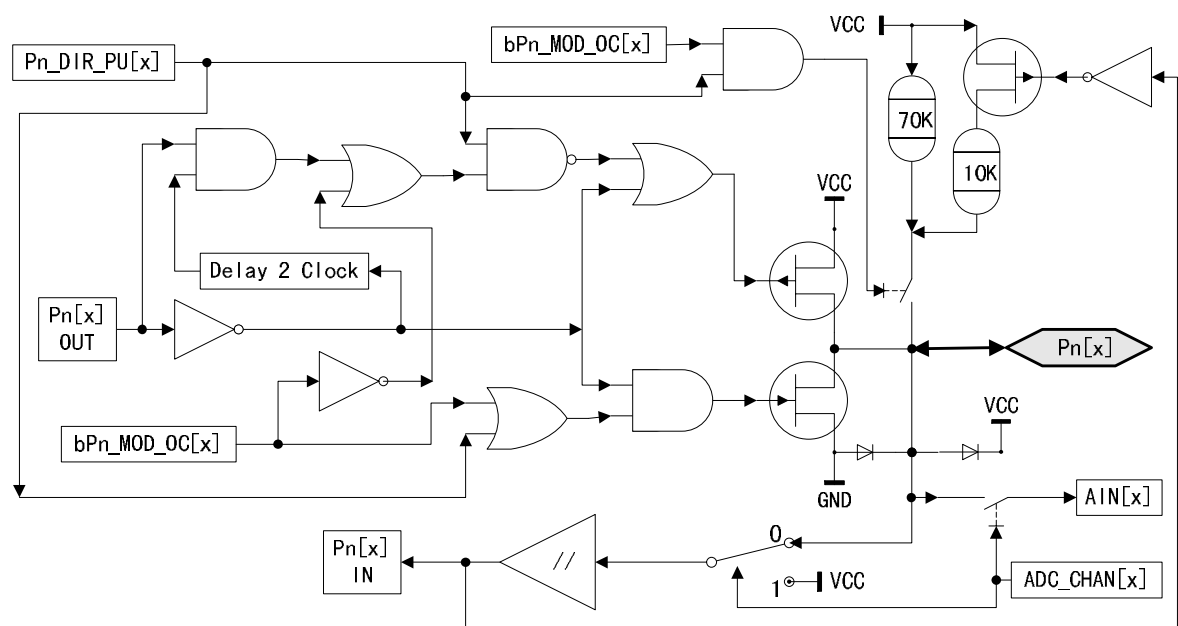
1	0	Открытый дренаж, высокий импеданс входа опорный штифт не тянет
1	1	Квази-двунаправленный режим (стандарт 8051), выход с открытым стоком, входной опорного штифт нагрузочного резистор, высокий уровень, когда выходной сигнал от низкого вращения автоматически ведомого высокими в течение двух тактовых циклов

P1 и P3 входные порты поддерживают чистый или квази-двухтактный выход и двунаправленные режимы. Нагрузочный резистор внутри каждого пальца имеет свободно контролировать, а защитный диод подключены к VCC и GND.

Фигура 10.2.1 P1.x эквивалентна схема контакты P1 порт, после удаления AIN может быть адаптирована к P3 порта. Фигура V33 к VCC после соответствующего P3.6 и P3.7, P3.6 и P3.7 т.е. тянуть или только на вход или V33 выход высокого напряжения.

P3.6 и P3.7 необязательно стандартный нагрузочный резистор (с V33), 15 кОм понижающим резистором, в котором контактный, или обеспечение сильного нагрузочный резистор 1.5KΩ (до V33). Стандартный нагрузочный резистор, который только bUSB_IO_EN = 0 режим GPIO активен, управляется битами 7 6 P3_DIR_PU; выпадающее резистор, когда bUD_PD_DIS bUC_RESET_SIE = 0 управления, независимо от bUSB_IO_EN; нагрузочный резистор к понижающим резистором 1.5KΩ преимущество сильным, в bUC_DEV_PU_EN bUC_RESET_SIE = 0, когда элемент управления, независимо от bUSB_IO_EN.

Фигура 10.2.1 I / O Pin Эквивалент Схема



10.4 GPIO мультиплексирование и отображение

CH552 часть ввод / вывод, имеющая уплотненные функции после включения питания по умолчанию общего назначения ввод / вывод общих, после включения различных функциональных модулей, соответствующие контакты выполнены в виде соответствующих функций функции, соответствующей модуль штифтов.

шпилика гонг Можно выбрать регистр (PIN_FU NC):

место	ИМЯ	доступ	описание	Сброс значения
7	bUSB_IO_EN	RW	USB-UDP / УДМ контактный бит разрешения, то этот бит равен 0 P3.6 / P3.7 к GPIO, нагрузочный резистор управления поддержка P3_DIR_PU, поддержка P3_MOD_OC; этот бит равен 1, P3.6 / P3.7 для UDP / UDM, управляется модулем USB, P3_DIR_PU и P3_MOD_OC его недействительным	1
6	bIO_INT_ACT	R0	GPIO запрос на прерывание активный: При bIE_IO_EDGE = 0, то бит равен 1, вход GPIO активный уровень, запрос на прерывание как уровень 0 указывает, что вход является недействительным, когда bIE_IO_EDGE = 1, то прерывание бит флага как край, показывающий предмет 1 Измеряется действительный край, бит не может быть сброшен программно, только тогда, когда уровень сброса или	0

			режим Off, или введите соответствующий автоматически очищается, когда программа обработки прерывания обслуживания	
5	bUART1_PIN_X	RW	Штифт Картирование УАПП1 бит разрешения, то этот бит равен 0 RXD1 / TXD1 использование P1.6 / P1.7; бит является RXD1 / TXD1 использование P3.4 / P3.2	0
4	bUART0_PIN_X	RW	УАППО Штифт Картирование бит разрешения, используя этот бит P3.0 / P3.1 = 0 RXD0 / TXD0; бит является RXD0 / TXD0 использование P1.2 / P1.3	0
3	bPWM2_PIN_X	RW	Штифт Картирование PWM2 бит разрешения, то этот бит равен 0 PWM2 используется на P3.4; бит равен 1 P3.1 с помощью PWM2	0
2	bPWM1_PIN_X	RW	Штифт Картирование PWM1 бит разрешения, то этот бит равен 0 PWM1 использование P1.5; PWM1 этот бит 1, использование P3.0	0
1	bT2EX_PIN_X	RW	T2EX / CAP2 Штифт Картирование Включить бит, который используется P1.1 0 T2EX / CAP2, с использованием RST бит из T2EX / CAP2	0
0	bT2_PIN_X	RW	T2 / CAP1 Штифт Картирование битого разрешение, которое используется P1.0 0 T2 / CAP1; этот бит равен 1, T2 / CAP1 использование P1.4	0

Таблица 10.4.1 GPIO контактный список функций мультиплексирования

GPIO	Другие особенности: приоритетный порядок слева направо
RST	RST, bT2EX_, bCAP2_, BRST
P1 [0]	T2 / bT2, CAP1 / bCAP1, TIN0, P1.0
P1 [1]	T2EX / bT2EX, CAP2 / bCAP2, TIN1, VBUS2, AIN0, P1.1
P1 [2]	XI, RXD_ / bRXD_, P1.2
P1 [3]	XO, TXD_ / bTXD_, P1.3
P1 [4]	T2_ / bT2_, CAP1_ / bCAP1_, SCS / КБС, TIN2, UCC1, AIN1, P1.4
P1 [5]	MOSI / bMOSI, PWM1 / bPWM1, TIN3, UCC2, AIN2, P1.5
P1 [6]	MISO / bMISO, RXD1 / bRXD1, TIN4, P1.6
P1 [7]	SCK / bSCK, TXD1 / bTXD1, TIN5, P1.7
P3 [0]	PWM1_ / bPWM1_, RXD / bRXD, P3.0
P3 [1]	PWM2_ / bPWM2_, TXD / bTXD, P3.1
P3 [2]	TXD1_ / bTXD1_, INT0 / bINT0, VBUS1, AIN3, P3.2
P3 [3]	INT1 / bINT1, P3.3
P3 [4]	PWM2 / bPWM2, RXD1_ / bRXD1_, T0 / BT0, P3.4
P3 [5]	T1 / bt1, P3.5
P3 [6]	UDP / bUDP, P3.6
P3 [7]	UDM / bUDM, P3.7

На столе слева направо в порядке очередности, это относится к порядку приоритета, когда множество функциональных модулей конкурируют за GPIO.

Например, когда серийное время передачи TXD для P3.1, P3.0-прежнему будет использоваться для более высокого приоритета вывода PWM1.

11, внешняя шина

CH552 чипа шина не доступна для внешнего сигнала, внешняя шина не поддерживается, но может быть доступна XRAM нормального чипа.

внешний в целом Вспомогательная линия регистр настройки устройство (XBUS_AUX):

место	ИМЯ	доступ	описание	Сброс значения
<u>7</u>	bUART0_TX	Индикация	состояния передачи R0 УАППО и 1 представляет собой процесс его передачи	0
<u>6</u>	bUART0_RX	R0 УАППО	индикации состояния приема 1 указывает процесс принимается	0

5	bSAFE_MOD_ACT	R0 обозначает режим государственной безопасности, 1 указывает на текущий режим является безопасным	0
4	удержание	RO защищены.	0
3	GF2	RW GM флаг 2: Пользователи могут определить свои собственные, может быть установлен или сброшен программно	0
2	bDPTR_AUTO_INC	Включение RW в MOVX_@ DPTR DPTR автоматически увеличивается после того, как инструкция завершена	0
1	удержание	RO защищены.	0
0	DPS	RW двойного указателя данных DPTR Бит выбора: Этот бит выбран 0 DPTR0, выбранный бит равен 1 DPTR1	0

12, Таймер Таймер

12.1 Timer0 / 1

Timer0 / 1 представляет собой два 16-разрядный таймер / счетчик, и конфигурируется TCON TMOD Timer0 и Timer1, TCON для таймера / счетчика T0 и T1 управления пуском и внешнего прерывания от переполнения контроль прерываний. Каждый таймер блока 16 состоит из двух 8-битовых регистров их синхронизация. Таймер 0 старшие байты счетчика TH0, t0 это младшие байты; старшие байты счетчика таймера 1, TH1, младший байт является TL1. Таймер 1 может также быть использован в качестве генератора УАППО скорости передачи данных.

Таблица 12.1.1 Timer0 / 1 листинг соответствующего регистра

имя	адрес	описание	Сброс значения
TH1	8DH	Таймер1 счетчик старший байт	XXh
TH0	8Ch	Timer0 счетчик старший байт	XXh
TL1	8Bh	Таймер1 счетчик младший байт	XXh
TL0	8Ah	кол-младший байт Timer0	XXh
TMOD	89h	Timer0 / 1 Режим регистра	00h
TCON	88h	Timer0 / 1 регистра управления	00h

тайминг / Контроль счетчика 0/1 система хранения Unit (TCON):

место	имя	доступ	описание	Сброс значения
7	TF1	RW	флаг прерывания TIMER1 переполнения автоматически сбрасывается после ввода таймера прерывания 1	0
6	TR1	RW	Таймер1 старт / стоп бит, набор для запуска, набор или сбрасывается с помощью программного обеспечения	0
5	TF0	RW	Автоматически очищается после TIMER0 прерывание переполнения флага, таймер 0 прерывания	0
4	TR0	RW	Timer0 старт / стоп бит, набор для запуска, набор или сбрасывается с помощью программного обеспечения	0
3	IE1	RW	INT1 Внешнее прерывание 1 флаг запроса автоматически сбрасывается после ввода прерывания	0
2	IT1	RW	Внешнее прерывание INT1 триггер управления бит 1, бит 0 внешних прерываний уровня срабатывает; бит равен 1 Внешнее прерывание заднему фронту срабатывает	0
1	IE0	RW	0 INT0 внешний бит прерывания флаг запроса автоматически сбрасывается после ввода прерывания	0
0	IT0	RW	Внешнее прерывание 0 INT0 битого управления режимом пуска, бит равен 0 уровня срабатывает внешние прерывания; бит равен 1 Внешнего прерыванием заднего фронт срабатывает	0

тайминг / Счетчик 0/1 квадрат Тип хранения Устройство (TMOD):

место	имя	доступ	описание	Сброс значения
7	bT1_GATE	RW	Ворота битого разрешения, контролировать Таймер1 начало, если влияние внешнего сигнала прерывания INT1 является. Этот бит 0 таймер / счетчик 1 запускается, и независимо от INT1; этот бит равен 1 только INT1 контактный высок и TR1, чтобы начать 1:00	0
6	bT1_CT	RW, времени или в режиме подсчета битов выбора, который работает в режиме синхронизации 0; бит равен 1 Падение край режиме счета, используются в качестве часов контактного T1		0

<u>5</u>	bT1_M1	RW, таймер	таймер / счетчик 1 выбирает режим высокого	0
<u>4</u>	bT1_M0	RW Таймер	таймер / счетчик 1 Выбор режим Low	0
<u>3</u>	bT0_GATE	RW	Ворота Включить бит, начать контроль TIMER0 ли влияет на внешнее прерывание сигнала INTO будет. Этот бит равен 0 Таймер / счетчик 0 независимо от того, чтобы инициировать INTO; этот бит равен 1 только INTO контактный высок и TR0 устанавливается в 1, чтобы начать	0
<u>2</u>	bT0_CT	RW, времени	или в режиме подсчета битов выбора, который работает в режиме синхронизации 0; бит равен 1 Падение края режиме счета, с помощью шифта в качестве тактового T0	0
<u>1</u>	bT0_M1	RW, таймер	таймер / счетчик 0 выбрать режим высокого	0
<u>0</u>	bT0_M0	RW Таймер	таймер / счетчик 0 Выбор режима Low	0

Таблица 12.1.2 bTn_M1 bTn_M0 и эксплуатации Выбор режима Timern (n = 0,1)

bTn_M1	bTn_M0	Режим Timern работы (n = 0,1)
0	0	0:13 битный режим таймера / счетчиком n, нижние 5 бит блока подсчета и TLn Thn состава три высоких TLN недействительных. Становится 0, когда счетчик переполнен, флаг переполнения TFN установлен, и должен быть сброшен от исходного значения 13 всех 1
0	1	Режим 1:16 разрядный таймер / счетчик n, блок подсчета и состав TLn Thn. Становится 0, когда счетчик переполнен, флаг переполнения TFN установлен, и должны быть сброшены из начальных значений всех 16-бит 1
1	0	Режим 2: 8-разрядный перезарядка таймер / счетчик n, с использованием счетной единицы TLN, Thn счетной единицы в качестве нагрузки тяжелой. Граф изменяется от 1 до 8 полных полный 0, то флаг переполнения TFN установлен, и автоматически загружает начальное значение из
1	1	Режим 3: Если таймер / счетчик 0, таймер / счетчик 0 делится на две части TL0 и TH0, TL0 как 8-разрядный таймер / счетчик, занимает все контрольные биты Timer0; TH0 и сделать еще один 8-разрядный таймер использование, рода занятия Таймер1 из TR1, TF1 и прерываний ресурсов, и на этот раз Таймер1 все еще доступен, но не может использовать контроль битого TR1 и флаг переполнения TF1. Если таймер / счетчик 1, а затем войти в режим 3 будет остановить таймер / счетчик 1.

Таймер метр Младшие байты (TL N) (N = 0 1):

место	имя доступ		описание	Сброс значения
[7: 0]	TLn	RW	Младший байт счетчика Timern	XXH

Таймер метр Большое количество байт (TH N) (N = 0 1):

место	имя доступ		описание	Сброс значения
[7: 0]	Thn	RW	Старший байт счетчика Timern	XXH

12,2 Timer2

Таймер2 16-битный автоперезагрузки таймер / счетчик, и сконфигурирован через T2CON T2MOD регистр, счетчик таймера старший байт 2 TH2, младший байт является TL2. Таймер2 в качестве генератора скорости передачи данных UART0 дополнительно включает в себя захват уровня сигнала двусторонний, счетчик захвата хранится в регистре RCAP2 и T2CAP1.

Таблица 12.2.1 Timer2 соответствующий список регистров

ИМЯ	адрес	описание	Сброс значения
TH2	CDh	Таймер2 счетчик старший байт	00h
TL2	ЦX	Timer2 Счетчик Низкий	00h
T2COUNT	ЦX	TL2 и TH2, состоящий из 16 СФРОВ	0000h
T2CAP1H	CfH	Таймер2 захвата высокого байта данных (только для чтения)	XXH
T2CAP1L	CEh	Таймер2 захватить низкие байты данных A (только для чтения)	XXH
T2CAP1	CEh	T2CAP1L и T2CAP1H, состоящий из 16 СФРОВ	xxxxh

RCAP2H	Данные САН перезарядка отсчет / захвата зарегистрировать 2 старший байт	00h
RCAP2L	САН перезарядка подсчет / захват регистр данных 2 младшего байта	00h
RCAP2	САН RCAP2L и RCAP2H, состоящий из 16 СФРОВ	0000h
T2MOD	C9h Таймер2 регистр режима	00h
T2CON	C8h Timer2 Control Register	00h

тайминг / Контроль регистра счетчика 2 Регистрация (T2CON):

место	имя	доступ	описание	Сброс значения
7	TF2	RW	При bT2_CAP1_EN = 0, флаг Timer2 перелива прерывания, когда счетчик становится Timer2 от 16 до 1:00 полного, флаг переполнения устанавливаются в 1, потребности программного обеспечения должны быть очищены полно; когда RCLK = 1 или TCLK = 1, когда этот бит не будет установлен	0
7	CAP1F	RW	При bT2_CAP1_EN = 1, флаг прерывания Таймер2 захвата, с помощью эффективного T2 триггер края, программа должна быть очищена	0
6	EXF2	RW	Timer2 флаг внешнего триггера, когда действительный край EXEN2 = 1 T2EX вызвано множеством, потребности программного обеспечения должны быть очищены	0
5	RCLK	RW	УАППО получают выбор часов, выбранный бит равен 0 Таймер1 импульса переполнения скорости генерации в боды, это 1 для Timer2 импульсов, генерируемых переливного бод	0
4	TCLK	RW	Выбор УАППО тактовой частота передачи, выбранный бит равен 0 Таймер1 переполнение скорости передачи генерации импульсов, оно равно 1 для Timer2 импульсов, генерируемых переливного бод	0
3	EXEN2	RW	T2EX триггера позволяют бит, то этот бит игнорируется T2EX 0; бит 1 включает триггер активный фронт перегруженный или при захвате T2EX	0
2	TR2	RW	Timer2 старт / стоп бит, набор для запуска, набор или сбрасывается с помощью программного обеспечения	0
1	C_T2	RW	Таймер2 источник тактового сигнала Бит выбора, бит равен 0, используя внутренние часы, бит 1 на основе спадающий фронт счета контактный T2	0
0	CP_RL2	RW	Функция Timer2 Бит выбора, если RCLK или TCLK равен 1, то бит должен быть принужден к нулю. Этот бит равен 0 Таймер2 счетчик / таймер событий, и автоматически перезагрузить начальное значение счетчика, когда счетчик переполнения или изменение уровня T2EX; этот бит 1 включает захват Таймер2 2 функций, чтобы захватить действительный край T2EX	0

тайминг Режим / 2 Отправить Счетчик Регистрация (T2MOD):

место	имя	доступ	описание	Сброс значения
7	bTMR_CLK	RW	Выбранная быстрая синхронизацией T0 Режим / T1 / T2 таймер позволяет быстрые часы, бит является системой, использующим разделение частот Fsys не в качестве счетчика часов; бит равен 0, частота использования разделенных часов. Этот бит не оказывает никакого влияния на таймер критерии выбора часов	0
6	bT2_CLK	RW	Таймер2 внутренних часы Битого выбора, бит 0 выбран из часов, таймер / режима Fsys / 12 стандартного счетчика, режим синхронизации УАППО Fsys / 4; бит = 1, выбирает из часы, таймер / режим быстрого счетчика Fsys / 4 (bTMR_CLK = 0) или Fsys (bTMR_CLK = 1), режим синхронизации УАППО Fsys / 2 (bTMR_CLK = 0) или Fsys (bTMR_CLK = 1)	0
5	bT1_CLK	RW	Таймер1 внутренние часы выбора частоты бит, который выбран из 0 стандартных часов Fsys / 12; 1 выбирают из быстрых часов Fsys / 4 (bTMR_CLK = 0) или Fsys (bTMR_CLK = 1)	0
4	bT0_CLK	RW	Timer0 внутренние часы выбора частоты бит, который выбран из 0 стандартных часов Fsys / 12; 1 выбирают из быстрых часов Fsys / 4 (bTMR_CLK = 0) или Fsys (bTMR_CLK = 1)	0

3	bT2_CAP_M1	RW	Высокая Timer2 Выбор режима съемки	Режим съемки: X0: 01 от падения края до края падения: с любого направления в произвольном направлении, то есть изменение уровня 11: от нарастающего фронта к переднему фронту	0
2	bT2_CAP_M0	RW	Timer2 Режим съемки Низкий		0
1	T2OE	RW	Таймер2 выход тактового бит разрешения, которое отключает выходной сигнал равен 0; бит 1 половины тактовых импульсов выходной контакт T2, частота Таймер2 скорость перелива		0
0	bT2_CAP1_EN	RW	Когда RCLK = 0, TCLK = 0, CP_RL2 = 1, C_T2 = 0, T2OE = 0 при захвате режим включен, то бит захвата включить функцию захватывает активный фронт T2; бит выключен 0 1 Захват		0

граф перегрузка / Сбор данных 2 депозит Устройство (RCAP2):

Бит	Имя	доступ	описание	Сброс значения
[7: 0]	RCAP2H	RW, это	старший байт значения перегрузочной в режиме таймер / счетчик; находится в режиме захвата CAP2 захватил старший байт таймера	00h
[7: 0]	RCAP2L	RW, это	младшие байты значения перегрузочного в режиме таймера / счетчике; находится в режиме захвата CAP2 захватил младший байт таймера	00h

Количество Timer2 Количество устройств (T2CQ U NT):

Бит	Имя	доступ	описание	Сброс значения
[7: 0]	TH2	RW	текущего счетчика старший байт	00h
[7: 0]	TL2	RW	текущего счетчика младший байт	00h

1 Данные захвата Timer2 (T2CAP1): Бит

Имя	доступ	описание	Сброс значения
[7: 0] T2CAP1H	RO	CAP1 захватил старший байт таймера	XXH
[7: 0] T2CAP1L	RO	CAP1 захватил младший байт таймера	XXH

Функция 12,3 PWM

CH552 обеспечивает два 8-битный ШИМ, ШИМ может выбрать выход по умолчанию является низкой или высокой полярности, может быть динамически изменен ШИМ цикла выходного долг, за счет интеграции простой RC нижних частот фильтрации резистор конденсатор может получение различных выходных напряжений, соответствующее низкой скорости, цифроаналоговый преобразователь ЦАП.

Выходной долг = $PWM1 \cdot PWM_DATA1 / 256$, поддерживает диапазон от 0% до 99,6%. Выходной рабочий $PWM2 = PWM_DATA2 /$

256, поддерживает диапазон от 0% до 99,6%. На практике рекомендуется, чтобы позволить ШИМ выход контактный выходной

ШИМ контактный и режим, расположенный двухтактный.

12.3.1 PWM1 и PWM2

Таблица 12.3.1 PWM1 и PWM2 списки соответствующих регистров

ИМЯ	адрес	описание	Сброс значения
PWM_CK_SE	9Eh	Регистр Настройка часов Делитель PWM	00h
PWM_CTRL	9DH	PWM Control Register	02h
PWM_DATA1	9CH	регистр данных PWM1	XXH
PWM_DATA2	9Bh	регистр данных PWM2	XXH

данные PWM2 Регистрация (PWM_DATA2):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	PWM_DATA2	хранения	текущих данных RW PWM2, Выход PWM2 скважность активного уровня = PWM_DATA2 / 256	XXH

данные PWM1 Регистрация (PWM_DATA1):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	PWM_DATA1	хранения	текущих данных RW PWM1, Выход PWM1 скважность активного уровня = PWM_DATA1 / 256	XXH

PWM контроль Система регистра (PWM_CTRL):

Бит	ИМЯ	доступ	описание	Сброс значения
<u>7</u>	bPWM_IE_END	RW	Этот бит равен 1, так что конец цикла ШИМ или буфер пустой прерывания MFM	0
<u>6</u>	bPWM2_POLAR		Полярности выхода управления RW PWM2, бит равен 0, низкое значение по умолчанию, существует высокий уровень Эффект, бит является высоким по умолчанию, активный низкий	0
<u>5</u>	bPWM1_POLAR		Полярности выхода управления RW PWM1, бит равен 0, низкое значение по умолчанию, существует высокий уровень Эффект, бит является высоким по умолчанию, активный низкий	0
<u>4</u>	bPWM_IF_END	RW	Очистить конец цикла ШИМ прерывания бит флага, который прерывает 1 означает, записи 1, чтобы очистить или перезагрузить PWM_DATA1 данных	0
<u>3</u>	bPWM2_OUT_EN	RW	включен выход PWM2, этот бит 1 включает выход PWM2	0
<u>2</u>	bPWM1_OUT_EN	RW	включен выход PWM1, этот бит 1 включает выход PWM1	0
<u>1</u>	bPWM_CLR_ALL	RW	Этот бит сбрасывается в отсчету PWM1 и PWM2 и FIFO, потребности программного обеспечения должны быть очищены	0
<u>0</u>	удержание	RO	защищены.	0

PWM часы разделены Регистр установки частоты (PWM_CK_SE):

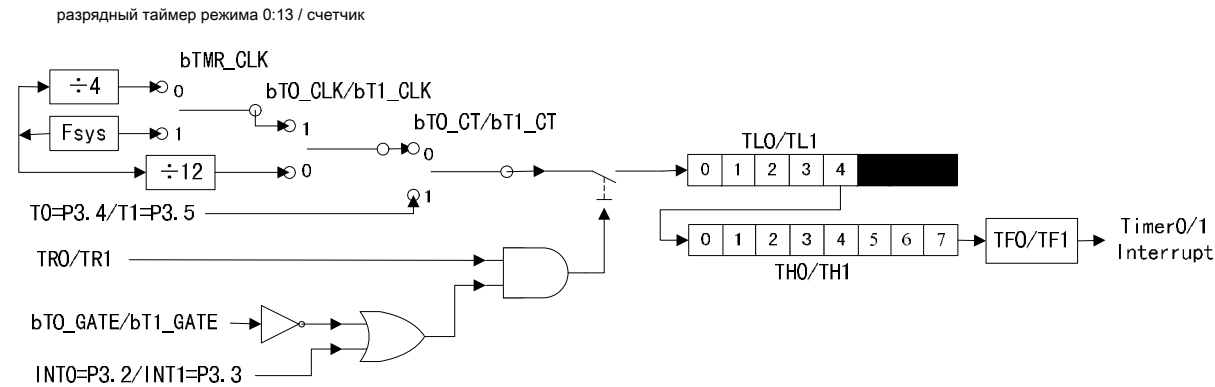
место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	PWM_CK_SE	Набор RW	делитель тактовой частоты ШИМ делитель	00h

12.4 Функция таймера

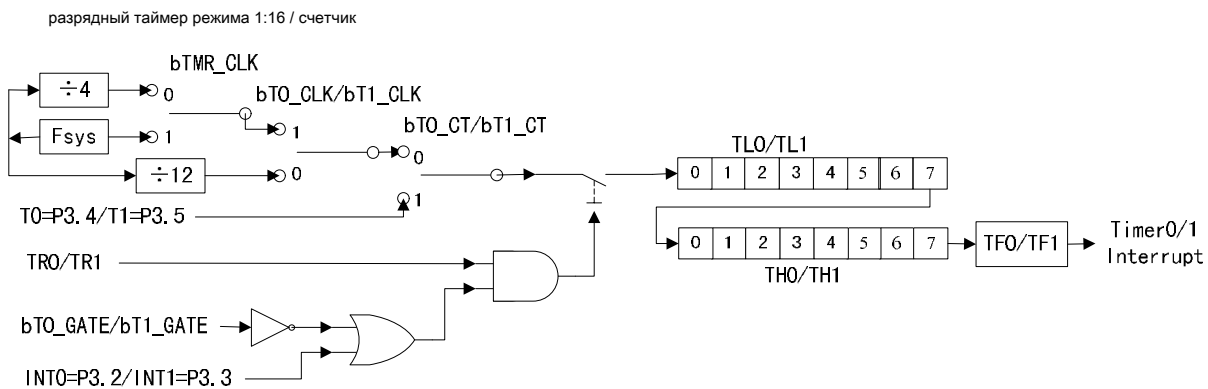
12.4.1 Timer0 / 1

(1) Установка таймера T2MOD выбран внутренняя тактовая частота, если bTn_CLK (n = 0/1) часы, соответствующие 0, то Timer0 / 1

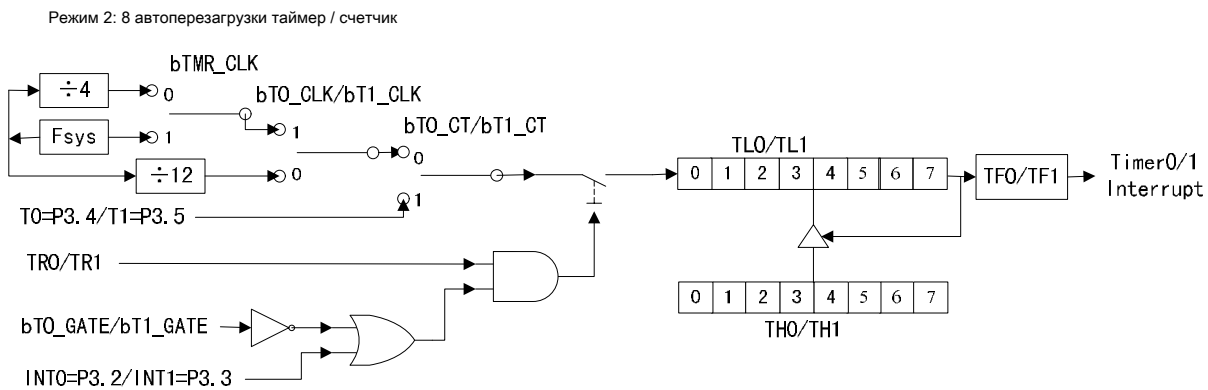
Является ли Fsys / 12, если bTn_CLK является 1 или bTMR_CLK = 0 1 Выберите Fsys / 4 или Fsys как часы. (2), рабочий режим настройки TMOD таймера.



На фигуре 12.4.1.1 Timer0 / 1 Режим 0

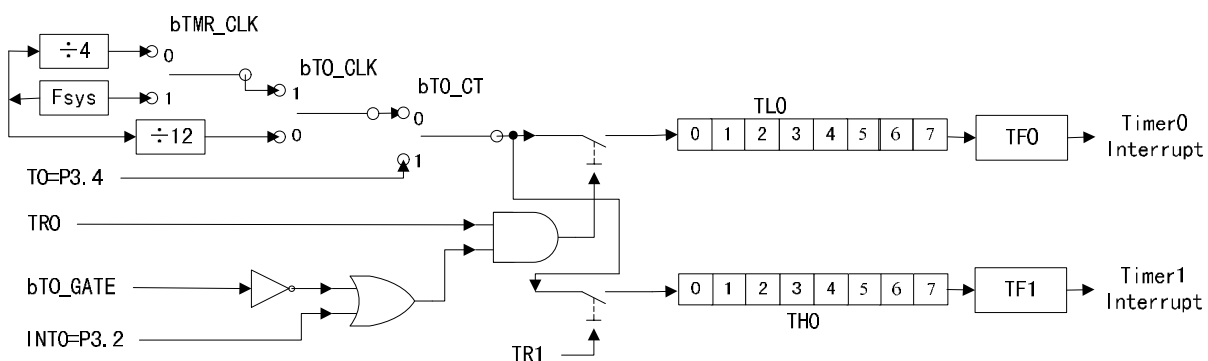


На фигуре 12.4.1.2 Timer0 / 1 Режим 1



На фигуре 12.4.1.3 Timer0 / 1 Режим 2

Режим 3: Timer0 на два отдельных 8-разрядный таймер / счетчик, и управляющие биты Таймер1 заема TR1; TR1 Таймер1 заменен биты управления
заимствованы ли активировать режим 3, режим 3 входит Таймер1 Таймер1 останавливается.



Режим фиг 12.4.1.4 Timer0 3

(3), установить таймер / счетчик и начальное значение TLn Thn ($n = 0/1$).

(4) предусмотрен в TCON битой TRn ($n = 0/1$) с или остановить таймер / счетчик может быть ($n = 0/1$), или запрос бита через TFN

Через прерывание обнаруживается.

12.4.2 Timer2

Таймер2 16-битный режим перезагрузки таймер / счетчик:

(1), установить бит в RCLK и TCLK T2CON равен 0, то режим генератора без выбранной скорости передачи данных. (2), при условии, в T2CON C_T2 битого 0 выбирается с помощью внутренних часов, перейти на стадию (3); 1 также может быть установлено, чтобы выбрать задний фронт контактного T2

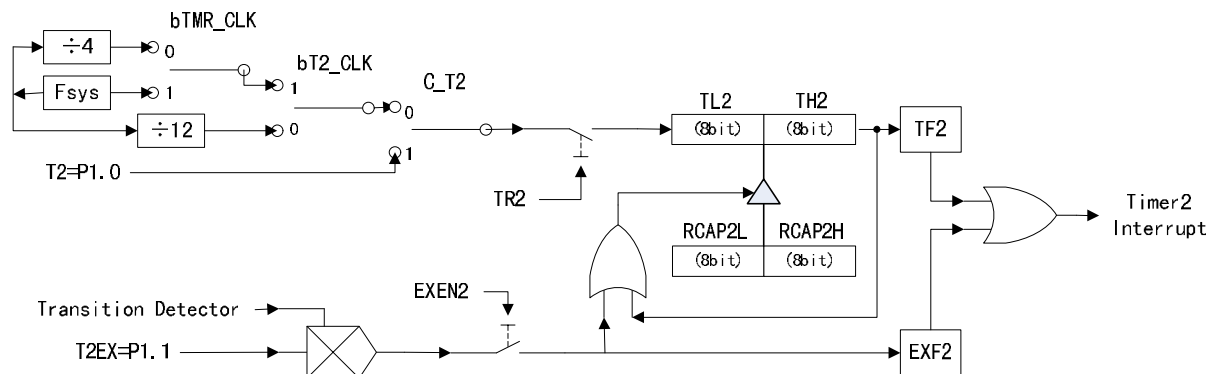
В качестве счетчика часов, пропустить стадию (3).

(3), при условии, T2MOD выбор таймера внутренней тактовой частоты, если bT2_CLK равен 0, то часы Таймер2 $F_{sys} / 12$, такие, как

Если bT2_CLK равен 1, то 1 или bTMR_CLK = 0 Выбор $F_{sys} / 4$ или F_{sys} как часы. (4), при условии, T2CON CP_RL2 бит в 0, чтобы выбрать 16-битный таймер перезагрузки Таймер2 / счетчик функций. (5), и RCAP2H RCAP2L установить, чтобы перезагрузить значение переполнения таймера устанавливается как значение таймера TL2 и TH2 (как правило, с

RCAP2L и RCAP2H же), к набору TR2, открытый Таймер2. (6), или путем запроса прерывания TF2

таймера 2 можно получить текущее состояние таймера / счетчика.



На фигуре 12.4.2.1 Таймер2 16-битный перезагрузка таймер / счетчик

Режим вывода часы Timer2:

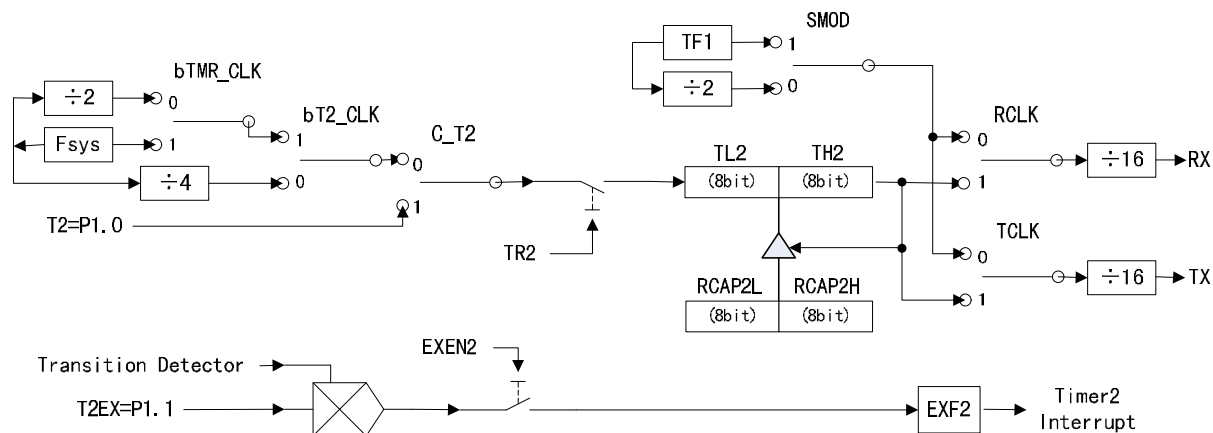
Ссылка 16-битный режим перезагрузки таймер / счетчик, а затем установить бит в T2OE T2MOD равен 1, так что из выходного контактного T2 TF2 тактовой частотой, разделенной на два.

Режим генератора последовательной скорости передачи Таймер2 0:

(1), предоставляются в T2CON C_T2 0, чтобы выбрать внутренние часы может быть установлено в 1, чтобы выбрать спадающий фронт тактового сигнала контактного T2, корень

Он должен быть установлен в T2CON TCLK и RCLK один бит 1: 1, в котором выбор режима генератора скорости передачи в бодах. (2), при условии, T2MOD выбор таймера внутренней тактовой частоты, если bT2_CLK равен 0, то часы Таймер2 $F_{sys} / 4$; а

Если bT2_CLK равен 1, то 1 или bTMR_CLK = 0 Выберите $F_{sys} / 2$ или F_{sys} часов. (3), и RCAP2H RCAP2L установленное значение для перетоков таймера перезагрузки, 1 установлен TR2, открытый Таймер2.



Фигура 12.4.2.2 Timer2 UART0 генератор частоты бод

Timer2 режим захвата двухканальный:

(1), установить бит в RCLK и TCLK T2CON равен 0, то режим генератора без выбранной скорости передачи данных.

(2), при условии, в T2CON C_T2 битого 0 выбирается с помощью внутренних часов, перейти на стадию (3), также может быть установлено, чтобы выбрать контактное падение T2

Край в качестве счетчика часов, пропустить стадию (3).

(3), при условии, T2MOD выбор таймера внутренней тактовой частоты, если bT2_CLK равен 0, то часы Таймер2 Fsys / 12, такие, как

Если bT2_CLK равен 1, то 1 или bTMR_CLK = 0 Выбор Fsys / 4 или Fsys как часы. (4), и режим захвата соответствующей

кромки при условии, T2MOD bT2_CAP_M1 bT2_CAP_M0 выбран бит. (5), набор, выбор функции захвата T2EX контактный Timer2

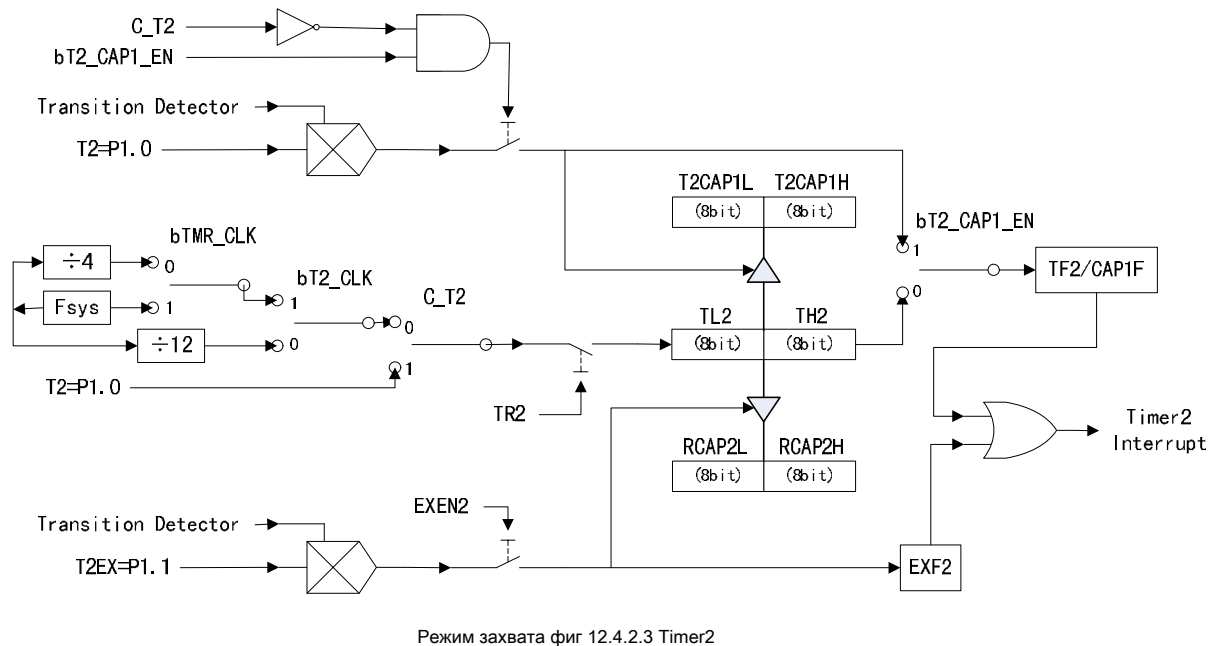
является CP_RL2 T2CON бит. (6), TL2 и TH2 устанавливаются для значения таймера, установленного на 1 TR2, открытый Timer2.

(7), когда захват завершается CAP2, RCAP2L RCAP2H сэкономить время и значение счетчика TL2 и Th2, и EXF2 набора, в результате чего

Прерывание, разница между следующим захватом и RCAP2H RCAP2L с последним захвачена RCAP2L и RCAP2H, сигналом шириной между двумя действительными краями.

(8), если бит C_T2 T2CON равен 0, а бит bT2_CAP1_EN T2MOD равен 1, то команда включает Таймер2

Захват штифтового T2, когда CAP1 захват завершен, T2CAP1L T2CAP1H сохраняется, а затем значение счетчика TL2 и TH2, и множество CAP1F, генерируется прерывание.



13, UART Универсальный асинхронный приемопередатчик

13,1 УАПП Профиль

чип CH552 обеспечивает два последовательных асинхронных полнодуплексных: UART0 и uart1. CH551 обеспечивают только от УАПП0. MCS51 УАПП0

стандартный последовательный порт, который передается и принимается SBUF доступа к данным, физически отделены друг от приема / передачи

зарегистрировать достижения. SBUF загружает регистр данных передачи записывается для чтения SBUF операции, соответствующей приемные буферного регистр.

MCS51 серийный УАПП1 упрощается, которые получают и доступ посылать данные SBUF1 физически отделены друг от приема / передачи регистра

достижения. SBUF1 регистр записи данных передачи загружается, чтобы SBUF1 операции чтения, соответствующей приемной буферный регистр. По

сравнению УАПП0 УАПП1 многопроцессорной удаляли и фиксировали режим связи скорость передачи данных, независимый генератор скорости передачи УАПП1.

13.2 UART Регистры

Таблица 13.2.1 UART связанного список регистров

ИМЯ	адрес	описание	Сброс значения
SCON	98h	Регистр управления UART0	00h
SBUF	99h	регистр данных УАПП0	xxh

SCON1	C0h	Регистр управления UART1	40h
SBUF1	C1H	регистр данных УАПП1	XXH
SBAUD1	C2h	УАПП1 скорость передачи данных регистра настройки	XXH

13.2.1 UART0 Описание регистров

УАПП 0 управляющий регистр депозит Устройство (SC ON):

Бит	Имя	Доступ	описание	Сброс значения
7	SM0	RW	УАППО рабочий режим выбора бита 0, этот бит выбирает 8-битовых данных равно 0 асинхронной передачи; 9-битовые данные бит асинхронную связь 1	0
6	SM1	RW	Выбор режима работы УАППО бит 1, бит 0 установлен в фиксированной скорости передачи данных; 1-разрядная переменная скорость передачи данных устанавливается, генерируется с помощью таймера T1 или T2	0
5	SM2	RW	UART0 многопроцессорных биты управления связью: Когда режимы 2 и 3 получают данные, когда 1 SM2 =, если RB8 равен 0, то RI не установлен, принятый в силе, если RB8 равен 1, то RI установлен, прием действителен; SM2 = 0, независимо от RB8 является 0 или 1, настроены на прием бит данных RI, получая активным; когда режим 1, если SM2 = 1, то только получает действительную стоп-бит, прием действителен; Когда режим 0, SM2 бит должен быть установлен в 0	0
4	REN	RW	УАППО позволило получить контрольный бит, который является 0 получить отключено; 1 в этот бит позволяет приемнику	0
3	TB8	RW	9-ый бит данных передачи в режиме 2 и 3, TB8 для записи данных для передачи бита 9-й, бит четности может быть, в мульти-машинного интерфейса с, используется для представления адрес хоста или посланный байт байты данных, TB8 = 0 данные, TB8 = 1 адрес	0
2	RB8	RW	Девятый бит принятых данных, и режим 2. 3, 9-й бит RB8 для хранения принятых данных; когда режим 1, если SM2 = 0, то RB8 для сохранения принятого стоп-бит; в режиме 0 не использовать RB8	0
1	TI	RW	передает флаг прерывания, байт данных посылается после набора с помощью аппаратных средств, программного обеспечения	0
0	Род-Айленд	RW	получить прерывания битовый флаг, байт данных, полученных с помощью действительный набор аппаратных средств, необходимо программное обеспечение	0

Выбор режима Таблица 13.2.1.1 УАППО

SM0	SM1	описание
0	0	0 Режим, режим регистр сдвига, скорость передачи фиксируется Fsys / 12 0
	1	1, 8-битный режим асинхронной передачи, с переменной скоростью передачи данных, генерируемый таймером T1 или T2
2	0	2, 9 0-бит асинхронного режима связи, скорость передачи равна Fsys / 128 (SMOD = 0) или Fsys / 32 (SMOD = 1)
	1	Режим асинхронной передачи 3, 9 1 бит, с переменной скоростью передачи данных, генерируемый таймером T1 или T2

В режиме 1 и 3, когда RCLK = 0, и когда TCLK = 0, скорость передачи данных УАППО генерируется T1 таймера. T1 должен быть установлен в режим 2 8 с режимом таймера автоматической перезагрузки, bT1_CT bT1_GATE и оба должны быть 0, следующий случай категории часы.

таблица 13.2.1.2 Производящие рассчитывается путем T1 UART0 бода

bTMR_CLK	bT1_CLK	SMOD	описание
1	1	0	TH1 = 256 - Fsys / 32 / бод
1	1	1	TH1 = 256 - Fsys / 16 / бод
0	1	0	TH1 = 256 - Fsys / 4/32 / бод
0	1	1	TH1 = 256 - Fsys / 4/16 / бод

X	0	0	$TH1 = 256 - F_{sys} / 12/32 / \text{бод}$
X	0	1	$TH1 = 256 - F_{sys} / 12/16 / \text{бод}$

В режиме 1 и 3, когда RCLK = 1 или TCLK = 1, скорость передачи данных УАППО генерируется с помощью таймера T2. T2 должен быть установлен в 16-битного генератор скорости передачи данных режима автоперезагрузки, C_T2 CP_RL2 и оба должны быть 0, следующий случай категории часы.

Скорость передачи данных Таблица 13.2.1.3 УАППО генерируется по формуле T2

bTMR_CLK	bT2_CLK	описание
1	1	$RCAP2 = 65536 - F_{sys} / 16 / \text{бод}$
0	1	$RCAP2 = 65536 - F_{sys} / 2/16 / \text{бод}$
X	0	$RCAP2 = 65536 - F_{sys} / 4/16 / \text{бод}$

данные UART0 Регистрация (SBU F): Бит

Бит	Имя Доступ		описание	Сброс значения
[7: 0]	SBUF	RW	Данные УАППО регистр, включая отправку и прием на два физически отдельном регистре. Передающие данные, соответствующие данным записи в регистр SBUF; SBUF, соответствующий считывать данные из регистра приемника данных,	XXH

13.2.2 UART1 Описание регистров

УАПП 1 управляющий регистр депозит Устройство (SC ON1):

Бит	Имя Доступ		описание	Сброс значения
7	U1SM0	RW	УАПП1 выбор режима бит, который выбирает 8-бит асинхронную передачу данных равно 0; бит выбирает 9-битовые данные асинхронной связи 1	0
6	Reserved	RO защищены.		1
5	U1SMOD	RW	Выберите UART1 Скорость передачи данных: 0 медленный режим; 1 Быстрый режим	0
4	U1REN	RW	Разрешить UART1 получить контрольный бит, бит 0 получить отключено; 1 этого бита позволяет приемнику	0
3	U1TB8	RW	девятый бит данных передачи, когда данные модели 9-битовые, TB8 для записи первой передачи данных 9, она может быть бит четности, в 8-битном режиме, игнорируя TB8	0
2	U1RB8	RW	9-ый бит принятых данных, в режиме 9-битового, RB8 для хранения первых данных, полученных 9; когда 8-битный режим, RB8 для сохранения принятого стоп-бит	0
1	U1TI	RW	передает флаг прерывания, байт данных посылается после набора с помощью аппаратных средств, программного обеспечения потребности очистить ноль	0
0	U1RI	RW	получить прерывания битовый флаг, байт данных, полученных с помощью действительный набор аппаратных средств, не требуется программное обеспечение ЯСНО	0

Скорость передачи данных УАПП1 устанавливается SBAUD1 генерируется, разделены на два типа в зависимости

от выбора U1SMOD: Когда U1SMOD = 0, когда, SBAUD1 = $256 - F_{sys} / 32 / \text{бод}$; при U1SMOD = 1, SBAUD1 = $256 -$

$F_{sys} / 16 / \text{ скорость передачи данных.}$

данные UART1 Регистрация (SBU F 1):

место	Имя Доступ		описание	Сброс значения
[7: 0]	SBUF1	RW	Данные UART1 регистр, включая отправку и прием на два физически отдельном регистре. SBUF1, соответствующие записи данных в данные передачах регистр; SBUF1 соответствующие для чтения данных из регистра приемника данных,	XXH

13.3 приложения UART

UART0 Применение:

- (1) генератор скорости передачи данных Выбор УАППО может быть выбран из T1 или T2 таймера и настройки счетчика. (2), запускает таймер T1 или T2.
- (3), при условии, что SCON SM0, SM1, SM2 выбрать режим работы последовательного порта 0. REN установлен на 1, позволяет принимать UART0. (4), вы можете установить прерывание последовательного порта или посетить RI и TI прерывание статуса.
- (5), чтение SBUF достичь последовательной передачи и приема данных, что позволяет получить серийные боды сигнала ошибки скорости менее чем на 2%.

UART1 Применение:

- (1) Скорость передачи данных и установить выбранный U1SMOD SBAUD1.
- (2), при условии, что порт 1 Выбор режима U1SM0 SCON1. U1REN набор 1, позволяет принимать uart1. (3), вы можете установить последовательный порт 1 прерывание или посетить U1RI и U1TI прерывание статуса.
- (4), читатель SBUF1 достичь последовательной передачи и приема данных, что позволяет получить серийные боды сигнала ошибки скорости менее чем на 2%.

14, синхронный последовательный интерфейс SPI

14,1 SPI Введение

Чип CH552 обеспечивает интерфейс SPI для высокоскоростных синхронных передачи данных между периферийными устройствами. (1), поддерживает режим мастер и режим ведущий-ведомый ведомый, (2), а 0 Режим поддержки режима синхронизации 3; (3), дополнительный провод 3 провода полнодуплексный или полудуплексный режим 2; (4), в качестве альтернативы передается MSB первой или LSB, нижняя часть верхнего первой передачи; (5), тактовая частота регулируется до почти половины частоты системы; и (6), построенный 1 байт 1 байт FIFO, получают и передают FIFO;

- (7), от первого байта поддержки режима машины поджатия данных для хоста, чтобы получить первые байты данных немедленно возвращаются.

14.2 SPI регистр

Таблица 14.2.1 SPI связанный список регистров

ИМЯ	адрес	описание	Сброс значения
SPI0_SETUP	FCh	регистр настройки SPI0	00h
SPI0_S_PRE	FBh	SPI0 в режиме ведомого регистр данных запрограммированных	20h
SPI0_CK_SE	FBh	SPI0 часы регистр настройки делителя	20h
SPI0_CTRL	FAh	Регистр управления SPI0	02h
SPI0_DATA	F9h	SPI0 в регистр данных приемопередатчика	XXH
SPI0_STAT	F8H	Регистр состояния SPI0	08h

SPI0 Настройка регистра (SPI0_S E TUP) :

место	ИМЯ	доступ	описание	Сброс значения
7	bS0_MODE_SLV	RW	SPI0 ведущий-ведомый бит выбора режима, который является мастер-режим 0 SPI0; SPI0 этот бит представляет собой режим из режима машины / устройства из	0
6	bS0_IE_FIFO_OV	Режим RW	ведомого буфер FIFO переполнения разрешения прерывания бит, то этот бит 1 включает FIFO Переполнение прерывания; бит равен 0, то прерывание переполнения FIFO не генерируется	0
5	bS0_IE_FIRST	RW	Получив первые байты ведомого режима полного прерывания битого разрешения, то прерывание срабатывают, когда первые байты данных, принятые от ведомого режима на 1 биты, не генерирует прерывание, когда этот бит 0 первых байты принимаемых	0

4	bS0_IE_BYTE	RW, передача байта данных полное прерывание битого разрешения, то этот бит обеспечивает полную передачу 1 байта. Для прерывания; бит прерывания завершения передачи 0 байт не генерируется	0
3	bS0_BIT_ORDER	RW биты данных байта управления синхронизации бит, бит старшая бит равен 0, то предыдущий максимум; бит LSB наименьший значащий бит первого к	0
2	удержание	RO защищены.	0
1	bS0_SLV_SELT	R 0 выбран из режима ведомого листа активного состояния бита, который равен 0 указывает, что не выбран 0; Этот бит равен 1, то выбирается текущее состояние	0
0	bS0_SLV_PRELOAD	R0 Предварительная загрузка данных из бита состояния ведомого режима, который является 1 указывает на 1, что ток в листе. После того, как не было передано предварительно загруженным состояние до выбранных действительных данных	0

SPI0 часы регистр установки с частотным разделением каналов устройство (SPI0_CK_SE):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	SPI0_CK_SE	Установка коэффициента деления тактовой режиме хоста SPI0 RW		20h

SPI0 раб Данные предустановленных режима Отправить Регистрация (SPI0_S_PRE):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	SPI0_S_PRE	RW, предварительно загружены данные, переданные из первого режима ведомого		20h

SPI0 Регистр управления (SPI0_C T RL): Бит

	ИМЯ	доступ	описание	Сброс значения
7	bS0_MISO_OE	RW	SPI0 выход MISO включить бит управления, который позволяет выход 1; 0 отключает вывод бита	0
6	bS0_MOSI_OE	RW	SPI0 выход MOSI включить бит управления, который позволяет выход 1; 0 отключает вывод бита	0
5	bS0_SCK_OE	RW	Выход SPI0 SCK включить бит управления, который позволяет выход 1; 0 отключает выходной сигнал бита	0
4	bS0_DATA_DIR	RW	SPI0 управления направлением бит данных, бит выходных данных равен 0, так как только записи FIFO, в силу операции, начиная с передачи SPI; битовый входные данные для записи или чтения FIFO являются активными, начать передачу SPI	0
3	bS0_MST_CLK	RW	SPI0 бит тактовое управление режимом, бит 0 в режиме 0, по умолчанию в режиме ожидания SCK низкий уровень;. Этот бит 3 представляет собой режим, высокая SCK по умолчанию	0
2	bS0_2_WIRE	RW	SPI0 2-проводный режим полудуплексной бит разрешения, то этот бит равен 0 3 провода полнодуплексный режим, в том числе SCK, MOSI, MISO; бит является полудуплексным режимом 2-проводным, в том числе SCK, MISO	0
1	bS0_CLR_ALL	RW	Этот бит сбрасывается модуль SPI0 1 флаг прерывания и FIFO, должны быть очищен с помощью программного обеспечения	1
0	bS0_AUTO_IF	RW	Разрешить байты битого разрешения автоматически сбрасываются завершения приема прерывания флага по FIFO эффективной работы, этот бит автоматически очищается один байт получен, когда буфер FIFO действительна запись Полного Флаг прерывания S0_IF_BYTE	0

данные SPI0 Регистр приемопередатчика (ИП Я 0 DAT A): Бит

	ИМЯ	доступ	описание	Сброс значения
[7: 0]	SPI0_DATA	FIFO-RW, включает в себя два физически отдельной передачи и приема, считанную операцию, соответствующую контакту Буфер FIFO приема данных; данные передачи, соответствующие записи FIFO, эффективные операции чтения и записи XXh		

			SPI может инициировать передачу	
--	--	--	---------------------------------	--

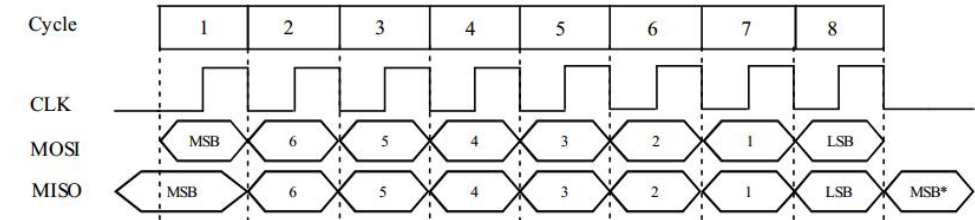
SPI0 Регистр состояния (SPI0_S T AT): Бит

	ИМЯ	доступ	описание	Сброс значения
7	S0_FST_ACT	R 0	представляет собой текущее состояние бит равен 1, то первый байт принимается от ведомого режима для завершения	0
6	S0_IF_OV	RW	Режим ведомого FIFO флаг переполнения бит, который указывает на то, что 1 переполнение FIFO, прерывание, бит равен 0, нет прерывания. бит Прямой доступ очищаются или запись 1, чтобы очистить. Когда bS0_DATA_DIR = 0, когда передающий буфер FIFO опорожнить прерывания триггера bS0_DATA_DIR = 1, когда приемный буфер FIFO заполнен при срабатывании прерывания	0
5	S0_IF_FIRST	RW, первый байт, полученный от ведомого режима для завершения прерывания бит флага, который представлен	Получение первого байта. бит Прямой доступ очищается или написать 1, чтобы очистить	0
4	S0_IF_BYTE	RW	Передача данных байт полный флаг прерывания бит, который представлен передачи одного байта. Прямой битовый доступ очищается путем записи 1 или сброшен, или путем сброса в буфер FIFO bS0_AUTO_IF = 1 эффективную работу	0
3	S0_FREE	R0	SPI0 Холостый бит флага, который указывает на то, что 1 нет SPI сдвига, как правило, в период между нейтральным байтов данных	1
2	S0_T_FIFO	R0	SPI0 передачи FIFO-счетчика Допустимые значения 0 или 1	0
1	удержание	R0	Зарезервировано	0
0	S0_R_FIFO	R0	SPI0 получать буфер FIFO рассчитывать Допустимые значения 0 или 1	0

Формат 14.3 SPI-транспортный

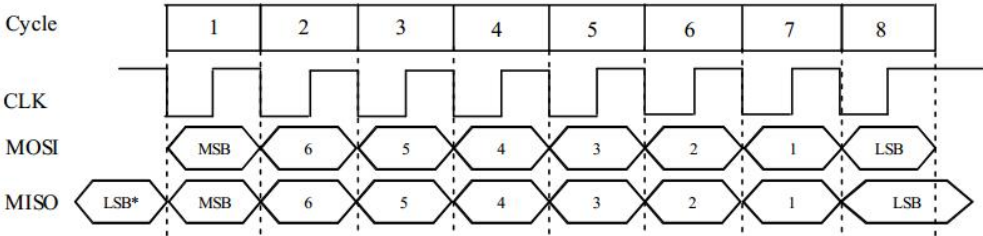
SPI Мастер Режим 0 и режим 3 поддерживает два формата передачи могут быть обеспечены посредством управления SPI регистром бита выбора bSn_MST_CLK в SPIn_CTRL, CH552 MISO всегда пробы по нарастающему фронту сигнала CLK. Формат передачи данных показано на фиг.

Mode 0: bSn_MST_CLK = 0



Фигура 14.3.1 SPI Временная диаграмма режима 0

Режим 3: bSn_MST_CLK = 1



Фигура 14.3.2 SPI Временная диаграмма Режим 3

14.4 Конфигурация SPI

Конфигурация мастер-режима 14.4.1 SPI

Ведущий режим SPI, SCK и выходные контактной последовательные часы, выбор микросхема выходных контакты могут быть заданы как любой контактный ввод / выводом.

шаги конфигурации, что SPI0:

(1), при условии, SPI, часы регистра настройки делителя SPI0_CK_SE, расположенных тактовой частоты SPI. (2), при условии установки регистра bS0_MODE_SLV SPI бит 0 SPI0_SETUP настроен на режим хоста. (3), при условии, что регистр управления SPI бит bS0_MST_CLK SPI0_CTRL, в соответствии с режимом спроса установлен на 0 или 3. (4), при условии, что биты регистра управления SPI bS0_SCK_OE SPI0_CTRL и bS0_MOSI_OE 1, bS0_MISO_OE бит равен 0,

Установите порт P1 направления bSCK, выход bMOSI, вход bMISO, выход и выбор микросхемы булавку.

Процесс передачи данных:

(1), SPI0_DATA записи регистра, запись данных, подлежащих передаче в FIFO, автоматически начинает передачу SPI. (2) ждет S0_FREE 1, передача завершена, может продолжать посылать следующие байты.

процесс приема данных:

(1), зарегистрировать записи SPI0_DATA, произвольные данные записываются в FIFO, например, 0FFh, чтобы инициировать передачу SPI. (2) ожидает в течение S0_FREE 1, в завершении приема, могут быть получены SPI0_DATA чтения полученных данных. (3), если ранее bS0_DATA_DIR было установлено, то операция чтения будет начать следующую передачу SPI, или иным образом отключить.

14.4.2 ведомого SPI конфигурации режима

Только SPI0 поддерживает режим ведомого, ведомый режим, SCK контактный последовательный тактовый для SPI-мастер приемной связи. (1), при условии, SPI0 bS0_MODE_SLV бит регистра установлен в 1 SPI0_SETUP, сконфигурирован как ведомый режим. (2), при условии, SPI0 bS0_SCK_OE биты в регистре управления и bS0_MOSI_OE SPI0_CTRL 0, чтобы установить bS0_MISO_OE

1, P1 порт направление bSCK, bMOSI и bMISO булавки и выбора микросхемы ввода. Когда чип SCS выбора активен (низкий), выход MISO автоматически включается. Кроме того, рекомендуется установить MISO-контактный входной режим высокого импеданса (P1_MOD_OC [6] = 0, P1_DIR_PU [6] = 0), что выходной сигнал MISO-во не чип выбора является недопустимым, чтобы облегчить общий SPI шину. (3), возможно, SPI данные настройки режима ведомого предустановленные регистре SPI0_S_PRE, в первый раз автоматически загружается в буфер выбора микросхемы

Для внешнего вывода. После восемь последовательных тактового сигнала, то есть, первые байты обмен данных передачи был закончен, CH552 внешний SPI, посланным хостом для получения первого байта данных (код команды может быть), внешней данные предустановленной полученным SPI мастер обмен SPI0_S_PRE (возможно, состояние значение). SPI0_S_PRE 7-битовый регистр автоматически будет загружен во время низкого уровня после чипа SCK SPI выбрать для штифта MISO для режима SPI 0, если предварительно SPI0_S_PRE CH552 бита 7, то хост будет выбран во внешнем чипе SPI SPI но тем не менее эффективная передача данных, можно получить заданное значение бита 7 SPI0_S_PRE, запрашивая штифт MISO, так что значение может быть получено бит 7 SPI0_S_PRE действителен только чип SPI выберите биты.

Процесс передачи данных:

S0_IF_BYTE запрос или ожидание прерывания, данные SPI после передачи каждого байта, регистр SPI0_DATA записи, запись данных, подлежащая передаче в FIFO. Или ждать S0_FREE от 0 до 1, может продолжать посылать следующие байты.

процесс приема данных:

S0_IF_BYTE запрос или ожидание прерывания, данные SPI после передачи каждого байта, SPI0_DATA чтения регистра, принятых данных, полученных из FIFO. Запросы S0_R_FIFO может знать, существуют ли оставшиеся байт FIFO.

15, аналого-цифрового преобразователя АЦП и компаратора напряжения (CH551 H.A.)

О 15,1 АЦП

Чип CH552 обеспечивает 8-битовый аналого-цифровой преобразователь, содержащий компаратор напряжения и модули АЦП. Преобразователь имеет четыре аналоговых входных каналов, в режиме разделения времени может собирать, поддержка VCC от 0 до диапазона аналогового входного напряжения.

15,2 ADC Регистрация

Таблица 15.2.1 АЦП список соответствующих регистров

имя	адрес	описание	Сброс значения
ADC_CTRL	80h	ADC Control Register	x0h
ADC_CFG	9Ah	Регистр конфигурации АЦП	00h
ADC_DATA	9Fh	регистр данных АЦП	xxh

Регистр управления АЦП Регистрация (ADC_CTRL):

место	имя	доступ	описание	Сброс значения
7	КМФО	RO	Напряжение результат компаратора выходной бит, который указывает на то, что 0 напряжение ниже, чем напряжение на инвертирующем входе на инвертирующий вход; бит равен единице, положительное входное напряжение выше, чем напряжение на инвертирующей	x
6	CMP_IF	RW	напряжения флаг изменения результата компаратора, который немного Сравнение показывает 0 напряжение. Результатом является изменение, прямой бит доступа очищается	0
5	ADC_IF	RW	преобразования АЦП полный флаг прерывания бит равен 1 указывает на преобразование АЦП завершено, прямой бит доступа очищается	0
4	ADC_START	RW	управления АЦП стартовый бит, который установлен для запуска преобразования АЦП, бит АЦП автоматически сбрасывается после завершения преобразования	0
3	CMP_CHAN	RW	напряжения компаратора инвертирующий входной терминал выбор: 0-AIN1; 1-AIN3	0
2	удержание	R0	Зарезервировано	0
1	ADC_CHAN1	высокий	канал терминал и АЦП входного напряжения компаратора RW, инвертирующий вход	0
0	ADC_CHAN0	RW	напряжения компаратора инвертирующий вход и АЦП входной канал низкого	0

таблица 15.2.1 Напряжение Компаратор CMP положительный вход АЦП и входной канал

таблицы ADC_CHAN1	ADC_CHAN0	Выбор напряжения компаратора инвертирующий вход и АЦП входной канал
0	0	AIN0 (P1.1)
0	1	AIN1 (P1.4)
1	0	AIN2 (P1.5)
1	1	AIN3 (P3.2)

Регистр конфигурации АЦП Регистрация (ADC_CFG):

место	имя	доступ	описание	Сброс значения
[7: 4]	удержание	R0	Зарезервировано	0000b
3	ADC_EN	RW	Регулятор мощности модуля разрядный АЦП, который указывает источник питания выключен модуль АЦП 0, спи; 1 указывает бит включен	0
2	CMP_EN	биты управления мощностью RW, компаратор напряжения, что указывает на напряжение близко к 0 0	Мощность компаратор переходит в спящий режим, 1 указывает бит включен	0
1	удержание	R0	Зарезервировано	0
0	ADC_CLK	RW	опорного АЦП тактовой частоты бит выбора, который является медленным часы выберите 0, каждый из АЦП 384 циклов потребность Fosc; выбор бита быстрой синхронизации равно 1, каждый из АЦП необходим 96 циклов Fosc	0

АЦП регистр данных (ADC_DATA):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	ADC_DATA	RO	Результаты выборки данных ADC	XXH

Функция 15,3 АЦП

ADC отбора проб шаги настройки режима:

- (1), при условии, ADC_EN ADC_CFG регистр бит равен 1, открытие модуля АЦП при условии, bADC_CLK выбранной частоты. (2), при условии, ADC_CTRL регистр ADC_CHAN1 / 0, для выбора входного канала.
- (3), по желанию, ясно, флаг ADC_IF. С другой стороны, если вы используете режим прерывания, необходимо также, чтобы это разрешить прерывания. (4), при условии, ADC_CTRL регистр adc_start, начать преобразование АЦП.
- (5), ожидание ADC_START становится равным 0, или ADC_IF это множество (очищается, если раньше), представляет собой преобразование АЦП, по ADC_DATA чтения данных. 255 алиquot значения данных входного напряжения по отношению к VCC напряжения источника питания, например, данные результата 47, входное напряжение подходы, описанные 47/255 VCC напряжения. Если напряжение питания VCC не определяется, а другой может быть измеренная величина определяется опорным напряжением, то расчетное отношение измеренного значения входного напряжения и напряжения питания VCC. (6), если вы установите еще раз в ADC_START АЦП преобразование может начаться.

Напряжение шаги настройки режима компаратора:

- (1), при условии, CMP_EN ADC_CFG регистр бит равен 1, то напряжение включения модуля компаратора. (2), при условии ADC_CTRL регистра ADC_CHAN1 / 0 и CMP_CHAN, выбирая положительную фазу и инвертирующий вход. (3), по желанию, снимите флаг CMP_IF.
- (4), в любое время вы можете запросить статус КМФО бит, чтобы получить результаты для текущего компаратора. (5), если CMP_IF становится 1, результат изменений компаратора.

Указанная выбранный аналоговый входной канал, он должен быть установлен в контактах GPIO в режим высокого импеданса, или открытого сток режим выхода и состоянии выхода 1 (что соответствует высокому входному импедансу), Pn_DIR_PU [x] = 0, и рекомендации подтягивания и тянуть вниз резисторы прочь.

16, контроллер USB

16.1 USB контроллеры

CH552 встроенный контроллер USB и USB-приемопередатчик, следующие характеристики:

- (1), поддерживает функции USB-устройств устройств, поддерживает USB 2.0 полная скорость или низкой скорости 12Mbps 1.5Mbps;
- (2) поддерживает передачу управления USB, основная часть передачи, прерывание передачи, передачи синхронной / в реальном масштабе времени, (3), поддерживает максимум 64 байта пакет, встроенный в FIFO, поддержка прерываний и DMA.

CH552 регистры USB связанных разделить на две части: USB USB регистры конечных точек и глобальные регистры.

16.2 Глобальный регистр

Таблица 16.2.1 USB глобальный список регистров (серый контроль масштаба по bUC_RESET_SIE сброса)

Название	адрес	описание	Сброс значения
USB_C_CTRL	91h	регистры управления USB типа C каналом сконфигурированы	0000 0000b
USB_INT_FG	D8h	USB регистр флаг прерывания	0010 0000b
USB_INT_ST	D9H	USB прерывания регистр состояния (только для чтения)	00xx xxxxb
USB_MIS_ST	Дах	Регистр Разное статус USB (только для чтения)	XX10 1000b
USB_RX_LEN	DBh	Получение длины USB регистра (только для чтения)	0xxй xxxxb
USB_INT_EN	E1h	USB регистр разрешения прерывания	0000 0000b

USB_CTRL	E2H	Регистр управления USB	0000 0110b
USB_DEV_AD	E3h	USB Device Address Регистрация	0000 0000b

USB Канал управления конфигурацией типа C депозит Устройство (USB_C_CTRL) : (CH551 NA)

место	ИМЯ	доступ	описание	Сброс значения
<u>7</u>	bVBUS2_PD_EN	RW	Этот бит является 10K выпадающего резистором, чтобы включить внутренний VBUS2 штифт; 0 0 запрета	
<u>6</u>	bUCC2_PD_EN	RW	Этот бит является выпадающее резистор 5.1K может сделать UCC2 внутренний штифт; 0 запрет	0
<u>5</u>	bUCC2_PU1_EN	Нагрузочный резистор RW	Этот бит управляет выбор высокого внутреннего штифта UCC2	0
<u>4</u>	bUCC2_PU0_EN	RW	Этот бит является нагрузочным резистором внутреннего контроля выбора контактных низкий UCC2	0
<u>3</u>	bVBUS1_PD_EN	RW	Этот бит является 10K выпадающего резистором, чтобы включить внутренний VBUS1 штифт; 0 0 запрета	
<u>2</u>	bUCC1_PD_EN	RW	Этот бит является выпадающее резистор 5.1K может сделать UCC1 внутренний штифт; 0 запрет	0
<u>1</u>	bUCC1_PU1_EN	RW	Этот бит является нагрузочный резистор внутреннего контроля выбора контактный высокой UCC1	0
<u>0</u>	bUCC1_PU0_EN	RW	Этот бит является нагрузочным резистором внутреннего контроля выбора контактных низкий UCC1	0

UCCn выберите внутренний штифт и на bUCCn_PU1_EN bUCCn_PU0_EN нагрузочный резистор.

bUCCn_PU1_EN	bUCCn_PU0_EN	Выберите внутренний подтягивающий резистор булавку UCCn
0	0	Отключить внутренний подтягивающий резистор
0	1	56KΩ внутренние подтягивающие резисторы, текущее представление обеспечивает по умолчанию USB
1	0	Включает внутренний подтягивающий резистор 22 кОм, представление может быть предоставлено 1.5A
1	1	10 кОм включает внутренний нагрузочный резистор, может быть предоставлена 3A представляет

Нагрузочный резистор и сказал выпадающий резистор не зависят от типа C Pn_DIR_PU управления направлением порта USB и регистра подтяжки включить подтяжку управления портом, когда штырь используется для USB Type-C, оно должно быть запрещено, соответствующий штифт нагрузочный резистор порт, режим ввода высокого импеданса рекомендуется для того, чтобы штифт (или выходной контакт с низким, чтобы избежать высокого уровня).

Подробности, касающиеся управления и обнаружения входного сигнала USB типа C относятся к конфигурации канала USB типа C Описание и подпрограмм.

USB в Регистр прерываний флага (U S B_INT_FG):

место	ИМЯ	доступ	описание	Сброс значения
7	U_IS_NAK	RO	указывает, что текущий бит является передача USB-NAK в течение занятого ответ получен, а Бит 0 указывает на неполученных NAK ответ	0
6	U_TOG_OK	RO	текущей передачи USB-DATA0 / 1 соответствует синхронизации битого статуса флага равен 1, Данные синхронизации действительно; 0 указывает на то бит не синхронизирован, то данные может быть недействительным	0
5	U_SIE_FREE	RO	USB процессор протокола простаивает бит, который указывает на то, занят бит 0, передача USB в процессе, этот бит равен 1 указывает на то, что USB находится в режиме ожидания	1
4	UIF_FIFO_OV	RW	FIFO переполнения флаг USB прерывание, бит 1 указывает на буфер FIFO переполнения прерывание, бит равен 0 без перерыва. бит Прямой доступ очищается или написать 1, чтобы очистить	0
<u>3</u>	удержание	RO	защиты.	0
2	UIF_SUSPEND	RW	USB шины приостановить или побудка событие прерывания бит флага, который является 1 означает прерывание, прерывание от USB приостановить или событие триггера события пробуждения; бит равен 0 для каких-либо перерывов. бит Прямой доступ очищается или написать 1, чтобы очистить	0
1	UIF_TRANSFER	RW	Передача USB-полное прерывание битового флага, который прерывает 1 означает, прерывание вызвано завершением передачи USB; бит равен 0 при отсутствии прерываний. бит Прямой доступ очищается или написать 1, чтобы очистить	0
0	UIF_BUS_RST	RW	USB-шина события сброса флаг прерывания бит, который прерывает 1 означает, прерывание вызвано USB случае сброс шины, этот бит равен 0 при отсутствии прерываний. бит Прямой доступ очищается или написать 1, чтобы очистить	0

форма прерывания USB Регистр состояния (USB_INT_ST):

место	ИМЯ	доступ	описание	Сброс значения
7	bUIS_IS_NAK	RO	указывает, что текущий бит является USB-передача NAK в течение занятого ответ получен. C U_IS_NAK	0
6	bUIS_TOG_OK	RO	текущая передача USB-DATA0 / 1 соответствует состоянию флажка синхронизации, бит равен 1 Это указывает на то синхронизации; 0 указывает бит не синхронизированы. C U_TOG_OK	0
5	bUIS_TOKEN1	тока USB	идентификатор транзакции передачи RO маркера PID максимума	x
4	bUIS_TOKEN0	RO	текущий маркер PID определяет низкий уровень USB дел	x
[3: 0]	MASK_UIS_ENDP	RO	текущей конечной точки число дел USB, 0000, указывающими, что конечная точка 0; ...; 1111 представляет собой конечную точку 15	xxxxb

bUIS_TOKEN1 и bUIS_TOKEN0 состав MASK_UIS_TOKEN, идентифицирует текущую транзакцию из USB маркера PID: 00 представляет собой пакет

OUT, представляет СФБ пакет 01; 10 представляет собой В пакете; 11 представляет собой пакет SETUP.

USB Разное как Регистр состояния (USB_MIS_ST):

место	ИМЯ	доступ	описание	Сброс значения
[7: 6]	удержание	RO	защищены.	XXB
5	bUMS_SIE_FREE	RO	USB процессор протокола простаивает бит, который указывает на оживленную бит равен 0, то передача USB продолжается, этот бит равен 1 указывает на то, что USB находится в режиме ожидания. C U_SIE_FREE	1
4	bUMS_R_FIFO_RDY	RO	USB приемник FIFO данные готовы бит состояния, бит 0 указывает на то, что приемник FIFO пуст, а бит 1 Receive FIFO Not Empty	0
3	bUMS_BUS_RESET	RO	USB-шину сброса состояния бит, который равен 0, указывает, что сброс шины USB; бит равен 1, находятся в сбросе шины USB	1
2	bUMS_SUSPEND	RO	USB Приостановка бит состояния, бит 0 указывает на текущий активный USB; 1 указывает бит не уже некоторое время USB мероприятия, ожидающие запросы 0	
[1: 0]	удержание	RO	защищены.	00b

приемник USB длиной Из регистра (USB_RX_LEN):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	bUSB_RX_LEN	RO	тока USB конечной точки число байтов полученных данных	XXH

USB в Регистр разрешения прерывания (USB_INT_EN):

место	ИМЯ	доступ	описание	Сброс значения
7	bUIE_DEV_SOF	RW	Этот бит представляет собой пакет SOF получить разрешение прерывания; 0 запрета	0
6	bUIE_DEV_NAK	RW	Этот бит ОПДТ принимается разрешения прерывания; 0 запрет	0
5	удержание	RO	защищены.	0
4	bUIE_FIFO_OV	RW	Этот бит переполнения FIFO разрешение прерывания;-близко к битому разрешению	0
3	удержание	RO	защищены.	0
2	bUIE_SUSPEND	RW	Этот бит 1 включает USB шины приостановки или прерывания пробуждения события; 0 для отключения	0
1	bUIE_TRANSFER	RW	Этот бит может завершить прерывание 1 передачи USB так, бит равен 0 запрета	0
0	bUIE_BUS_RST	RW	Этот бит 1 Включить USB сброс шины прерывания события; бит равен 0 бан	0

USB Control Register (USB_CTRL):

место	ИМЯ	доступ	описание	Сброс значения
7	удержание	RO	защитены.	0
6	bUC_LOW_SPEED	RW	USB-сигнал шины скорость передачи битов выбора, который равен 0 для полных 12Mbps; бит выбирает низкая скорость 1.5Mbps 1	0
5	bUC_DEV_PU_EN	RW	USB-устройство, включить и внутренний бит контроля тяги, который является USB-совместимым устройством и включить передачу внутренней подтяжки	0
5	bUC_SYS_CTRL1	RW	высокая система управления USB	0
4	bUC_SYS_CTRL0	RW	USB система управления с низким	0
3	bUC_INT_BUSY	RW	Передача USB полное прерывание бит разрешения автоматически приостанавливается до флага не ясно, как этот бит флаг прерывания автоматически приостанавливается до того UIF_TRANSFER не растаможен, он автоматически ответит занят NAK, бит равен 0 и не пауза	0
2	bUC_RESET_SIE	RW	Протокол USB процессор программного обеспечение битого сброса управление, который является вынужденным сброс и большинство регистров управления процессором протокола USB USB должны быть очищены с помощью	1
1	bUC_CLR_ALL	RW	Этот бит 1 Clear USB прерывания флага и FIFO, должен быть очищен с помощью программного обеспечения	1
0	bUC_DMA_EN	RW	Этот бит является 1, чтобы разрешить прерывание USB и DMA DMA; 0 Закрывать	0

BUC_SYS_CTRL1 система USB и контроль сборки bUC_SYS_CTRL0 состав:

bUC_SYS_CTRL1	bUC_SYS_CTRL0	Описание системы управления USB
0	0	Отключить функцию USB устройства, чтобы закрыть внутреннюю подтяжку
0	1	USB включена функция устройства, внутренний отрыв, необходимость добавления внешней подтяжки
1	X	USB включена функция устройства включена внутренний подтягивающий резистор 1.5KΩ. Подтягивающий резистор к понижающим резистором старшинства, режим GPIO также может быть использован

USB устройства Адрес регистра (USB_D F V AD) :

место	ИМЯ	доступ	описание	Сброс значения
7	bUDA_GP_BIT	RW	USB универсальный флаг: Пользователи могут настроить программное обеспечение может быть установлен или сброшен	0
[6: 0]	MASK_USB_ADDR	RW	адрес по USB устройства	00h

16.3 конечных точек регистра

CH552 обеспечивает двунаправленные терминалы конечных точек 0,1,2,3,4 пять групп, то максимальная длиной пакета 64 байта являются всеми конечными точками. Конечная точка Конечная точка 0 по умолчанию, передача поддержки управления, коробка передач и прием общего буфера данных 64 байт. Конечная точка 1 и конечного пункт 2, каждый терминал 3 содержит отправку конечной точки, и принимающую конечную точку IN OUT, имеет отдельную передачу и прием 64 байта или данных двойных байтового буфер 64, чтобы поддерживать передачу управления, объемную передачу, прерывание передачи, и В режиме 4 содержит передающие конечные точку в конечных точке байт данных буфера 64 и конечная точка OUT принимающей, каждые имеют отдельную передающие и принимающую передачу управления поддержки, объемную передачу, прерывание передачи, и в режиме реального времени / синхронную передачу.

Каждая конечная точка, имеющий отклик и передача данных сделок и в сделках, и зарегистрировать элемент управления UEPn_CTRL длина передачи UEPn_T_LEN регистра (n = 0/1/2/3/4), используется для установки триггера битых конечной точки синхронизации, длина и тому подобное.

Нагрузочный резистор может быть обеспечен в любое время с помощью программного обеспечения в качестве USB-устройства на шине USB требуется включен, регистр управления USB устанавливается, когда bUC_DEV_PU_EN USB_CTRL в 1, CH552 был ДП по bUD_LOW_SPEED тянуть штифт или контактный разъем шины USB внутри DM сопротивление, и включить функцию USB-устройства.

Когда сброс шины USB обнаружен, или приостановить пробуждения событие шины USB, или когда USB-После успешной обработки принятой передачи данных или данных, USB-обработчик протокола будет установлен соответствующий флаг прерывания запроса и генерирует прерывание. Приложение может непосредственно запрос или USB процедуры обслуживания прерывания запросов и анализа прерываний флага регистр USB_INT_FG, соответствующее лечение в соответствии с UIF_BUS_RST и UIF_SUSPEND, и, если UIF_TRANSFER эффективный, вы должны продолжать анализировать USB прерывания регистре состояния USB_INT_ST, на основе текущего номера конечной точки MASK_UIS_ENDP текущая транзакция маркер и соответствующий идентификационный ПИД MASK_UIS_TOKEN. Если

Синхронизация бит установлен на спусковой крючок в каждой точке транзакции bUEP_R_TOG OUT, то бит синхронного запуска на основании принятого в настоящее время пакет данных соответствует триггер биты синхронизации конечной точки или от U_TOG_OK bUIS_TOG_OK, если синхронизацию данных, данные действительны ; Если данные не синхронизированы, то эти данные должны быть отброшены. После каждой обработки USB передающих или получать прерывание должно вызвать за собой право изменять бит синхронизации соответствующей конечной точки для переданного пакета данных синхронизации следующих и обнаруживают пакетный ли принятые данные следующая синхронизация; Кроме того, посредством предоставления банки bUEP_AUTO_TOG автоматические биты, соответствующие

Длина данных каждый из конечного готова к передаче в соответствующем буфере, готовая к отправке устанавливаются независимо UEpn_T_LEN, и каждая конечная точка каждого полученных данных в буфере, но полученные данные длина длина приемника USB USB_RX_LEN регистр можно выделить на основе тока, когда число USB-конечная точка получила прерывание.

Таблица 16.3.1 USB-устройство список конечных точек, связанные регистры (серая шкала управление по bUC_RESET_SIE)

сброса) Название	адрес	описание	Сброс значения
UDEV_CTRL	d1h	Физический USB регистр управления порта устройства	10xx 0000b
UEP1_CTRL	Endpoint	Регистр управления 1 D2h	0000 0000b
UEP1_T_LEN	Конечная	точка 1 D3h передачи Длина регистра	0xxh xxxxh
UEP2_CTRL	Endpoint	Control 2 регистрации D4h	0000 0000b
UEP2_T_LEN	Длина регистр	конечной точке 2 передает D5h	0000 0000b
UEP3_CTRL	Endpoint	Control Register 3 D6h	0000 0000b
UEP3_T_LEN	Конечная	точка передачи Длина регистра 3 D7h	0xxh xxxxh
UEP0_CTRL	Endpoint	Control Register 0 DCh	0000 0000b
UEP0_T_LEN	DDh длина	передачи зарегистрировать конечную точку 0	0xxh xxxxh
UEP4_CTRL	Endpoint	Control регистр 4 DEh	0000 0000b
UEP4_T_LEN	4 передачи	Длина регистра конечная точка DFh	0xxh xxxxh
UEP4_1_MOD	EAh управления	режимом конечных точек регистр 4	0000 0000b
UEP2_3_MOD	EBh управления	режимом конечных точек регистр 3	0000 0000b
UEP0_DMA_H	EDh конечных	точек 0 и 4 буфера начальный адрес старший байт	0000 00xxb
UEP0_DMA_L	Конечная	точка 0 4 ECh и начальный адрес буфера младшего байта	xxxx xxxxb
UEP0_DMA	ECh	UEP0_DMA_L и UEP0_DMA_H, состоящий из 16 СФРОВ	0xxxh
UEP1_DMA_H	EFh Конечная	точка 1 начальный адрес буфера старший байт	0000 00xxb
UEP1_DMA_L	EEh Конечная	точка 1 начальный адрес буфера младший байт	xxxx xxxxb
UEP1_DMA	EEh	UEP1_DMA_L и UEP1_DMA_H, состоящий из 16 СФРОВ	0xxxh
UEP2_DMA_H	E5h Конечная	точка буфера начальный адрес старший байт	0000 00xxb
UEP2_DMA_L	Конечная	точка 2 E4h начальный адрес буфера младший байт	xxxx xxxxb
UEP2_DMA	E4h	UEP2_DMA_L и UEP2_DMA_H, состоящий из 16 СФРОВ	0xxxh
UEP3_DMA_H	Конечная	точка E7h буфера начальный адрес старший байт 3	0000 00xxb
UEP3_DMA_L	Конечная	точка E6h буфера начальный адрес младший байт 3	xxxx xxxxb
UEP3_DMA	E6h	UEP3_DMA_L и UEP3_DMA_H, состоящий из 16 СФРОВ	0xxxh

USB устанавливать Получение физического контроля порта Отправить Регистрация (UDEV_CTRL), с помощью сброса управления bUC_RESET_SIE:

место	ИМЯ	доступ	описание	Сброс значения
7	bUD_PD_DIS	RW	порт USB-устройство UDP / пуддаун резистор внутренних контактное УОЙ отключить бит, который является 1, чтобы отключить внутренний ниспадающий резистор; бит 0 внутреннего ниспадающего резистор. Этот бит не режим управления bUSB_IO_EN может также использоваться, чтобы обеспечить ниспадающий р	1
6	удержание	RO	защиты.	0
5	bUD_DP_PIN	PO UDP	текущее состояние вывода является низким представляет собой 0; 1 указывает на высокий уровень	x
4	bUD_DM_PIN	PO ОДД	текущее состояние вывода является низким представляет собой 0; 1 указывает на высокий уровень	x

<u>3</u>	удержание	RO защищены.	0
2	bUD_LOW_SPEED	RW USB-устройство, режим физической скорости порта бит разрешения, 1 бит режима низкой скорости, выбранной в 1.5Mbps; этот бит равен 0 12Mbps полный выбор режима	0
<u>1</u>	bUD_GP_BIT	RW Общие флаг оборудования: Пользователи могут определить свои собственные, может быть установлен или сброшен программно	0
0	bUD_PORT_EN	RW порт физического устройства USB битого разрешение, которое может сделать 1 физический порт, немного отключает физический порт 0	0

Конечная точка N Регистр управления (УЭП N_CTRL) :

место	ИМЯ	доступ	описание	Сброс значения
7	bUEP_R_TOG	RW	N USB конечной точки приемника (обработка SETUP / транзакции OUT) желаемого синхронного триггера бит, который равен 0 для желаемого DATA0; представляет собой желаемый data1 1	0
6	bUEP_T_TOG	RW	N USB конечной точки передатчика (в обработке транзакций) готов триггер синхронизации бит, который указывает, 0 посылка data0; 1 обозначает передачу data1	0
5	удержание	RO защищены.		0
4	bUEP_AUTO_TOG	RW	Синхронизация бита запускается автоматически флип включить бит управления, который представлен соответствующей синхронизации триггера автоматически перевернутом положении после успешной передачи или приема является успешным; 0 указывает на отсутствие листать автомат	0
3	bUEP_R_RES1	Конечная точка п RW отклика приемника на высокий контроль транзакций SETUP / OUT		0
2	bUEP_R_RES0	Конечная точка п RW отклика приемника к SETUP / OUT управления транзакций низкого уровня		0
1	bUEP_T_RES1	передатчик конечной точки N RW, в ответ на операции управления с высоким содержанием		0
0	bUEP_T_RES0	передатчик конечной точки N RW, в ответ на управляющий низко в транзакции		0

Приемник и bUEP_R_RES1 bUEP_R_RES0 MASK_UEP_R_RES состоит из п для управления конечной точки реагирует на операции SETUP / OUT: 00 указывает на то подтверждения ACK или готов; 01 не представляет собой тайм-аут / нет ответа, конечную точку для реализации не в реальном масштабе времени / 0 синхронной передачи; 10 показан ответ NAK или занят; 11 представляет собой STALL ответ или ошибку.

MASK_UEP_T_RES bUEP_T_RES1 и композиция для контроля конечных точек bUEP_T_RES0 п передатчик реагирует на операцию IN: 00 ответа DATA0 / DATA1 или требуемые данные, готовых и ACK; 01 ответ, указывающий DATA0 / data1 и отсутствие ожидаемого ответа, для достижения не- в реальном масштабе времени конечная точка / 0 синхронная передача, занят или NAK ответ, указывающий, 10, 11 или ответ БЛОКИР.ДВИГ, указывающий на ошибку.

Конечная точка п передачи Длина регистра (UEPn T_L EN):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	bUEPn T_LEN	RW количество байтов данных, обеспечивается готов к отправке USB конечной точки п (п = 0/1/3/4) номер USB конечного набора готов к передаче данных байт-		XXH
	bUEP2 T_LEN			00h

4 USB-регистр управления режимом конечных точек Unit (УЭП 4_1_MOD):

место	имя	доступ	описание	Сброс значения
7	bUEP1_RX_EN	RW	Этот бит 0 запрещает получать конечный пункт 1; 1 позволяет терминал 1 принимает (OUT)	0
6	bUEP1_TX_EN	RW	Этот бит 0 Отключение конечной точки 1 передает; 1 позволяют конечной точке 1 передает (BO)	0
5	удержание	RO	защищены.	0
4	bUEP1_BUF_MOD	RW	Конечная точка буфера данных управления режимом бит 1	0
3	bUEP4_RX_EN		RO 4 принимает этот бит запрещает конечной точки равно 0; 1, с тем чтобы приемный терминал 4 (OUT)	0
2	bUEP4_TX_EN		RW	Этот бит 0 запрещает передачу конечной точки 4; 1 для включения передачи 4 конечных точек (BO)
[1: 0]	удержание	RO	защищены.	00b

Под управлением USB конечной точки, и данные о составе bUEP4_TX_EN bUEP4_RX_EN режим 0 и 4 буфера, со ссылкой на следующую таблицу.

Режим конечных точек Таблица 16.3.2 Буфер 0 и 4

<u>bUEP4_RX_EN</u>	<u>bUEP4_TX_EN</u>	Структура Описание: UEP0_DMA к начальному адресу расположено от низкого до высокого
0	0	Конечная точка-64 однобайтовых прием и передачи буфера (вход и выход)
1	0	Конечная точка 0 64 однобайтовые приема и передачи; буферы конечной точки 4 в один 64-байтовый буфера приема (OUT)
0	1	Конечная точка-64 однобайтовых прием и передача буфера; конечная точка 4 одного 64-байтовый буфер передачи (BO)
1	1	Конечная точка 0 64 однобайтная приема и передачи буферов; конечная точка 4 одного 64-байтный приемный буфер (OUT); конечная точка 4 одного 64-байтовый буфер передачи (BO). Все 192 байта расположены следующим образом: UEP0_DMA + 0 Адрес: Конечная точка 0 дуплексер; UEP0_DMA + 64 Адрес: 4 принимает конечную точку; UEP0_DMA + 128 Адрес: передачи конечной точки 4

USB 2.3 Режим управления конечной точки Регистрация (UEP2_3_MOD):

место	ИМЯ	доступ	описание	Сброс значения
<u>7</u>	bUEP3_RX_EN	RW	Этот бит 0 запрещает приемный конец 3; 3 1 Включение приема конечной точки (OUT)	0
<u>6</u>	bUEP3_TX_EN	RW	Этот бит 0 запрещает передачу терминала 3; 3: 1 обеспечивает передачу конечной точки (BO)	0
<u>5</u>	удержание	RO	защищены.	0
<u>4</u>	<u>bUEP3_BUF_MOD</u>	Конечная точка RW	управления режимом бит данных буфера 3	0
<u>3</u>	bUEP2_RX_EN	R0	этот бит отключает приемный терминал 2 равен 0; 1, с тем чтобы приемный терминал 2 (OUT)	0
<u>2</u>	bUEP2_TX_EN	RW	Этот бит 0 запрещает отправку конечных точек 2; 2 позволяют передачу конечной точке 1 (B)	0
<u>1</u>	удержание	RO	защищены.	0
<u>0</u>	<u>bUEP2_BUF_MOD</u>	Конечная точка RW	буфера данных управления режимом бит 2	0

Контроль режима буфера данных USB конечной точки и 1,2,3 bUEPn_RX_EN bUEPn_TX_EN и (n = 1/2/3) комбинаций bUEPn_BUF_MOD, обратитесь к следующей таблице. Отличающееся тем, что двухрежимные байты буфера 64, передача данных по USB bUEP _ * _ TOG = 0 до выбранного буфера 64 байт, согласно bUEP _ * _ TOG = 64 байт 1 выбор буфера, автоматическое переключению.

Таблица 16.3.3 режим буфера конечных точек n (n = 1/2/3)

<u>bUEPn_RX_EN</u>	<u>bUEPn_TX_EN</u>	<u>bUEPn_BUF_MOD</u>	Структура Описание: UEPn_DMA к начальному адресу расположено от низкого до высокого
0	0	x	Endpoint отключен, неиспользованный буфер UEPn_DMA
1	0	0	Одно 64-байтный приемный буфер (OUT)
1	0	1	Двойной 64-байтный приемный буфер, выбрав bUEP_R_TOG
0	1	0	Одно 64-байтовый буфер передачи (BO)
0	1	1	Двойной 64-байтовый буфер передачи, выбрав bUEP_T_TOG
1	1	0	Однобайтовые приемный буфер 64; 64 однобайтная буфер передачи
1	1	1	Двойной 64-байтный приемный буфер, выбрав bUEP_R_TOG; 64 двухбайтовой буфер передачи, выбрав bUEP_T_TOG. Все 256 байт расположены следующим образом: UEPn_DMA + 0 Адрес: bUEP_R_TOG = 0 конечная точка получает; UEPn_DMA + 64 Адрес: bUEP_R_TOG = конечная точка получает 1; UEPn_DMA + 128 Адрес: bUEP_T_TOG = конечная точка посылает 0:00; UEPn_DMA + 192 Адрес: bUEP_T_TOG = Конечная точка 1 передает

USB конечной точки n Буфер происхождения сайт (UEPn_DMA) (n = 0/1/2/3):

место	ИМЯ	доступ	описание	Сброс значения
[7: 0]	UEPn_DMA_H	Конечная точка n RW, старшие байты начало адрес буфера, только понизить 2 бита эффективный, 6 Фиксированный 0	0xh	
[7: 0]	UEPn_DMA_L	RW конечных точек n буфер начального адреса младший байт	XXH	

Примечание: длина полученных данных буфера > мин (максимальная длина пакета может получить 2 байта + 64 байта)

17, сенсорные кнопки Touch-Key

17,1 Touch-Key Профиль

CH552 чип конденсатор обеспечивает модуль обнаружения и связанные с ними таймеры, имеющие шесть входных каналов, в диапазоне мощности

Поддержка 5PF ~ 150pF. Поскольку емкостные могут поддерживать до шести сенсорных клавиш, взаимная емкость прикосновение может поддерживать до 15 ключей.

17,2 Touch-Key Регистрация

Таблица 17.2.1 Touch-Key связанный список регистров

ИМЯ	адрес	описание	Сброс значения
TKEY_CTRL	C3h	Touch-Key Control Register	x0h
TKEY_DATH	C5H	высокоскоростной передачи данных байт Сенсорные-Кей (только для чтения)	00h
TKEY_DATL	C4H	Данные низкого байта Сенсорные-Кей (только для чтения)	XXH
TKEY_DAT	C4H	TKEY_DATL и TKEY_DATH, состоящий из 16 СФРОВО	00xxh

Touch-Key Регистр управления (TKEY_CTRL):

место	ИМЯ	доступ	описание	Сброс значения
7	bTKC_IF	RO	Таймер флаг прерывания. Если bTKD_CHG = 0 автоматически устанавливается в конце текущего цикла синхронизации запроса на прерывание, когда в конце подготовительного этапа автоматически очищается или очищается путем записи TKEY_CTRL. Если bTKD_CHG = 1 автоматически сбрасывается, прерывание не требуется, текущий цикл будет пропущен, а следующий цикл обнаружен и повторно подготовлен и автоматически устанавливается в конце следующего цикла запроса на прерывание 1	x
[6: 5]	удержание	RO защищены.		00b
4	bTKC_2MS	RW	Период обнаружения емкости выбора таймера: 0-1mS; 1-2mS. Период недели до стадии подготовки 87uS, оставшейся фазы обнаружения времени. Эти времена основаны на время, когда Fosc = 24MHz	0
3	удержание	RO защищены.		0
2	bTKC_CHAN2	вход RW	сенсорных кнопок выбора максимума емкости обнаружения	0
1	bTKC_CHAN1	RW, обнаружение емкости сенсорных кнопки выбор входного сигнала бит		0
0	bTKC_CHAN0	RW ключ емкости сенсорного обнаружения низкого выбора входа		0

По bTKC_CHAN2 ~ bTKC_CHAN0 выбранный Оptionальный сенсорный электрическая кнопка Емкостной детектор входного канала.

bTKC_CHAN2	bTKC_CHAN1	bTKC_CHAN0	Выбор входных каналов емкости обнаружения прикосновения ключевых
0	0	0	Закреть модуль обнаружения питания емкости, или просто как период 1mS независимого таймера прерывания 2мс
0	0	1	TIN0 (P1.0)
0	1	0	TIN1 (P1.1)
0	1	1	TIN2 (P1.4)
1	0	0	TIN3 (P1.5)
1	0	1	TIN4 (P1.6)
1	1	0	TIN5 (P1.7)
1	1	1	При включении питания модуля обнаружения, но конденсатор не подключен к любому каналу.

Touch-Ke Y Регистр данных (TKE_Y_DAT) :

место	ИМЯ	доступ	описание	Сброс значения
7	bTKD_CHG TKEY_DATH [7]	RO	флаг изменения управления Touch-Key. Этот бит один, емкость переписывается стадии обнаружения TKEY_CTRL, может привести данные TKEY_DAT является недействительным, и не говоря уже о bTKC_IF конце текущего цикла. Этот бит устанавливается каждый Цикл фазы Подготовка автоматически сбрасывается, когда конец, маска бит данных, которые должны быть приняты	0
6	удержание	RO защищены.		0
[5: 0]	TKEY_DATH	RO	Touch-Key старших байт данных. Автоматически очищается в конце каждого цикла синхронизации фазы подготовки; автоматическое обнаружение подсчета стадии емкости; фаза подготовки данных остается неизменной, так что таймер прерываний чтения	00h
[7: 0]	TKEY_DATL	RO	Данные низкого байта Сенсорные-Key. Автоматически очищается в конце каждого цикла синхронизации фазы подготовки; автоматическое обнаружение подсчета стадии емкости; фаза подготовки данных остается неизменной, так что таймер прерываний чтения	XXH

Функция +17,3 Touch-Key

- Емкость шаг обнаружения:
- (1), при условии TKEY_CTRL регистра bTKC_2MS и bTKC_CHAN2 ~ bTKC_CHAN0, входной период выбора канала. есть
- Отдельные входные каналы, он должен быть установлен в контакты GPIO в режим высокого импеданса, так и в режиме вывода с открытым стоком и состояния выхода 1 (что соответствует высоким входным импедансом), Pn_DIR_PU [x] = 0.
- (2) очищается bTKC_IF и разрешить прерывания прерывания IE_TKEY таймера ожидания, или по инициативе запрос в bTKC_IF прерывания подпрограммы. (3), обнаружение емкости текущего канала автоматически устанавливается этап подготовки bTKC_IF запроса на прерывание, в то время как после того, как следующий цикл будет завершен, TKEY_DAT без изменений и сохраняют данные о 87uS.
- (4), входя в процедуру прерывания, сначала считывает данные из емкости TKEY_DAT текущего канала, и самую высокую битовую маску, тем bTKD_CHG
- Данные относительные величины, и обратно пропорциональна емкости, когда данные, сенсорный меньше, чем ключевые данные депрессии не нажата. (5), при условии TKEY_CTRL регистра bTKC_2MS и bTKC_CHAN2 ~ bTKC_CHAN0, выбрать следующий входной канал. что
- Запись автоматически очищается bTKC_IF, конец запроса прерывания.
- (6), данные TKEY_DAT данных (4), и этап считывания ранее сохраненный без ключа канала, и определяет, является ли изменение емкости
- А если клавиша нажата.
- (7)、中断返回，当下一个通道的电容检测完后将转向步骤(3)。

18、参数

18.1 绝对最大值(临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏)

名称	参数说明	最小值	最大值	单位
TA	工作时的环境温度	- 40	85	°C
TS	储存时的环境温度	- 55	125	°C
VCC	电源电压(VCC 接电源，GND 接地)	- 0.4	5.8	V
VIO	除 P3.6/P3.7 之外其它输入或者输出引脚上的电压	- 0.4	VCC+0.4	V
VIOU	P3.6/P3.7 输入或者输出引脚上的电压	- 0.4	V33+0.4	V

18.2 电气参数 5V(测试条件：TA=25°C，VCC=5V，Fsys=6MHz)

名称	参数说明		最小值	典型值	最大值	单位
VCC5	VCC 引脚电源电压	V33 仅外接电容	3.7	5	5.5	V
V33	内部 USB 电源调整器输出电压		3.14	3.27	3.4	V

<u>ICC24M5</u>	Fsys=24MHz 工作时的总电源电流	8	11		mA
<u>ICC6M5</u>	Fsys=6MHz 工作时的总电源电流	4	6		mA
<u>ICC750K5</u>	Fsys=750KHz 工作时的总电源电流	2	3		mA
ISLP5	睡眠后的总电源电流		0.1	0.2 mA	
ISLP5L	VCC=V33=5V, 且选用外部晶体时钟, 且 bLDO3V3_OFF=1 关闭 LDO, 完全睡眠后的总电源电流		0.008	0.02	mA
IADC5	ADC 模数转换模块工作电流		200	800	uA
ICMP5	电压比较器模块工作电流		100	500	uA
<u>ITKEY5</u>	触摸按键电容检测模块工作电流		150	250	uA
VIL5	低电平输入电压	- 0.4		1.2	V
VIH5	高电平输入电压	2.4		<u>VCC+0.4</u>	V
VOL5	低电平输出电压(12mA 吸入电流)			0.4	V
VOH5	高电平输出电压(8mA 输出电流)	<u>VCC-0.4</u>			V
VOH5U	P3.6/P3.7 高电平输出电压(8mA 输出电流) <u>V33-0.4</u>				V
IIN	无上拉输入端的输入电流	- 5	0	5	uA
IDN5	带下拉电阻输入端的输入电流	- 35	- 70	- 140	uA
IUP5	带上拉电阻输入端的输入电流	35	70	140	uA
<u>IUP5X</u>	<u>带上拉输入端由低向高翻转时的输入电流</u>	250	400	600	uA
Vpot	电源上电复位的门限电压	2.1	2.3	2.5	V

18.3 电气参数 3.3V(测试条件: TA=25°C, VCC=V33=3.3V, Fsys= 6MHz)

名称	参数说明		最小值	典型值	最大值	单位
VCC3	VCC 引脚	V33 短接到 VCC, 开启 USB	3.0		3.3	V
	电源电压	V33 短接到 VCC, 关闭 USB	2.7		3.3	V
<u>ICC16M3</u>	Fsys=16MHz 工作时的总电源电流		4		6	mA
<u>ICC6M3</u>	Fsys=6MHz 工作时的总电源电流		2		4	mA
<u>ICC750K3</u>	Fsys=750KHz 工作时的总电源电流		1		2	mA
ISLP3	睡眠后的总电源电流				0.07	mA
ISLP3L	bLDO3V3_OFF=1 关闭 LDO, 完全睡眠后的总电源电流				0.004	mA
IADC3	ADC 模数转换模块工作电流				150	uA
ICMP3	电压比较器模块工作电流				70	uA
<u>ITKEY3</u>	触摸按键电容检测模块工作电流				130	uA
VIL3	低电平输入电压		- 0.4			V
VIH3	高电平输入电压		1.9		<u>VCC+0.4</u>	V
VOL3	低电平输出电压(8mA 吸入电流)				0.4	V
VOH3	高电平输出电压(5mA 输出电流)		<u>VCC-0.4</u>			V
VOH3U	P3.6/P3.7 高电平输出电压(8mA 输出电流) <u>V33-0.4</u>					V
IIN	无上拉输入端的输入电流		- 5		0	uA
IDN3	带下拉电阻输入端的输入电流		- 15		- 30	uA
IUP3	带上拉电阻输入端的输入电流		15		30	uA
<u>IUP3X</u>	<u>带上拉输入端由低向高翻转时的输入电流</u>		100		170	uA
Vpot	电源上电复位的门限电压		2.1		2.3	V

18.4 时序参数(测试条件：TA=25℃，VCC=5V 或 VCC=V₃₃=3.3V，F_{sys}=6MHz)

名称	参数说明	最小值	典型值	最大值	单位
Fxt	外部晶体频率或者 XI 输入时钟频率	6	24	25	MHz
Fosc	V33=3V ~ 3.6V 时经校准后的内部时钟频率 23.64		24	24.36	MHz
Fosc28	V33=2.8V ~ 3V 时经校准后的内部时钟频率 23.28		24	24.72	MHz
Fosc27	V33=2.7V 时经校准后的内部时钟频率	21	24	25	MHz
Fpll	内部倍频后的 PLL 频率	24	96	100	MHz
Fusb4x	使用 USB 设备功能时，USB 采样时钟频率	47.04	48	48.96	MHz
Fsys	系统主频时钟频率 (VCC>=4.4V)	0.1	6	24	MHz
	系统主频时钟频率 (4.4V>VCC>=3.3V)	0.1	6	16	MHz
	系统主频时钟频率 (VCC<3.3V)	0.1	6	12	MHz
Tpor	电源上电复位延时	9	11	15	mS
Trst	从 RST 外部输入有效复位信号的宽度	70			nS
Trdl	热复位延时	30	45	60	uS
Twdc	看门狗溢出周期/定时周期的计算公式 $65536 * (0x100 - WD_O_G_COUNT) / F_{sys}$				
Tusp	检测 USB 自动挂起时间	4	5	6	mS
Twak	芯片睡眠后唤醒完成时间	1	2	10	uS

19、修改记录

版本	日期	说明
V1.0	2016.12.20	初版发行
V1.1	2017.09.12	最高系统主频调整为 24MHz，更新 8.2，18.4
V1.2	2017.12.16	概述中增加 CH552/CH551 区别表，修改一些表头形式
V1.3	2018.03.20	1 概述中 CH552/1 区别表形式修改，修改表 18.4， 5.3 堆栈指针(SP)修正错别字，6.2 增加 Data Flash 建议
V1.4	2018.08.28	更新 18.4 中 Fosc27

Примечание: длина полученных данных буфера > мин (максимальная длина пакета может получить 2 байта + 64 байта)

17, сенсорные кнопки Touch-Key

17,1 Touch-Key Профиль

CH552 чип конденсатор обеспечивает модуль обнаружения и связанные с ними таймеры, имеющие шесть входных каналов, в диапазоне мощности

Поддержка 5PF ~ 150pF. Поскольку емкостные могут поддерживать до шести сенсорных клавиш, взаимная емкость прикосновение может поддерживать до 15 ключей.

17,2 Touch-Key Регистрация

Таблица 17.2.1 Touch-Key связанный список регистров

ИМЯ	адрес	описание	Сброс значения
TKEY_CTRL	C3h	Touch-Key Control Register	x0h
TKEY_DATH	C5H	высокоскоростной передачи данных байт Сенсорные-Кей (только для чтения)	00h
TKEY_DATL	C4H	Данные низкого байта Сенсорные-Кей (только для чтения)	XXH
TKEY_DAT	C4H	TKEY_DATL и TKEY_DATH, состоящий из 16 СФРОВО	00xxh

Touch-Key Регистр управления (TKEY_CTRL):

место	ИМЯ	доступ	описание	Сброс значения
7	bTKC_IF	RO	Таймер флаг прерывания. Если bTKD_CHG = 0 автоматически устанавливается в конце текущего цикла синхронизации запроса на прерывание, когда в конце подготовительного этапа автоматически очищается или очищается путем записи TKEY_CTRL. Если bTKD_CHG = 1 автоматически сбрасывается, прерывание не требуется, текущий цикл будет пропущен, а следующий цикл обнаружен и повторно подготовлен и автоматически устанавливается в конце следующего цикла запроса на прерывание 1	x
[6: 5]	удержание	RO защищены.		00b
4	bTKC_2MS	RW	Период обнаружения емкости выбора таймера: 0-1mS; 1-2mS. Период недели до стадии подготовки 87uS, оставшейся фазы обнаружения времени. Эти времена основаны на время, когда Fosc = 24MHz	0
3	удержание	RO защищены.		0
2	bTKC_CHAN2	вход RW	сенсорных кнопок выбора максимума емкости обнаружения	0
1	bTKC_CHAN1	RW, обнаружение емкости сенсорных кнопки выбор входного сигнала бит		0
0	bTKC_CHAN0	RW ключ емкости сенсорного обнаружения низкого выбора входа		0

По bTKC_CHAN2 ~ bTKC_CHAN0 выбранный Оptionальный сенсорный электрическая кнопка Емкостной детектор входного канала.

bTKC_CHAN2	bTKC_CHAN1	bTKC_CHAN0	Выбор входных каналов емкости обнаружения прикосновения ключевых
0	0	0	Закреть модуль обнаружения питания емкости, или просто как период 1mS независимого таймера прерывания 2мс
0	0	1	TIN0 (P1.0)
0	1	0	TIN1 (P1.1)
0	1	1	TIN2 (P1.4)
1	0	0	TIN3 (P1.5)
1	0	1	TIN4 (P1.6)
1	1	0	TIN5 (P1.7)
1	1	1	При включении питания модуля обнаружения, но конденсатор не подключен к любому каналу.

Touch-Ke Y Регистр данных (TK E Y DAT) :

место	ИМЯ	доступ	описание	Сброс значения
7	bTKD_CHG TKEY_DATH [7]	RO	флаг изменения управления Touch-Key. Этот бит один, емкость переписывается стадии обнаружения TKEY_CTRL, может привести данные TKEY_DAT является недействительным, и не говоря уже о bTKC_IF конце текущего цикла. Этот бит устанавливается каждый Цикл фазы Подготовка автоматически сбрасывается, когда конец, маска бит данных, которые должны быть приняты	0
6	удержание	RO защищены.		0
[5: 0]	TKEY_DATH	RO	Touch-Key старших байт данных. Автоматически очищается в конце каждого цикла синхронизации фазы подготовки; автоматическое обнаружение подсчета стадии емкости; фаза подготовки данных остается неизменной, так что таймер прерываний чтения	00h
[7: 0]	TKEY_DATL	RO	Данные низкого байта Сенсорные-Key. Автоматически очищается в конце каждого цикла синхронизации фазы подготовки; автоматическое обнаружение подсчета стадии емкости; фаза подготовки данных остается неизменной, так что таймер прерываний чтения	XXH

Функция +17,3 Touch-Key

Емкость шаг обнаружения:

(1), при условии TKEY_CTRL регистра bTKC_2MS и bTKC_CHAN2 ~ bTKC_CHAN0, входной период выбора канала. есть

Отдельные входные каналы, он должен быть установлен в контакты GPIO в режим высокого импеданса, так и в режиме вывода с открытым стоком и состояния выхода 1 (что соответствует высоким входным импедансом), Pn_DIR_PU [x] = 0.

(2) очищается bTKC_IF и разрешить прерывания прерывания IE_TKEY таймера ожидания, или по инициативе запрос в bTKC_IF прерывания подпрограммы. (3),

обнаружение емкости текущего канала автоматически устанавливается этап подготовки bTKC_IF запроса на прерывание, в то время как после того, как следующий цикл будет завершен,

TKEY_DAT без изменений и сохраняют данные о 87uS.

(4), входя в процедуру прерывания, сначала считывает данные из емкости TKEY_DAT текущего канала, и самую высокую битовую маску, тем bTKD_CHG

Данные относительные величины, и обратно пропорциональна емкости, когда данные, сенсорный меньше, чем ключевые данные депрессии не нажата. (5), при условии TKEY_CTRL регистра bTKC_2MS и bTKC_CHAN2 ~ bTKC_CHAN0, выбрать следующий входной канал. что

Запись автоматически очищается bTKC_IF, конец запроса прерывания.

(6), данные TKEY_DAT данных (4), и этап считывания ранее сохраненный без ключа канала, и определяет, является ли изменение емкости

А если клавиша нажата.

(7), возврат из прерывания сразу после завершения емкости обнаружения прохода к стадиям (3).

18, параметры**18.1 абсолютно к Максимальное значение (равной или превышает абсолютное максимальное значение, скорее всего, причиной чипа к работе не Нормальный или даже потеря Плохо)**

ИМЯ	Параметр Описание	Минимум	Максимум блок	
Т.А.	Температура окружающей среды при работе	- 40	85	°C
TS	Температура окружающей среды при хранении	- 55	125	°C
VCC	Напряжение питания (VCC подключен источник питания, GND заземление)	- 0,4	5,8	В
VIO	В дополнение к другой вход P3.6 / P3.7 или напряжения на выходном контакте	- 0,4	VCC + 0,4	В
VIOU	Напряжение на P3.6 / P3.7 входного или выходного штифта	- 0,4	V33 + 0,4	В

18.2 Electric Параметры газа 5V (условия испытаний: TA = 25 °C, VCC = 5V, Fsys = 6 МГц)

ИМЯ	Параметр Описание	Min	Typ	Max блок	
VCC5	Напряжение питания VCC контактный V33 только внешний конденсатор	3,7	5	5,5	В
V33	Внутренний выход USB напряжение регулятора мощности	3,14	3,27	3,4	В

<u>ICC24M5</u>	Общий ток питания работа $F_{sys} = 24\text{MHz}$	8	11		мА
<u>ICC6M5</u>	Полная работа ток питания $F_{sys} = 6\text{MHz}$	4	6		мА
<u>ICC750K5</u>	Полная работа ток питания $F_{sys} = 750\text{KHz}$	2	3		мА
ISLP5	Общий ток питания после сна		0,1	0,2 мА	
ISLP5L	$VCC = V33 = 5\text{В}$, и дополнительный внешний кристалл часы, BLDO3V3_OFF = 1 и от LDO, общий ток питания общий сон		0,008	0.02	мА
IADC5	аналоговый АЦП цифровой преобразователь модуль рабочего тока		200	800	мкА
ICMP5	Рабочий ток модуля компаратора		100	500	мкА
<u>ITKEY5</u>	Текущая операция касания ключа обнаружения емкости		150	250	мкА
VIL5	входное напряжение низкого уровня	- 0,4		1.2	В
VIH5	высокое входное напряжение	2,4		$VCC + 0,4$	В
VOL5	Низкое выходное напряжение (12мА энергопотребление)			0,4	В
VOH5	Выходное напряжение высокого уровня (выходной ток 8 мА)	$VCC-0,4$			В
VOH5U	P3.6 / P3.7 выход высокого уровня напряжения (выходной ток 8 мА) $V33-0,4$				В
ИИН	Нет выдвигной вход входного тока	--5	0	5	мкА
IDN5	Входной ток с входным понижающим резистором	- 35	--70	- 140	мкА
IUP5	Нагрузочный резистор вход входного тока	35	70	140	мкА
IUP5X	Прицепленные на входной конец является низким при высоком токе переключения	250	400	600	мкА
Vpot	При включении питания сброса порогового напряжения	2,1	2,3	2.5	В

18.3 Electric Газовые параметры 3.3V (условия испытаний: $T_A = 25^\circ\text{C}$, $VCC = V33 = 3.3\text{V}$, $F_{sys} = 6\text{MHz}$)

ИМЯ	Параметр Описание		Min	Typ	Max блок	
VCC3	VCC контактный	V33 замкнута на VCC, открытый USB	3.0	3,3	3,6	В
	напряжение питания	V33 замкнута на VCC, отключить USB	2,7	3,3	3,6	В
<u>ICC16M3</u>	Общий ток питания работа $F_{sys} = 16\text{MHz}$		4	6		мА
<u>ICC6M3</u>	Полная работа ток питания $F_{sys} = 6\text{MHz}$		2	4		мА
<u>ICC750K3</u>	Полная работа ток питания $F_{sys} = 750\text{KHz}$		1	2		мА
ISLP3	Общий ток питания после сна			0,07	0,15	мА
ISLP3L	bLDO3V3_OFF = 1 замкнутый LDO, общий ток питания всего сна			0,004	0,01	мА
IADC3	аналоговый АЦП цифровой преобразователь модуль рабочего тока			150	500	мкА
ICMP3	Рабочий ток модуля компаратора			70	300	мкА
<u>ITKEY3</u>	Текущая операция касания ключа обнаружения емкости			130	200	мкА
VIL3	входное напряжение низкого уровня		- 0,4		0.8	В
VIH3	высокое входное напряжение		1,9		$VCC + 0,4$	В
vol3	Выход низкого уровня напряжения (тока тонуть 8mA)				0,4	В
VOH3	Выходное напряжение высокого уровня (выходной ток 5 мА)		$VCC-0,4$			В
VOH3U	P3.6 / P3.7 выход высокого уровня напряжения (выходной ток 8 мА) $V33-0,4$					В
ИИН	Нет выдвигной вход входного тока		--5	0	5	мкА
IDN3	Входной ток с входным понижающим резистором		--15	--30	- 60	мкА
IUP3	Нагрузочный резистор вход входного тока		15	30	60	мкА
IUP3X	Прицепленные на входной конец является низким при высоком токе переключения		100	170	250	мкА
Vpot	При включении питания сброса порогового напряжения		2,1	2,3	2.5	В

18.4 Когда Параметр порядка (Условия испытаний: $T_P = 25^\circ\text{C}$, $V_{CC} = 5V$ или $V_{CC} = V_{33} = 3.3$, $P \leq YS = 6 \text{ МГц}$)

Имя	Параметр Описание	Min	Typ	Max	блок
Fxt	Частота внешнего кристалла или тактовый входной частоты XI	6	24	25	МГц
Fosc	$V_{33} = 3V \sim 23.64$ по внутренней тактовой частоте после калибровки при $3.6V$		24	24,36	МГц
Fosc28	$V_{33} = 2.8V \sim 23.28$ внутренним тактовой частотой калиброванного по $3V$		24	24,72	МГц
Fosc27	Частота внутренних часов после того, как $V_{33} = 2.7V$ калиброванный	21	24	25	МГц
Fpll	После умножителя частоты внутреннего PLL	24	96	100	МГц
Fusb4x	При использовании функции USB-устройства, тактовая частота дискретизации USB	47,04	48	48,96	МГц
Fsys	тактовая частота системной частоты ($BKK > 4.4V$)	0,1	6	24	МГц
	тактовая частота системной частоты ($4.4V > V_{CC} > 3.3$)	0,1	6	16	МГц
	тактовая частота системной частоты ($V_{CC} < 3.3V$)	0,1	6	12	МГц
Tpor	Включение сброса задержки	9	11	15	мС
Trst	Активный сигнал сброса RST вход от внешней ширины	70			нСм
Trdl	Теплое Reset Delay	30	45	60	мкС
Twdc	Период тайм-аута сторожевого Рассчитано период / времени $65536 * (0x100 - WD_O_G_COUNT) / F_{sys}$				
Tusp	Автоматическое обнаружение USB приостановить время	4	5	6	мС
Twak	После сна чипа время завершения бодрствования	1	2	10	мкС

19, изменить запись

издание	дата	объяснение
V1.0	2016.12.20	размещение ценных бумаг, первичное
V1.1	2017.09.12	Самая высокая частота системы довели до 24MHz, обновить 8.2,18.4
V1.2	2017.12.16	Обзор увеличить разницу таблицы CH552 / CH551, изменить некоторые формы заголовка
V1.3	2018.03.20	1. Обзор CH552 / 1 различие модификации табличной, модификации таблицы 18.4, 5.3 Указатель стека (SP) исправлены опечатки, увеличение 6.2 флэш-данные предложения
V1.4	2018.08.28	Обновление 18,4 Fosc27