

CSE 331 Computer Organization

Project 3 – R-type Single cycle MIPS with Structural

Verilog

Bu 3. projede önceki projenin üzerine devam ettik. Önceki projemizde ALU tasarlamıştık. 8x1 mux kullanarak select bitlerinden gelen işlemi yapıyorduk. 3. Projemizde bunların üzerine register bloğunu ve R Type instruction ları ekledik.

Mips_register:

Bunları yapabilmek için mips_register module'ünü behavioral kullandık. 32x32 registers kullandık. Bunun içinden okuyup, bunun içine yazdık. Bu registers'ı testbench'den okuduğumuz file ile dolduruyoruz. Yazma işlemi yapmak için 2 tane kontrol yapıyoruz. İlk olarak writeEnable biti 1 oldu mu ona bakıyoruz. Sonra yazılacak yer 0. Register ise oraya yazmıyoruz. Çünkü 0.register her zaman 0 olmalı. Bu şartlar sağlanırsa registers içine gelen değeri yazıyoruz.

Mips32:

Instructions buraya geliyor ilk olarak. Burada R type'a göre funct, shamt, kısımlarını ayarlıyoruz. Register bloğu burada kullanıyoruz. Oradan gelen sonuçları 2 adet 2x1 mux işlemine tabii tutuyoruz. Bu niye yapıyoruz? Çünkü shift işlemlerinde (sll, srl) önceki projedeki gibi ilk sayıyı ikinci sayı kadar shift etmiyoruz. Bu projede ikinci sayıyı shamt sayısı kadar shift ediyoruz. Bundan dolayı register bloğundan gelen ilk sayı yerine ikinci sayıyı almamız gerekiyor ve ikinci sayı yerine de shamt sayısını almamız gerekiyor. Burada shamt 5 bit ama ikinci gelen sayı 32 bit. Bunu nedenle shamt sayısının 32 bite tamamlıyoruz. Sonra 2 adet 2x1 mux a gönderiyoruz. Burada seçici bit olarak shift lere özgü olarak funct'ın 5. biti bı kullanıyoruz. Bu sonuçlarıda ALU'ya gönderiyoruz. ALU önceki projedekinin aynısı.

Daha sonra ALU dan gelen sonucu alıyoruz. Bu sonucu register bloğuna yazmamız gerekiyor. Ama öncesinde sltu işlemi için biraz değişiklik yapmamız gerekiyor. Sltu için ALU da sub işlemi yapılıyor. Sonra bu sonucu alıp most sign bitini alıyoruz. Bu bitin sol tarafını 0 bit ile dolduruyoruz. Sltu nun sonucunu bulmuş oluyoruz. Eğer sltu sinyali gelirse bu sonucu göndereceğiz. Bunun için buraya da bir adet 2x1 mux koyuyoruz. Bu mux'un sonucunu register bloğuna gönderiyoruz.

ALUControl:

Burada instruction'dan gelen funct'a göre ALU'ya select bitlerini gönderiyoruz. Yani 6bit input funct geliyor ve 3 bit select biti ALU'ya gidiyor. Bunun için tüm funct lara göre bir devre kurmamız gerekiyor. Ben 7.slayttaki gibi tablo şeklinde yaptım sonra yanındaki gibi bir devre kurdum.

F5	F4	F3	F2	F1	F0	Select
0	0	0	0	0	0	010
0	0	0	0	1	0	001
1	0	0	0	0	x	010
1	0	0	1	0	0	000
1	0	0	1	1	1	011
1	0	0	1	0	1	001
1	0	1	0	0	1	000
1	0	0	0	0	x	000

$Select[2] = \overline{F5} + F1$
 $Select[1] = (\overline{F1} \cdot \overline{F2}) + (F1 \cdot F2)$
 $Select[0] = (F1 \cdot \overline{F5}) + (F2 \cdot F0)$

Mips32_testbench:

Burada çoğu şeyi yapan mips32 modülünü test edeceğiz. 32 bit instruction ve result tanımlıyoruz. Dosya okuma ve yazma kısımlarını burada yapıyorum. Dosyayı registers bloğundaki registers kısmına direk okuyoruz. 10 tane farklı instruction belirleyip farklı işlemler uyguluyoruz. Ve sonuçları registers'dan alıp tekrar dosyaya yazıyoruz. Clk olayını da her instructiondan sonra değiştiriyoruz.

The screenshot shows the Icarus Verilog IDE interface. The top panel displays the instance hierarchy for the 'mips32_testbench' simulation. The middle panel shows the 'Processes (Active)' window, which is currently empty. The bottom panel shows the 'Transcript' window, which displays the simulation output, including the loading of work modules and the execution of the 'step -current' command, resulting in a series of 'result' values.

Instance	Design unit	Design unit type	Visibility	Total coverage
mips32_testbench	mips32_test...Module		+acc=<f...	
m0	mips32	Module	+acc=<f...	
#vsim_capacity#	Capacity		+acc=<f...	

Name	Value	Kind
instruction_set	00000010000100010111000000100100	Packed Array
result	00000000000000000000000000000000	Net
clk	0	Register

Name	Type (filtered)	State	Order	Parent Path
------	-----------------	-------	-------	-------------

```

# Loading work.full_adder
# Loading work.xorGate
# Loading work.subtraction
# Loading work.arithmetic_shift_right
# Loading work.logic_shift_left
# Loading work.NorGate
VSIM4> step -current
# result = 00000000000000000000000000000000
#
# result = 0000000000000000000000000000010001
#
# result = 111111111111111111111111111101110
#
# result = 0000000000000000000000000000010001
#
# result = 0000000000100000000000000000000000
#
# result = 0000000000000000000000000000010001
#
# result = 0000000000000000000000000000000000
#
VSIM 5>

```

151044092