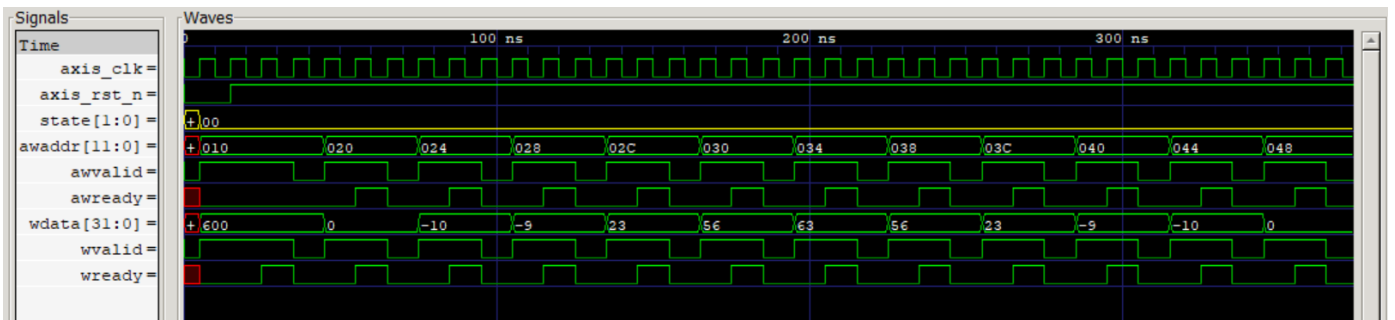
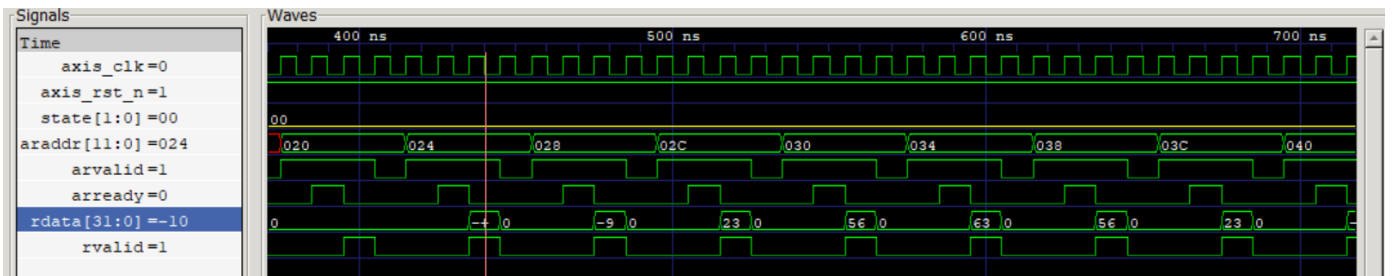


# 1. Simulation Waveform, show

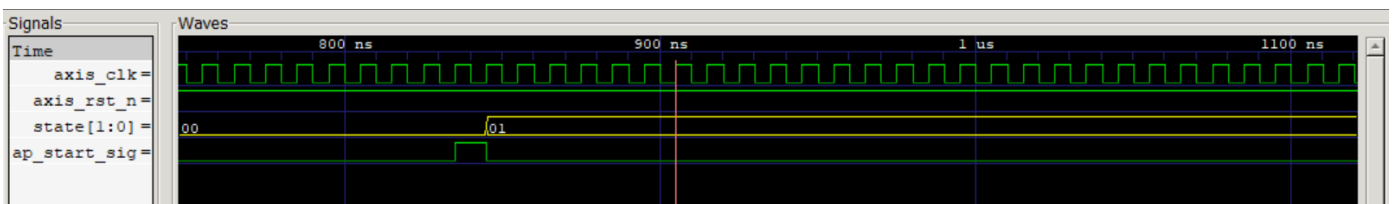
1.1 首先 state = ap\_idle(2'b00)，開始的輸入 taps，並存在 RAM。



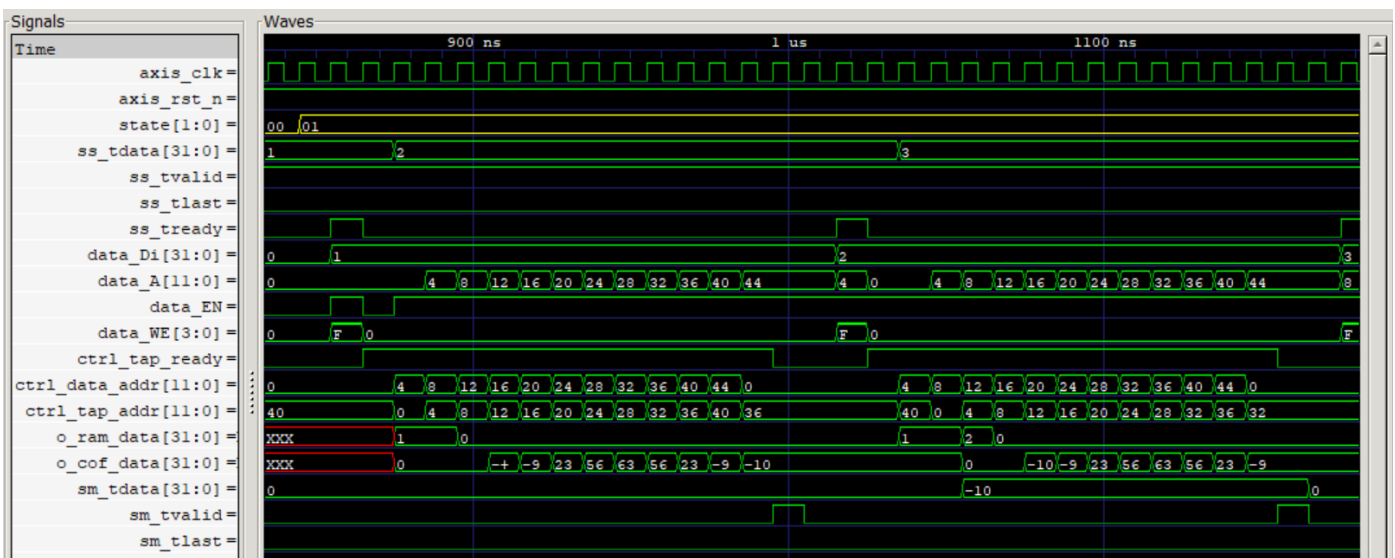
1.2 testbench 開始的檢查輸出的 taps。



1.3 當接收到 testbench 的 ap\_start 訊號，ap\_start\_sig = 1，state = ap\_start(2'b01)。



1.4 state = ap\_start(2'b01)後，會將 ss\_tdata 寫入至 RAM，並且 ctrl\_tap\_ready = 1，ctrl 模組開始輸出對應的 tap\_addr 與 data\_addr，之後從 RAM 讀出數值做相乘累加，輸出結果，且 sm\_tvalid = 1。



1.5 當  $ss\_tlast = 1$  與  $sm\_tlast = 1$  後， $state = ap\_done(2'b10)$ 。

