

量子計算機アーキテクチャ分野の研究動向

資料: <https://yuteno.github.io/> または上野のresearchmapで公開

理化学研究所量子コンピュータ研究センター

超伝導量子計算システム研究ユニット

基礎科学特別研究員

上野 洋典

上野（海部）洋典

• 経歴

- 2015.4~2017.3: 東大工学部 計数システム
- 2017.4~2022.3: 東大情報理工 システム情報学専攻 中村研
 - 計算機アーキテクチャ、省電力計算
 - 博論: 超伝導古典回路を用いた量子誤り訂正
- 2022.5~2023.2: ミュンヘン工科大学 訪問研究員
 - HPC、アーキテクチャ、量子-HPC連携
- 2023.4~現在: 理研RQC 田淵ユニット 基礎特研究員

• 研究対象、興味

- 計算機アーキテクチャ、超伝導古典（SFQ）回路、誤り耐性量子計算



IEEE Quantum weekの合間にシアトル観光中の上野

IEEE Quantum Week



	2022	2023
Attendees:	1050	-> 1345+146
Papers:	70	-> 153
Workshops:	16	-> 32
Tutorial:	26	-> 30
Posters:	60	-> 93

Quantum-HPC

Integration

Resource Estimation

Quantum

Quantum Network

Cryogenic Electronics

Algorithm

Quantum Computer
Architecture

Qubit Control
System

理論
アプリ

Applications

Intermediate
Representation

Error correction

デバイス

発表内容

- 計算機アーキテクチャ分野について
 - 計算機アーキテクチャの研究対象・隣接分野
 - 計算機アーキテクチャ分野における量子関連の研究動向
- 量子計算機アーキテクチャの研究紹介
 - FTQCの実現に向けた極低温環境で動作する量子誤り訂正機構
 - 現実的な状況を想定した量子誤り訂正アーキテクチャ
 - 極低温NISQマシンにおける異なる温度環境間のバンド幅削減
- まとめ・今後の量子計算機アーキテクチャ研究に向けて

計算機アーキテクチャ

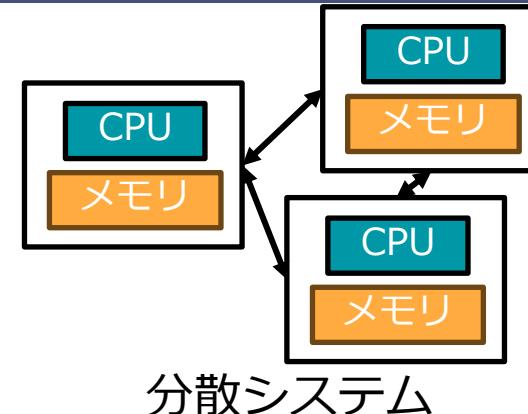
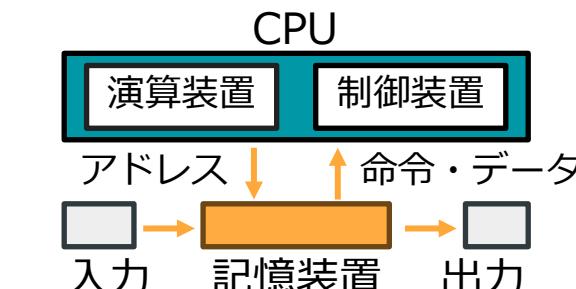
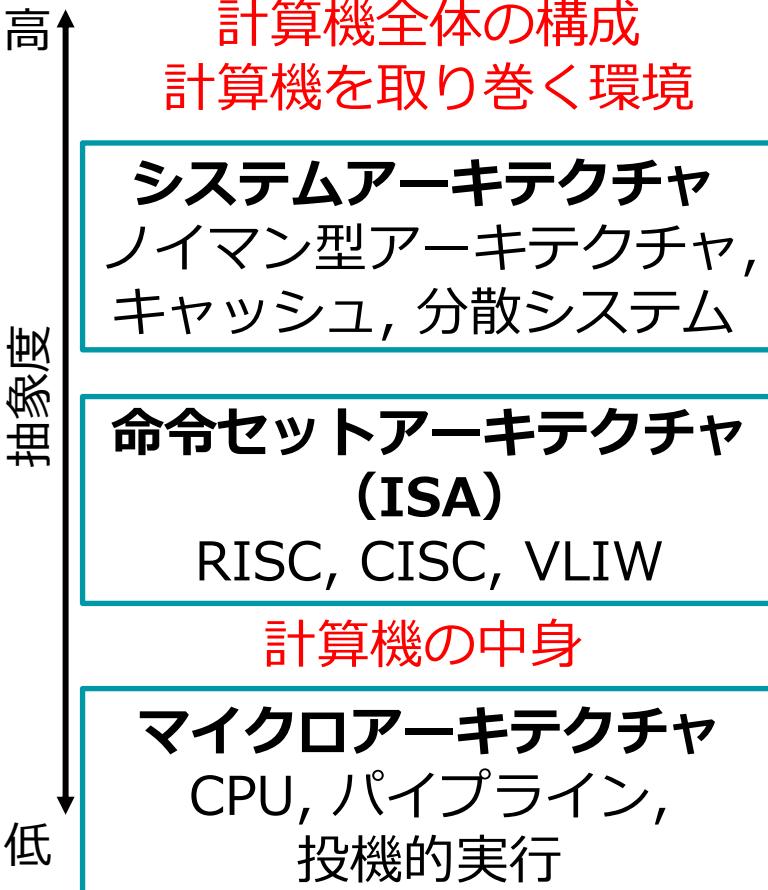
What is Computer architecture?

- “*Computer Architecture* is the science and art of selecting and interconnecting hardware components to create computers that meet functional, performance and cost goals.”
- WWW Computer Architecture Page

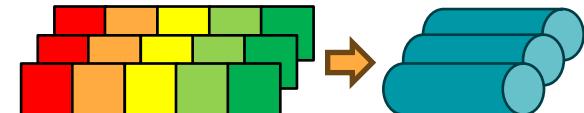
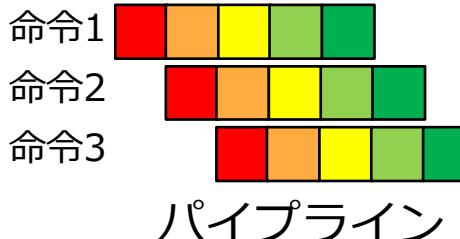
建築（アーキテクチャ）とのアナロジー



計算機アーキテクチャ分野の研究対象

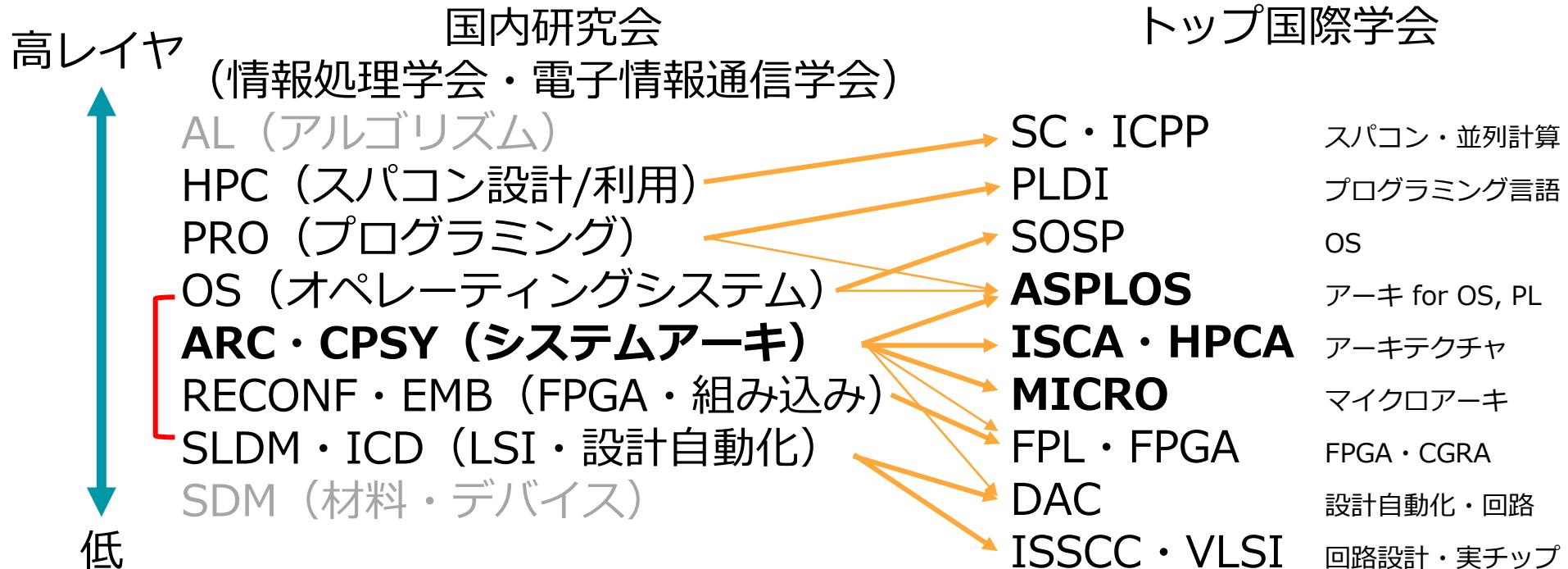


x86 (CISC) vs. RISC-V (RISC)



ベクトル演算器

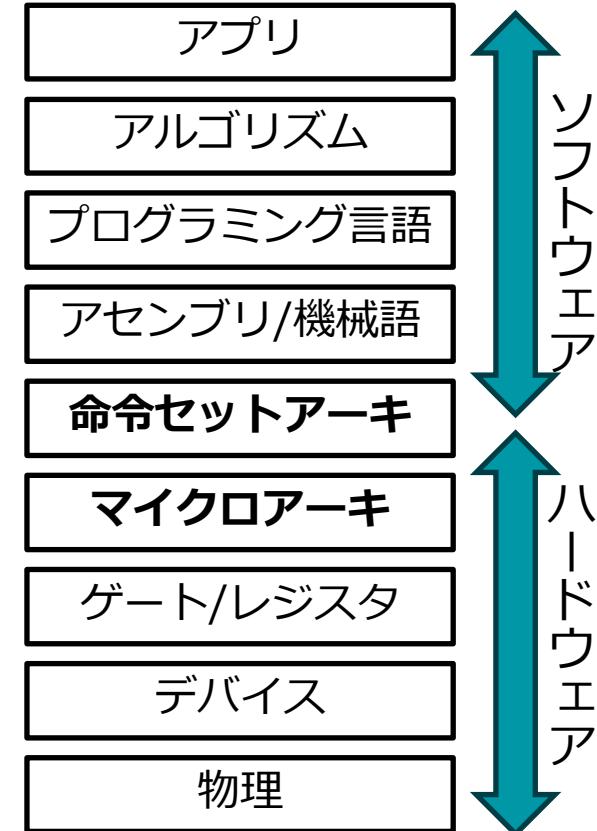
計算機アーキテクチャの隣接分野



上は計算機と不可分なソフトウェアまで
下はビットまで

計算機アーキテクチャの役割

- 抽象化のレベルを適切に定める
 - プログラマが何を意識して何を意識しないか
- 上位、下位レイヤの変化に応じてコストを最小化しつつ計算機の設計を更新
- 各コンポーネントを統合して計算機全体としての性能見積もり、フィードバック
 - どこに何を押し付けるか決める
- 計算能力の継続的な向上の展望を示す



発表内容

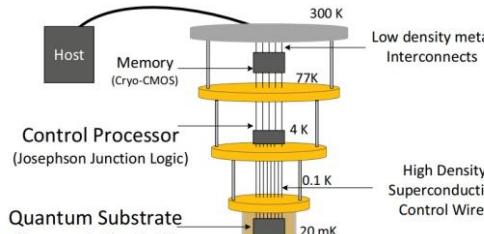
- 計算機アーキテクチャ分野について
 - 計算機アーキテクチャの研究対象・隣接分野
 - 計算機アーキテクチャ分野における量子関連の研究動向
- 量子計算機アーキテクチャの研究紹介
 - FTQCの実現に向けた極低温環境で動作する量子誤り訂正機構
 - 現実的な状況を想定した量子誤り訂正アーキテクチャ
 - 極低温NISQマシンにおける異なる温度環境間のバンド幅削減
- まとめ・今後の量子計算機アーキテクチャ研究に向けて

量子計算機アーキテクチャ分野

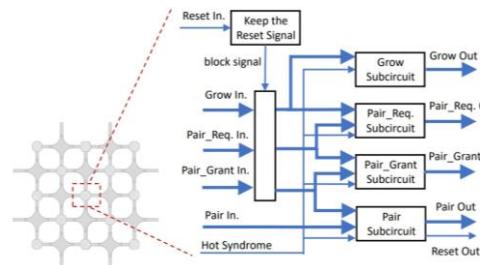
システムアーキテクチャ

命令セットアーキテクチャ (ISA)

マイクロアーキテクチャ



Cryogenic QEC architecture
MICRO2017



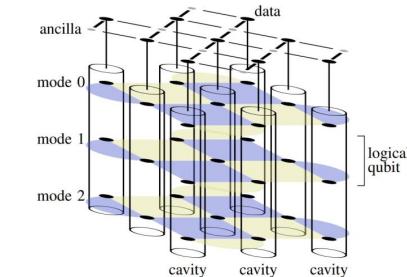
SFQ surface code decoder , ISCA2020

K. Bertels et al., "eQASM: An Executable Quantum Instruction Set Architecture," in HPCA2019.

C. Duckering et al., "Virtualized Logical Qubits: A 2.5 D Architecture for Error-Corrected Quantum Computing," in MICRO2020.

S. Tannu et al., "Taming the Instruction Bandwidth of Quantum Computers via Hardware-Managed Error Correction," in MICRO2017.

A. Holmes et al., "NISQ+: boosting quantum computing power by approximating quantum error correction," in ISCA2020.



Virtualized Logical Qubit
MICRO2020

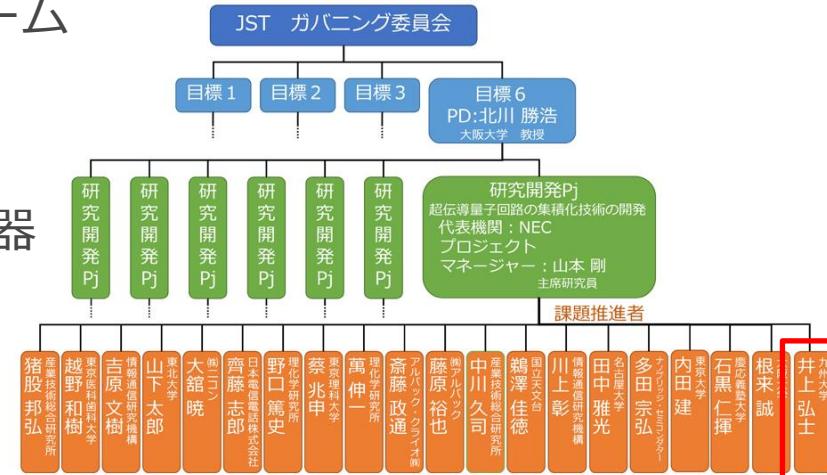
Table I. Overview of eQASM instructions. The operator :: concatenates the two bit strings.

Type	Syntax	Description
Control	CMP Rd, Rt	Compare GPR Rd and Rt and store the result into the comparison flags.
	BR <Comp. Flag>, Offset	(BRanch) Jump to PC + Offset if the specified comparison flag is '1'.
	FBR <Comp. Flag>, Rd	(Fetch Branch Register) Fetch the specified comparison flag into GPR Rd.
	LDI Rd, Imm	(Load Immediate) Rd = sign_extImm(19,0).
Data Transfer	LDU1 Rd, Imm, Rs	(Load Unsigned Immediate) Rd = Imm[14..0]; Rs[16..0].
	LD Rd, Rt(Imm)	(Load from memory) Load data from memory address Rt + Imm into GPR Rd.
	ST Rs, Rt(Imm)	(Store to memory) Store the value of GPR Rs in memory address Rt + Imm.
	FMR Rd, QI	(Fetch Measurement Result) Fetch the result of the last measurement instruction on qubit i into GPR Rd.
Logical	AND/OR/XOR Rd, Rs, Rt	Logical and, or, exclusive or, not.
	NOT Rd, Rt	
Arithmetic	ADD/SUB Rd, Rs, Rt	Addition and subtraction.
	MUL Rd, Rs, Rt	
Waiting	QWAIT Imm	(Quantum WAIT Immediate/Register) Specify a timing point by waiting for the number of cycles indicated by the immediate value Imm or the value of GPR Rs.
Target Specify	QMTR Rd	(Set Mask Immediate for Single-/Two-qubit operations) Update the single-/two-qubit operation target register Rd (Tq).
	SM1S Sd, <Qubit List>	
Q Bundle	SM1D Td, <Qubit Pair List>	
	[PI,] Q_Op [i] Q_Opi+	Applying operations on qubits after waiting for a small number of cycles indicated by PI.

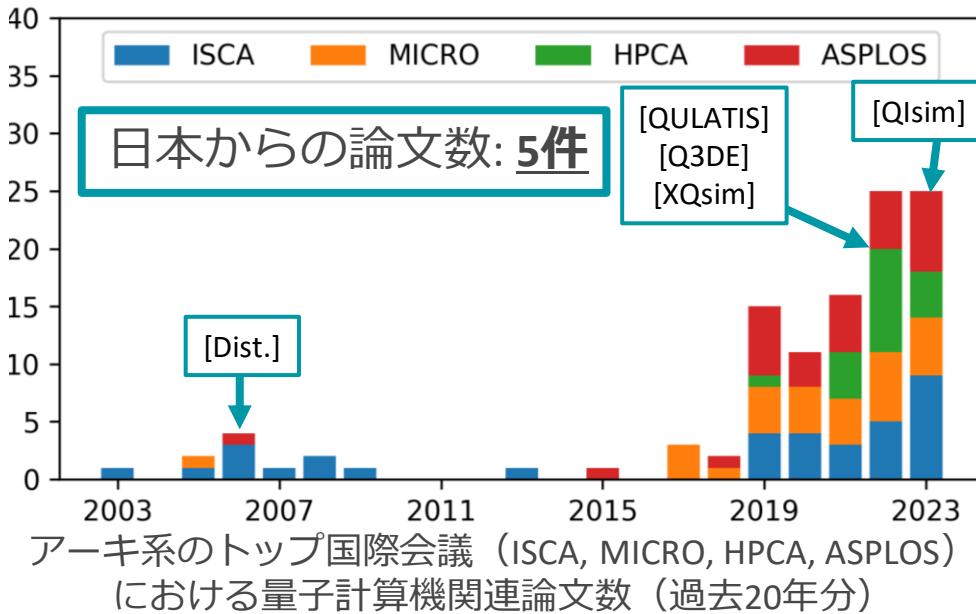
eQASM, HPCA2019

量子計算機開発におけるアーキテクチャの知見

- 理論では考えられていないコンポーネントを詰める
 - 例: 誤り訂正符号の復号（エラー訂正）が多項式時間の古典処理ができる
 - 誰がどこで解くのか、計算機全体の構成はどうなるのか
- 各要素技術を統合して考えて、性能見積もり、開発へのフィードバック
 - 例: 超伝導ムーンショットの井上先生チーム
- 経済的な制約
 - 例: $p = 10^{-5}$ の量子ビット + 軽量復号器 vs. $p = 10^{-3}$ の量子ビット + 高精度復号器



国内外の量子計算機アーキテクチャ研究動向



年	量子関連論文割合
2003~2018	0~1%程度
2019	5.4% (15/276)
2020	3.6% (11/308)
2021	5.0% (16/323)
2022	7.7% (25/325)
2023	6.1% (25/408)

トップ国際会議における
量子関連論文数割合

元データ: <https://yuteno.github.io/> または上野のresearchmapで公開中

[Dist.] R. Van Meter, W. Munro, K. Nemoto, K. Itoh, "Distributed Arithmetic on a Quantum Multicomputer", ISCA2006.

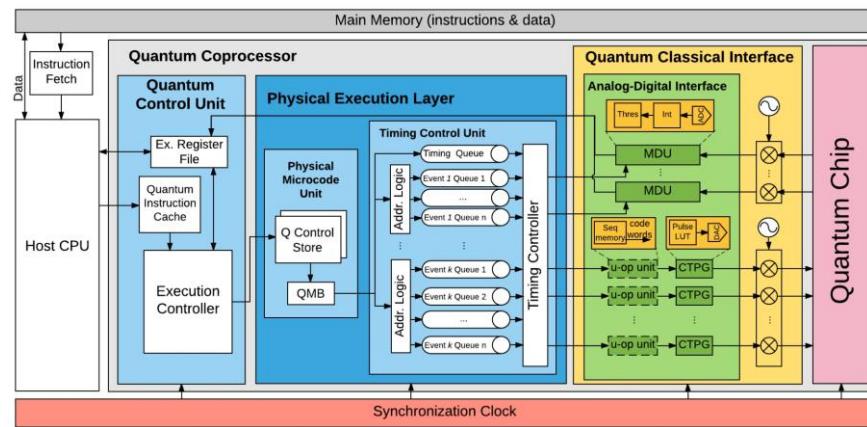
[QULATIS] Y. Ueno, M. Kondo, M. Tanaka, Y. Suzuki, Y. Tabuchi, "QULATIS: A Quantum Error Correction Methodology toward Lattice Surgery", HPCA2022.

[Q3DE] Y. Suzuki, ..., K. Inoue, T. Tanimoto, "Q3DE: A fault-tolerant quantum computer architecture for multi-bit burst errors by cosmic rays", MICRO2022.

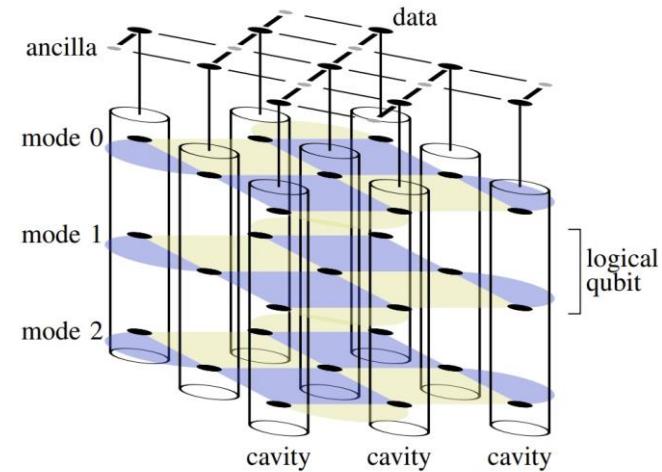
[XQsim] I. Byun, ..., T. Tanimoto, M. Tanaka, K. Inoue, J. Kim, "XQsim: modeling cross-technology control processors for 10+K qubit quantum computers", ISCA2022.

[QIsim] D. Min, ..., M. Tanaka, K. Inoue, J. Kim, "QIsim: Architecting 10+K Qubit QC Interfaces Toward Quantum Supremacy", ISCA2023.

量子計算機アーキテクチャ研究のインパクト



Quantum MicroArchitecture
MICRO'17 Best paper



Virtualized Logical Qubits
MICRO'20 Best paper runner-up

- 計算機アーキテクチャ分野でも量子計算機研究は評価される
- 物理（量子情報）+アーキテクチャの知見でインパクト大

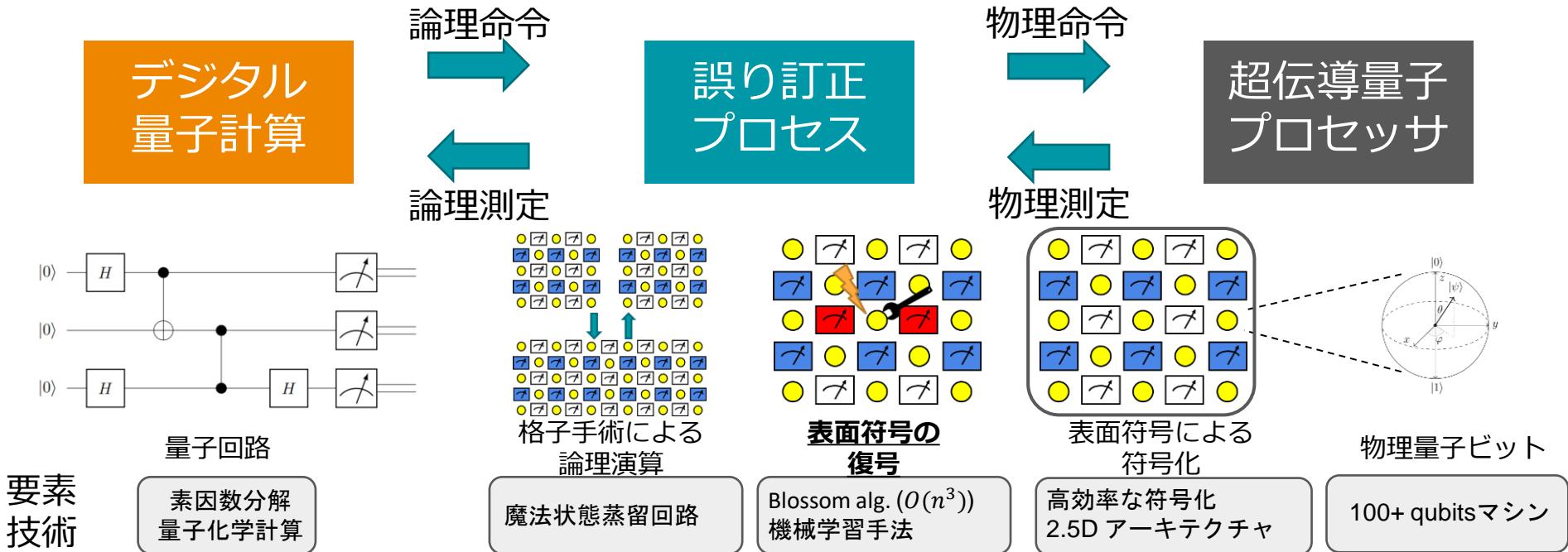
X. Fu et al., "An Experimental Microarchitecture for a Superconducting Quantum Processor", MICRO 2017.

C. Duckering et al., "Virtualized Logical Qubits: A 2.5D Architecture for Error-Corrected Quantum Computing", MICRO 2020.

発表内容

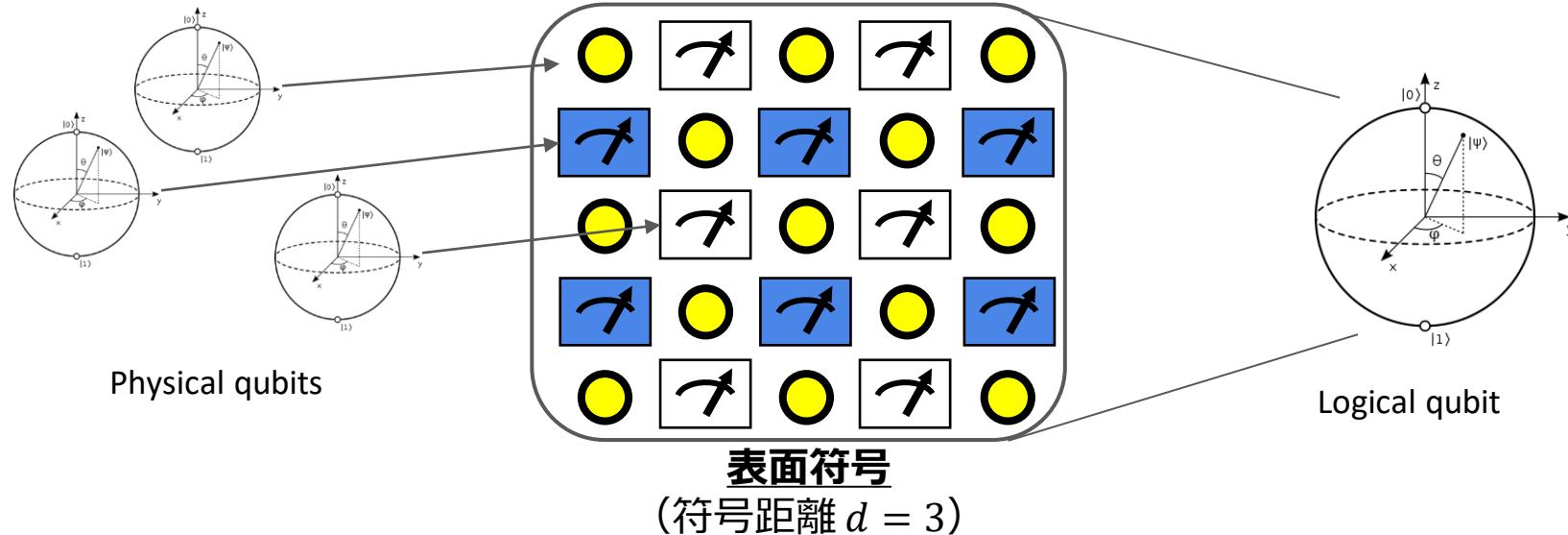
- 計算機アーキテクチャ分野について
 - 計算機アーキテクチャの研究対象・隣接分野
 - 計算機アーキテクチャ分野における量子関連の研究動向
- 量子計算機アーキテクチャの研究紹介
 - FTQCの実現に向けた極低温環境で動作する量子誤り訂正機構
 - 現実的な状況を想定した量子誤り訂正アーキテクチャ
 - 極低温NISQマシンにおける異なる温度環境間のバンド幅削減
- まとめ・今後の量子計算機アーキテクチャ研究に向けて

誤り耐性量子計算 (FTQC) の主な構成要素



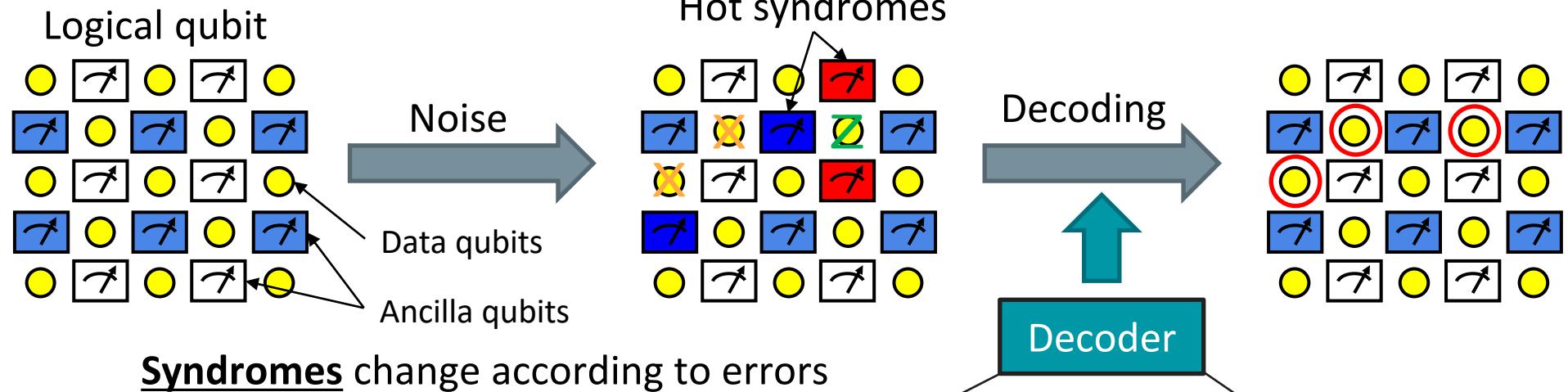
- 「いかにして効率的な誤り訂正プロセスを実現するか」が誤り耐性量子計算の実現性の決め手
- 表面符号の復号（エラー推定）がボトルネック

量子誤り訂正符号: 表面符号



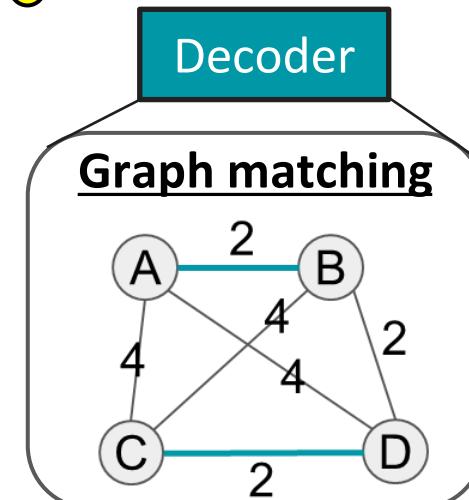
- 複数の物理量子ビットを冗長に組み合わせて論理量子ビットを表現
- 表面符号の復号 (=エラー推定) はグラフマッチング問題に帰着される
- 古典計算機のアシストにより量子計算機の誤り耐性を向上！

表面符号の復号の概要、古典との対比



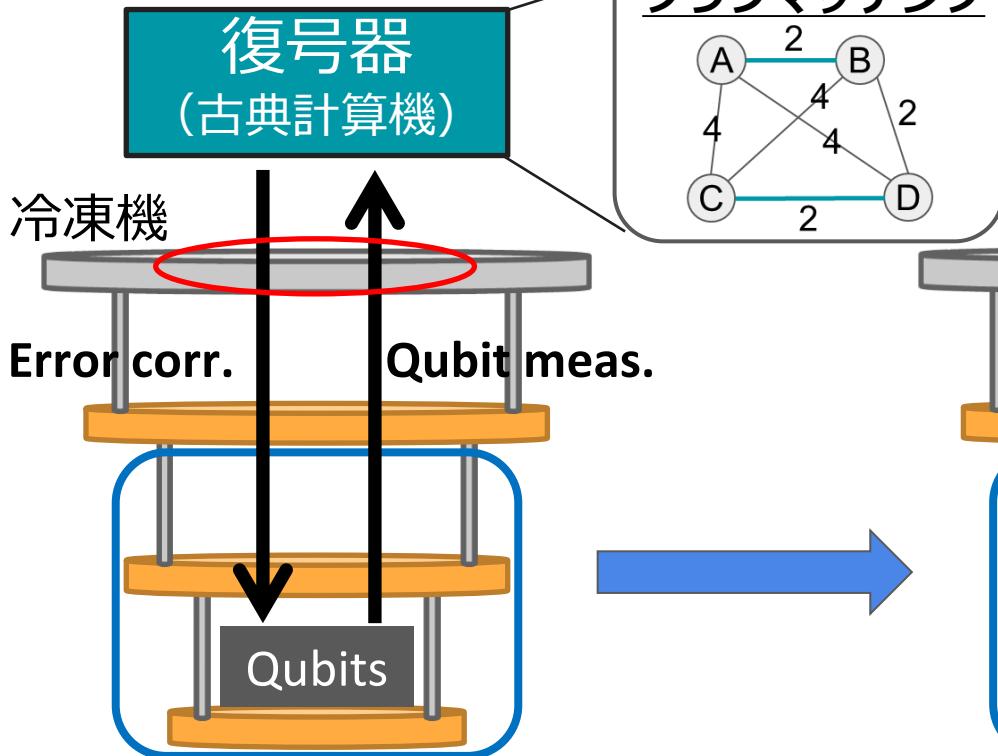
Cf. Classical error correction with parity bit

0-> 000	1 0 0	? ? ?
1-> 111	^ ^ 1 0	^ ^ 1 1
Codewords	-> <u>0 0 0</u>	-> ? ? ?

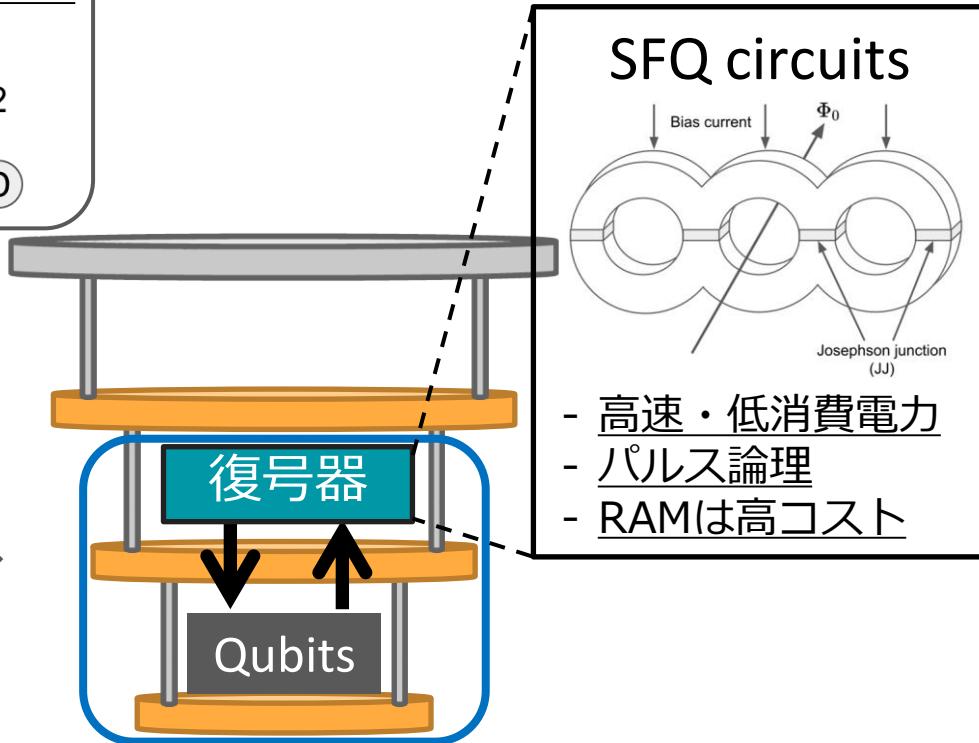


超伝導量子ビット+極低温環境で動作する復号器

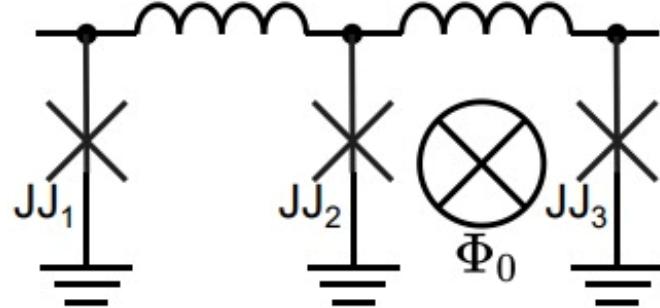
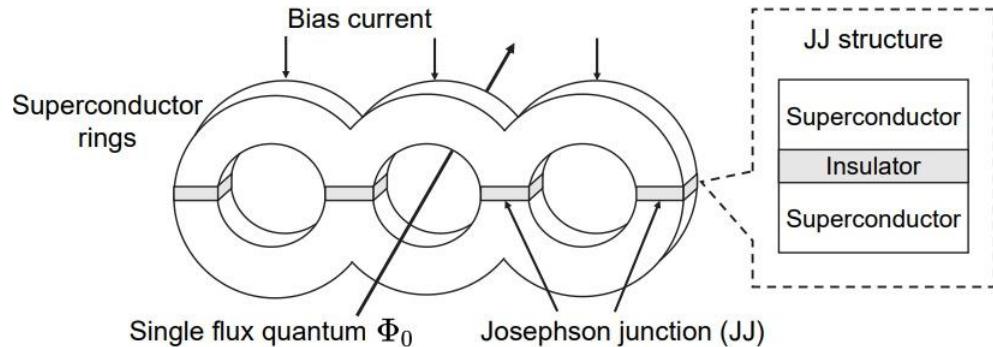
従来アーキテクチャ



提案アーキテクチャ

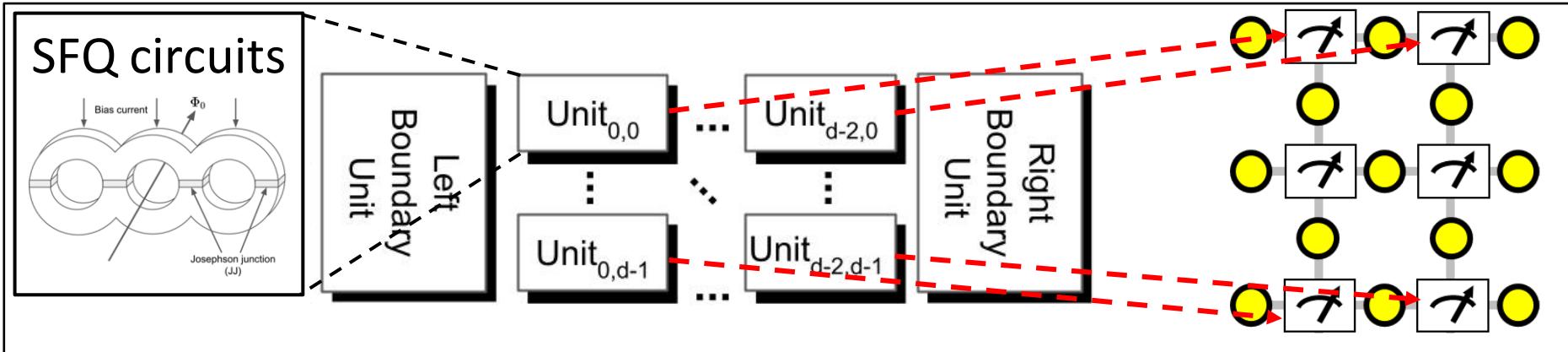


超伝導古典回路による復号



- 単一磁束量子 (SFQ: Single Flux Quantum) 回路
- 超伝導リング内の磁束量子の有無で0 or 1を表現
- 4K程度の極低温環境でのみ動作
- CMOSに比べて高速・低消費電力
- 大規模なメモリの構築は難しい
 - Blossom AlgorithmをSFQで実行するのは現実的でない

提案手法: QECOOL

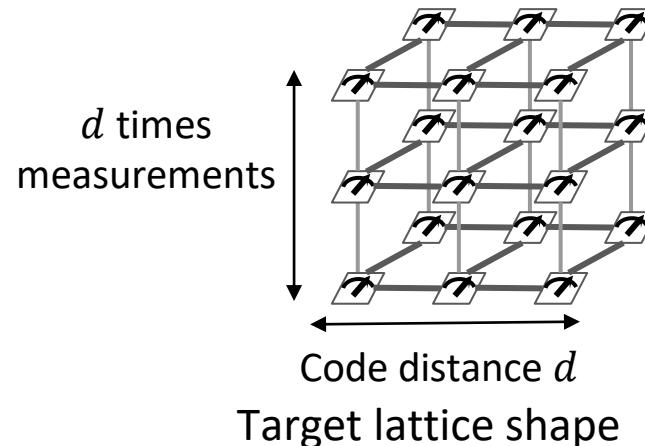
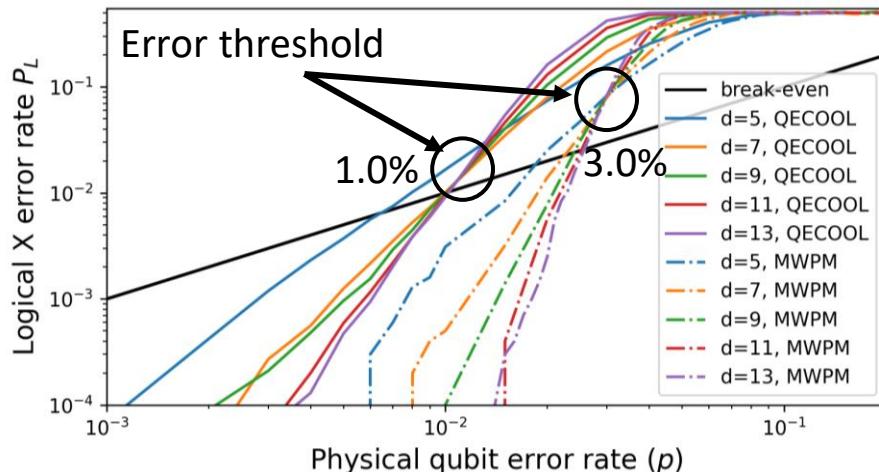


QECOOLのアーキテクチャ

- Quantum Error COrrection by On-Line decoding algorithm
- 大規模なRAMを必要としない分散型のアーキテクチャ
 - 補助量子ビットに1対1に対応するUnitを導入
 - Unit同士の3種類の信号伝播によりマッチング問題を解く

Y. Ueno, M. Kondo, M. Tanaka, Y. Suzuki, Y. Tabuchi, "QECOOL: On-Line Quantum Error Correction with a Superconducting Decoder for Surface Code", 58th IEEE/ACM Design Automation Conference. (DAC 2021)

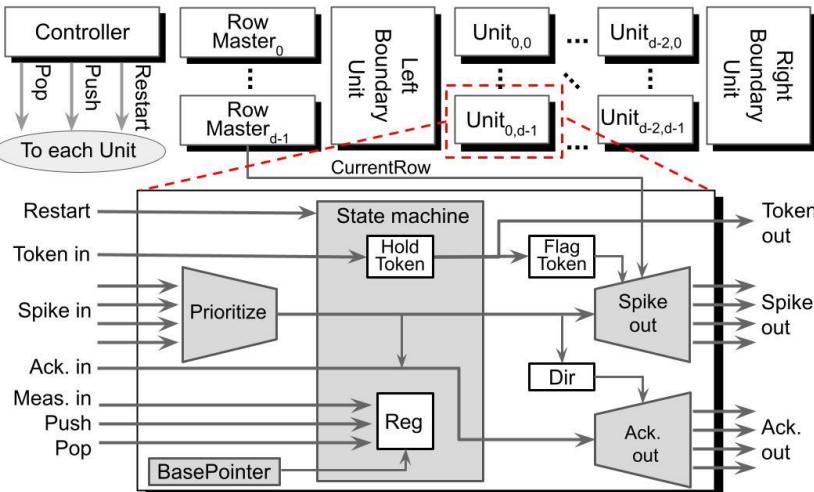
QECOOLの復号性能



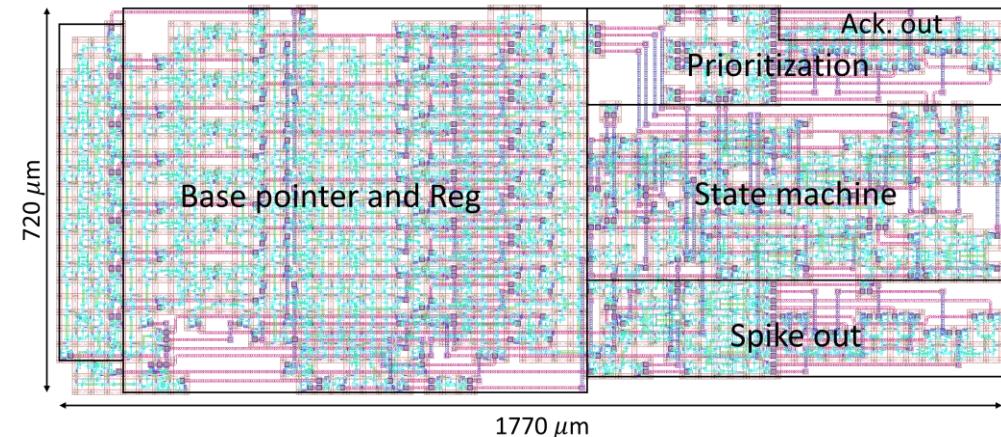
Experimental condition

- Measurement process is performed once every 1 μ s
- Each QECOOL Unit has a 7-bit buffer to store syndrome values
- If buffer entry size is greater than $K = 3$, QECOOL is performed; otherwise, each Unit waits for measurement process
- MWPM operates with batch-QEC manner
- しきい値: QECOOL $p = 0.01$, MWPM $p = 0.03$

QECOOL復号器のSFQ回路による実装



Architecture overview of QECOOL



SFQ design layout of QECOOL Unit

JJs: 3177

Area: 1.274 mm²

Latency: 215 ps

Power cons.: 2.78 μW

Decoder power consumption per one logical qubits

Suppose $d = 9$,

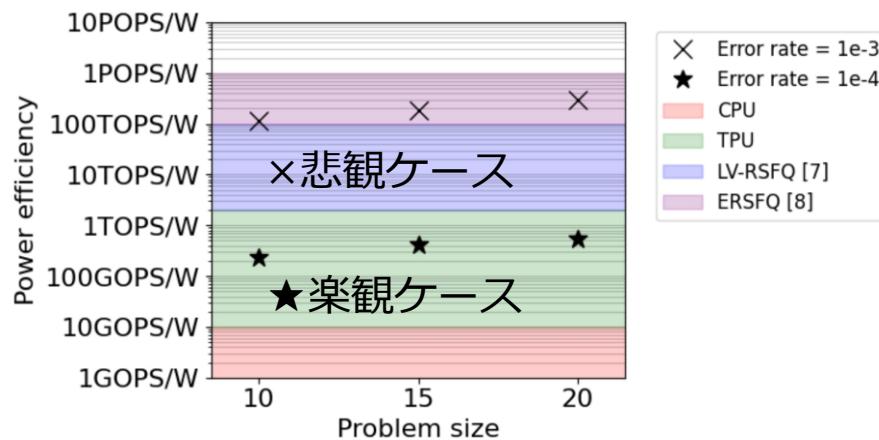
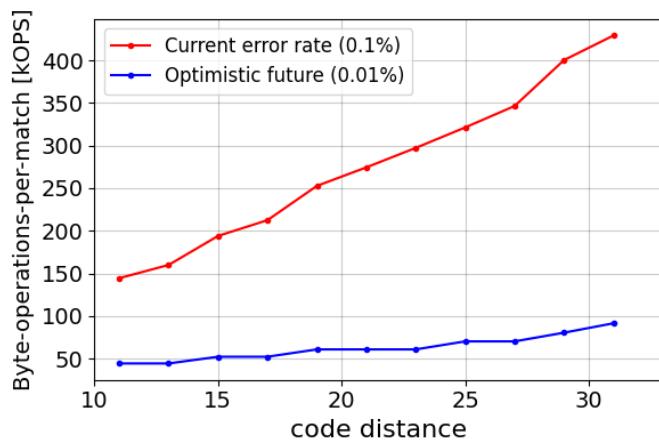
$$9 \times 8 \times 2 \times 2.78[\mu\text{W}] = 400 \mu\text{W}$$

QECOOLまとめ

- 極低温環境での復号はスケーラブルな超伝導FTQCの実現のために必須
- SFQ回路で実装したQECOOL復号器はレイテンシ制約を満たしつつ極低温環境で動作する
- 1論理ビット ($d = 9$)あたりの復号器の消費電力は $400 \mu\text{W}$
 - 4K環境の許容消費電力を1Wとすると、2500論理ビットの誤り訂正を冷凍器内でできる

Circuit designs for FTQC (VLSI2023, invited)

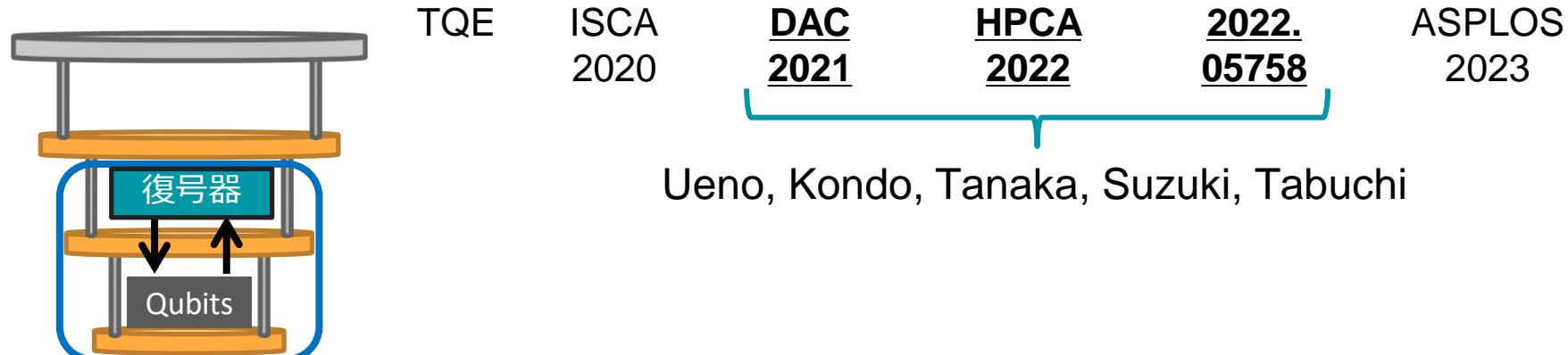
- 超伝導FTQCのエラー推定（表面符号の復号）に必要な古典処理の電力効率を試算
 - 仮定：1つの冷凍機内で処理、配線や量子古典インターフェースは無視、論理演算時のエラー推定コストは加味していない
- FTQCを実現するまでの古典デバイス技術の重要性を主張
 - 悲観ケースではSFQの電力効率が必須



極低温環境での復号器の関連研究

Table 1. Comparison of Cryo-CMOS and SFQ decoders. The area, power consumption and throughput are per distance-9 logical qubit.

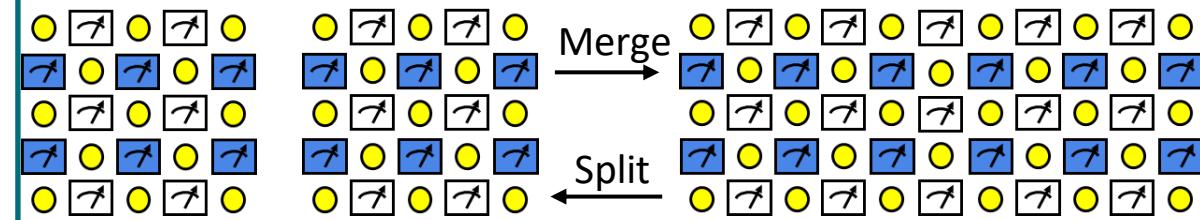
	NN [32]	AQEC [38]	QECCOOL [39]	QULATIS [40]	NEO-QEC [84]	Clique [103]
Platform	CMOS	SFQ	SFQ	SFQ	SFQ	SFQ
Meas. errors			✓	✓	✓	✓
Lattice surgery				✓	✓	✓
Area (mm ²)	10	369	183	16.4	N/A	14.4
Power consumpt. (μW)	20 000	3780	400.3	417.4	614.9	99
Throughput Max/Avg. (ns)	28	19.2/3.8	364/9.15	82/2.12	N/A	0.24



Francesco Battistel, Christopher Chamberland, Kauser Johar, Ramon W. J. Overwater, Fabio Sebastian, Luka Skoric, Yosuke Ueno, Muhammad Usman, "Real-Time Decoding for Fault-Tolerant Quantum Computing: Progress, Challenges and Outlook", Nano Futures, Vol. 7, Num. 3, pp. 032003.

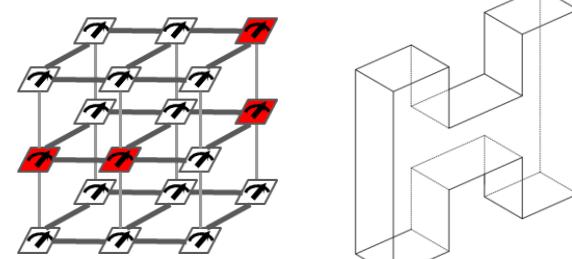
QECCOOLの格子手術向け拡張

Lattice surgery



Framework to perform logical operations
with SC-based QEC

Target lattice shape

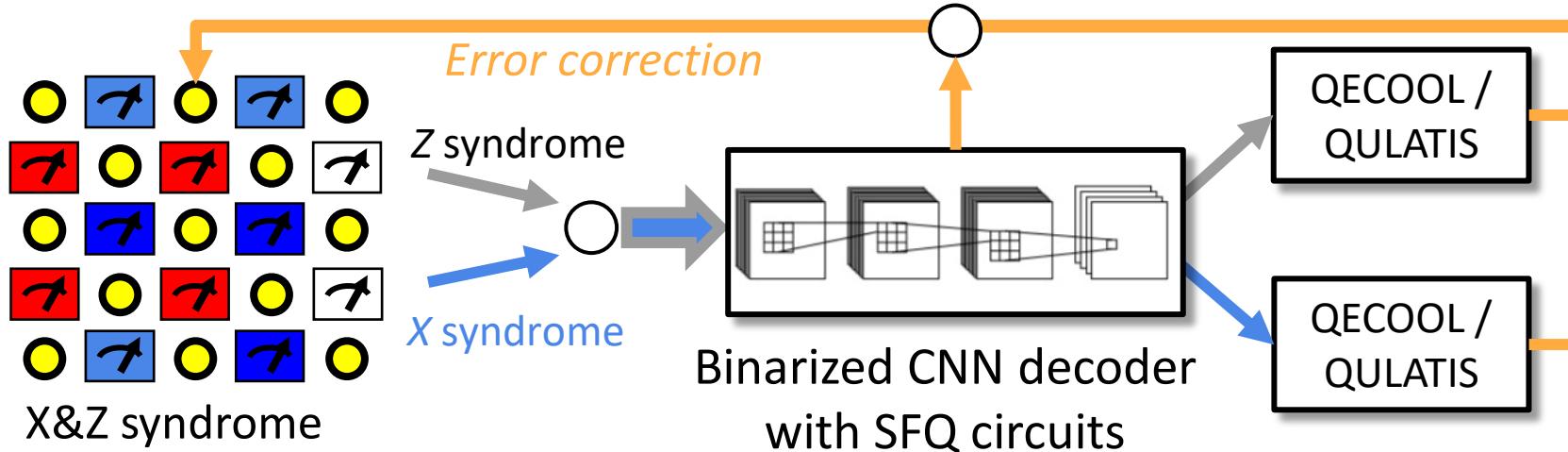


Single logical qubit (QECCOOL) Lattice surgery (QULATIS)

- Extension of QECCOOL for decoding of lattice surgery
 - Supporting logical operations of the universal quantum gate set $\{H, \text{CNOT}, T\}$
- SFQ circuit design of QULATIS decoder is suitable for **online decoding in a cryogenic environment**

Y. Ueno, M. Kondo, M. Tanaka, Y. Suzuki, Y. Tabuchi, "QULATIS: A Quantum Error Correction Methodology toward Lattice Surgery", 28th IEEE International Symposium on High-Performance Computer Architecture. (HPCA 2022)

2値化NNを用いたQECCOOLの精度向上

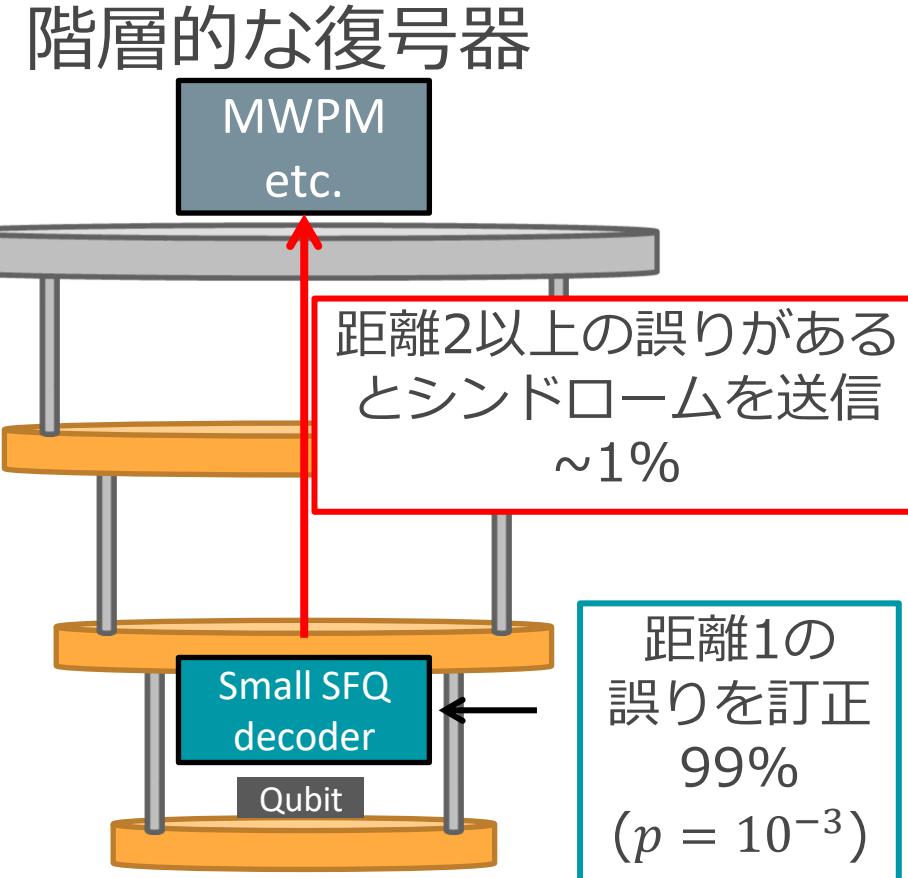
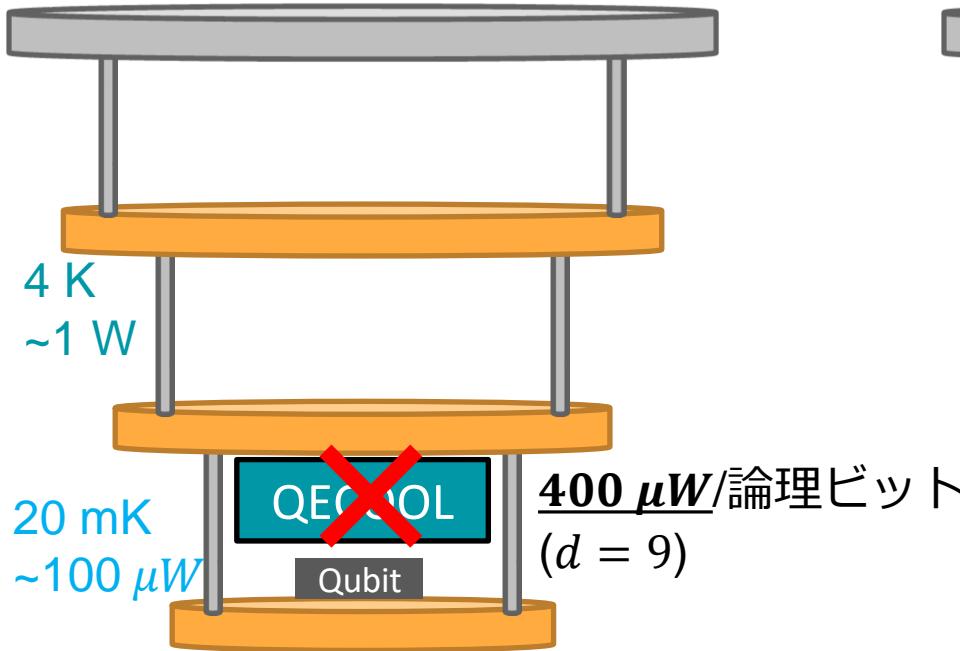


- A two-stage decoder with binarized CNN and QECCOOL/QULATIS
 - Improve threshold values of QECCOOL/QULATIS
- SFQ design of Neural Processing Unit for binarized CNN
 - Suitable for online decoding in a cryogenic environment

Y. Ueno, M. Kondo, M. Tanaka, Y. Suzuki, Y. Tabuchi, "NEO-QEC: Neural Network Enhanced Online Superconducting Decoder for Surface Codes", arXiv preprint arXiv:2208.05758, 2022.

階層的な復号器

SFQ回路を用いた理想的なシステム



発表内容

- 計算機アーキテクチャ分野について
 - 計算機アーキテクチャの研究対象・隣接分野
 - 計算機アーキテクチャ分野における量子関連の研究動向
- 量子計算機アーキテクチャの研究紹介
 - FTQCの実現に向けた極低温環境で動作する量子誤り訂正機構
 - 現実的な状況を想定した量子誤り訂正アーキテクチャ
 - 極低温NISQマシンにおける異なる温度環境間のバンド幅削減
- まとめ・今後の量子計算機アーキテクチャ研究に向けて

Q3DE: 動的なエラーに対応する誤り訂正

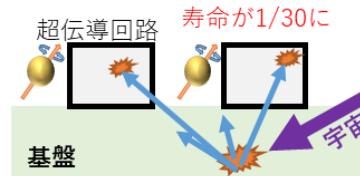
制御回路の速度：動的なエラー訂正機構

NTT鈴木さんの資料から引用

量子ビットのエラー率は時間的に変動する

YS, T. Sugiyama, T. Arai, W. Liao, K. Inoue, T. Tanimoto

例：宇宙線による準粒子の一時的増加



影響の度合い

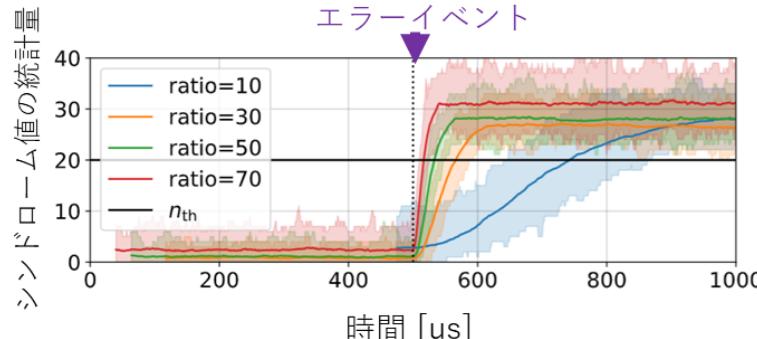
持続時間： 26ms
サイズ： 4x4程度の領域
エラー率： 30倍程度
頻度： 26-qubit chipで0.1Hz

M. McEwen et al., NatPhys 18, 107-111 (2022)

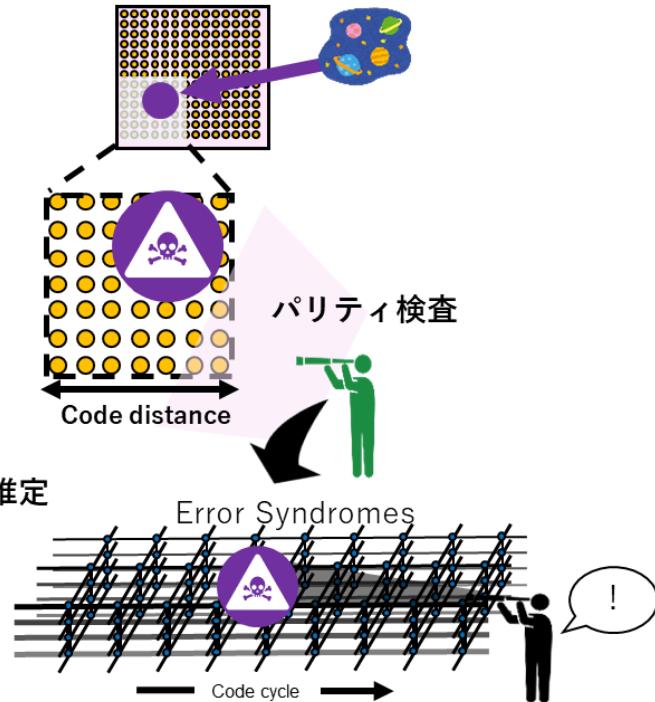
例：過熱による原子の脱トラップ



例：時間経過による制御のドリフト



エラー推定



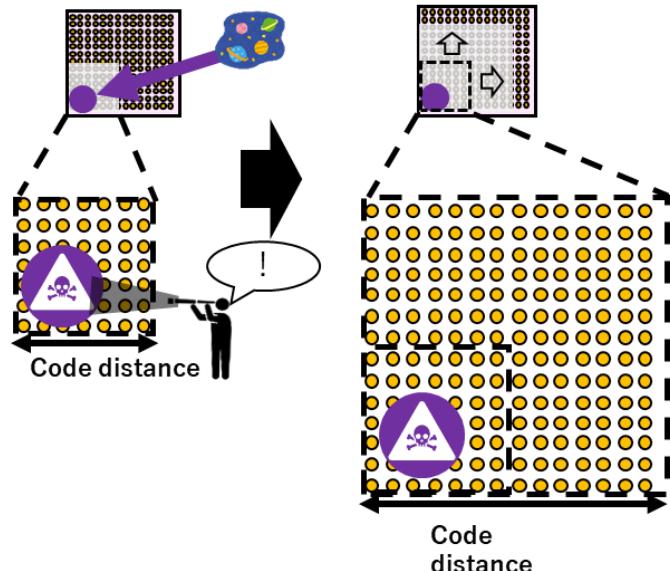
Q3DE: 動的なエラーに対応する誤り訂正

制御回路の速度：動的なエラー訂正機構

NTT鈴木さんの資料から引用

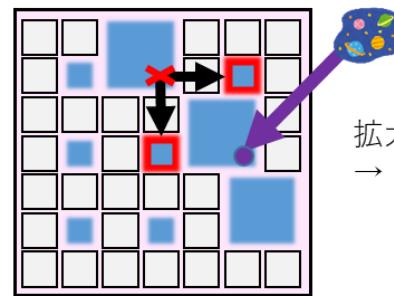
量子ビットのエラー率は時間的に変動する

YS, T. Sugiyama, T. Arai, W. Liao, K. Inoue, T. Tanimoto



変動を検知したら符号距離を拡大する

広げる際のオーバーヘッド



拡大によって ■ が繋げなくなる
→ スケジュールが破綻

- 使用中のブロック
- 未使用ブロック

- (+) 動的なエラーに対する耐性
(-) 命令スループットに対するオーバーヘッド (~9%)

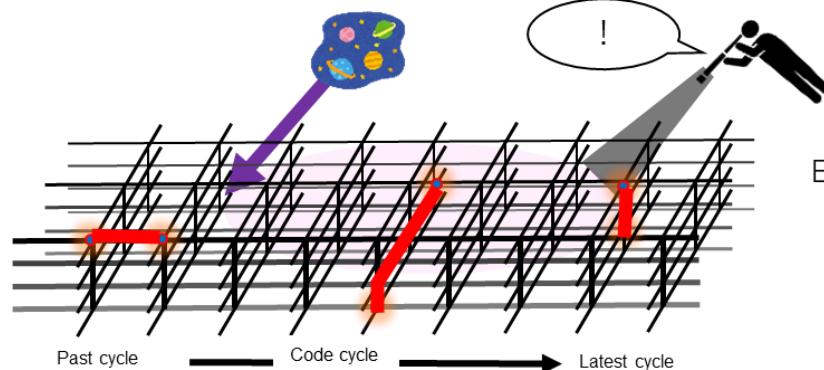
Q3DE: 動的なエラーに対応する誤り訂正

制御回路の速度：動的なエラー訂正機構

NTT鈴木さんの資料から引用

量子ビットのエラー率は時間的に変動する

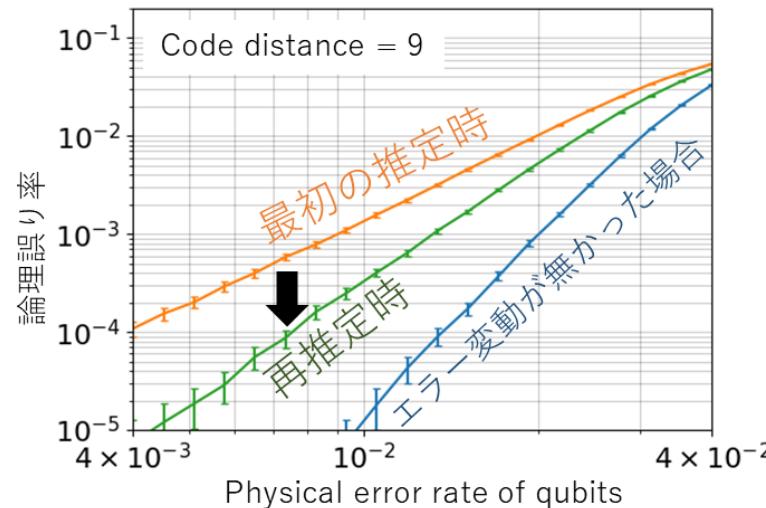
YS, T. Sugiyama, T. Arai, W. Liao, K. Inoue, T. Tanimoto



Error decoding

エラーを検知したらエラー推定をやり直す
再実行時はエラー率が変動した個所を考慮する

- (+) 動的なエラーに対する耐性
- (-) 復号スループットの悪化 (~1%)



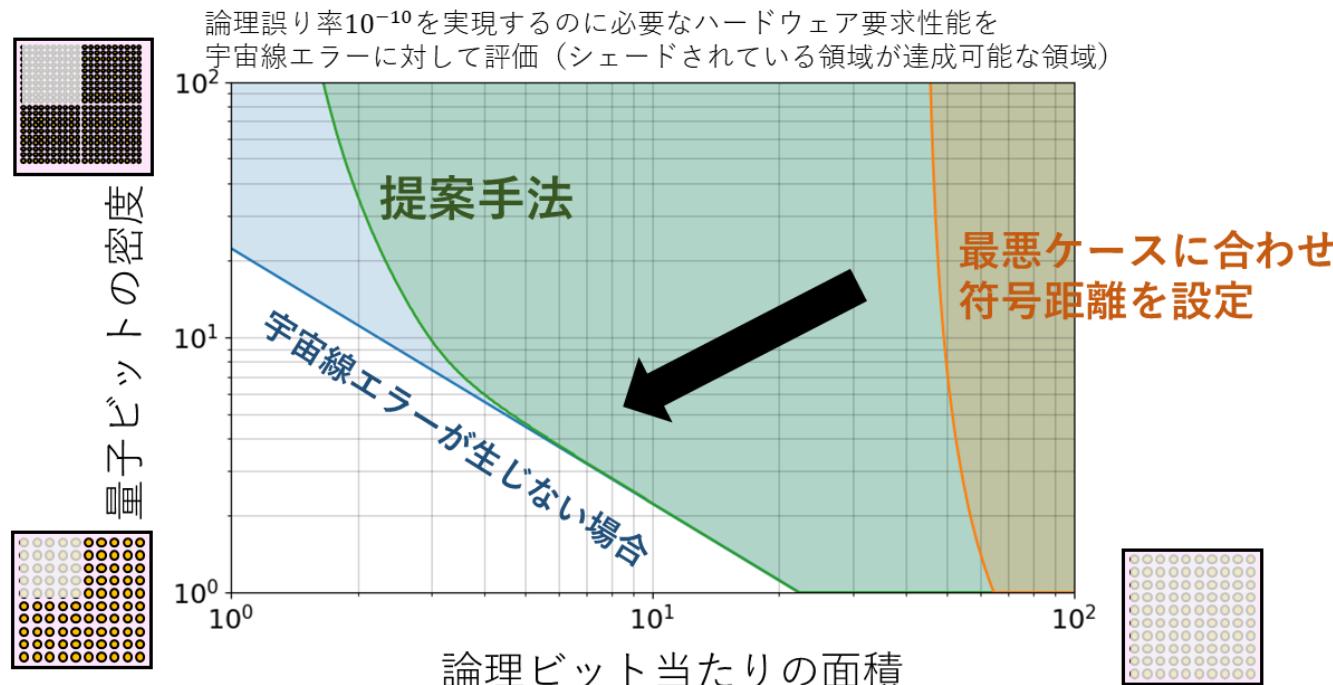
Q3DE: 動的なエラーに対応する誤り訂正

NTT鈴木さんの資料から引用

制御回路の速度：動的なエラー訂正機構

量子ビットのエラー率は時間的に変動する

YS, T. Sugiyama, T. Arai, W. Liao, K. Inoue, T. Tanimoto



応用に必須となる誤り率達成に必要なハードウェア要求を大幅に低減

WIT-Greedy: 量子ビットの誤りのばらつきに対応する誤り訂正

制御回路の速度：品質のばらつき

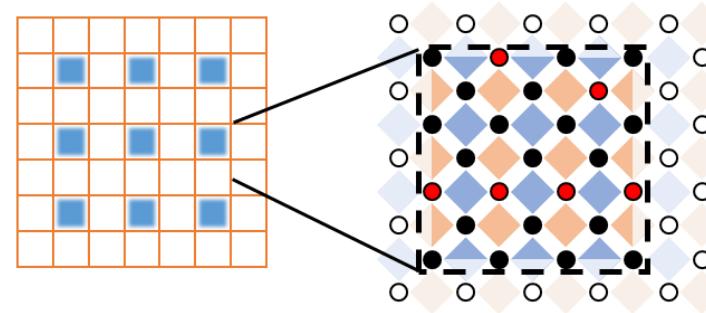
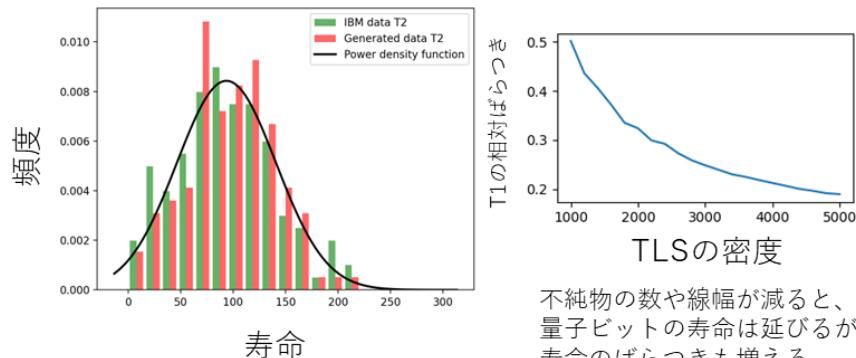
NTT鈴木さんの資料から引用

量子ビットの誤り率は実際には不均質

W. Liao, YS, Y. Ueno, T. Tanimoto, Y. Tokunaga

実際の実装では不純物の存在で寿命はばらつく

低品質な量子ビットがたまたま並んだブロックは使えない



Bad fabrication qubit,
high error rate due to short T1/T2.

素朴な解決策

事前に低品質な量子ビットや欠陥を洗い出し、こうした論理ビットは利用しないように工夫する

→ 制御の複雑化 / 製造したチップごとに命令のコンパイルが必要となり複雑化

復号の際に低品質な量子ビットは信頼性を下げることで誤り推定を高速に行う

→ 既存の設計手法は重みを考慮しないことで時間制約を満たすため実施不可

WIT-Greedy: 量子ビットの誤りのばらつきに対応する誤り訂正

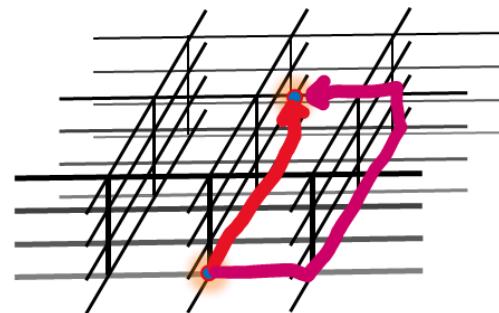
制御回路の速度：品質のばらつき

NTT鈴木さんの資料から引用

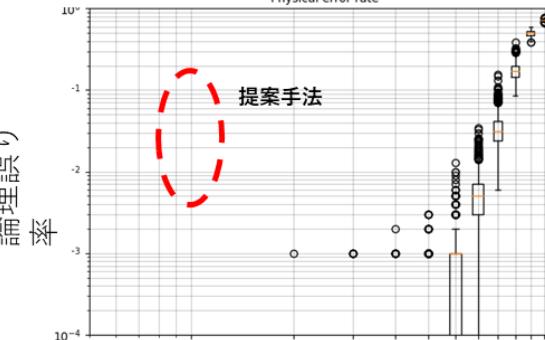
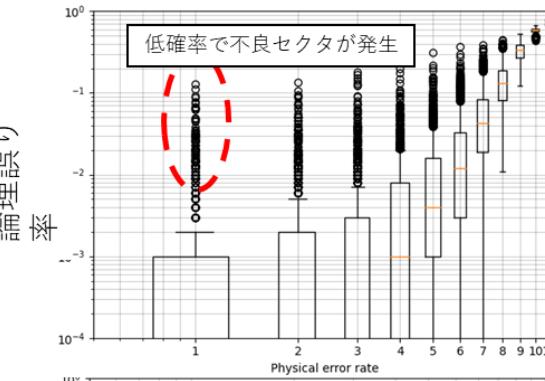
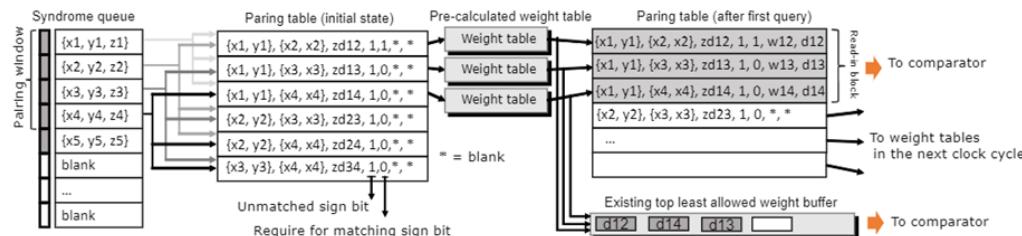
量子ビットの誤り率は実際には不均質

W. Liao, YS, Y. Ueno, T. Tanimoto, Y. Tokunaga

量子ビットの誤り率が不均質になると、重みが不均質なマッチング問題を解く必要が生じる



経路と重みを事前計算し、圧縮された状態でテーブルに保持して問い合わせ

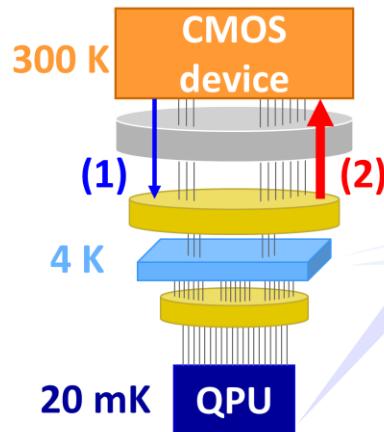


発表内容

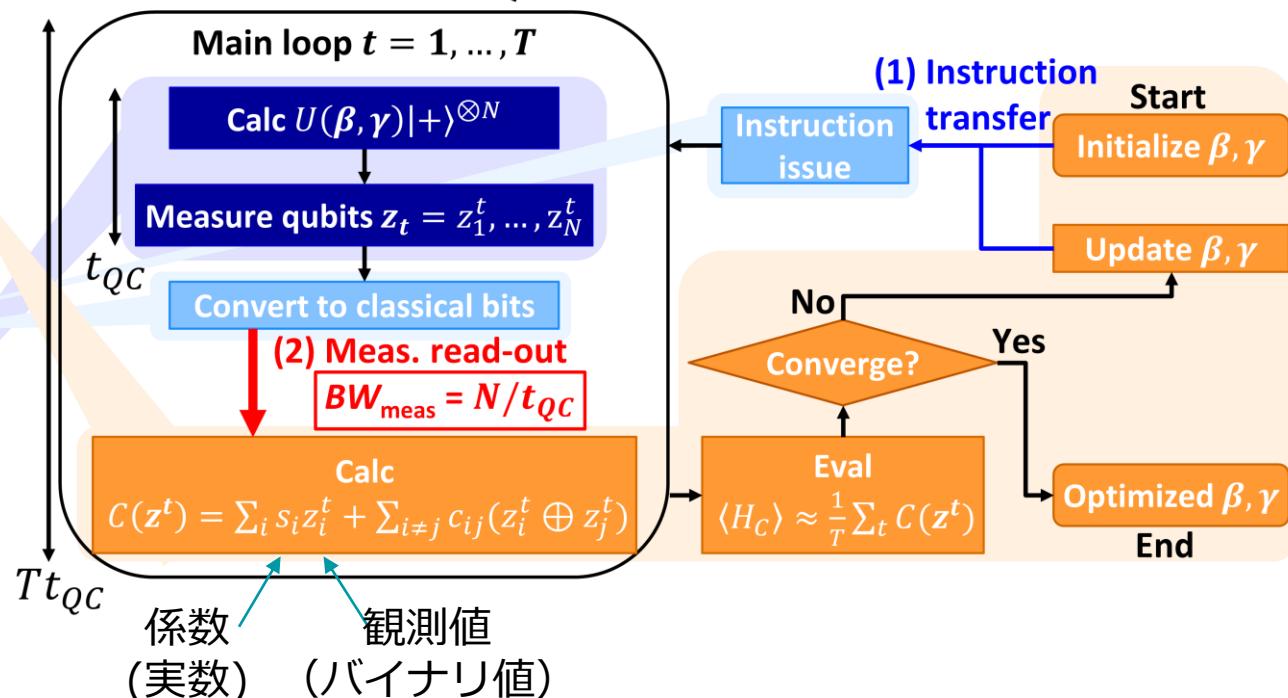
- 計算機アーキテクチャ分野について
 - 計算機アーキテクチャの研究対象・隣接分野
 - 計算機アーキテクチャ分野における量子関連の研究動向
- 量子計算機アーキテクチャの研究紹介
 - FTQCの実現に向けた極低温環境で動作する量子誤り訂正機構
 - 現実的な状況を想定した量子誤り訂正アーキテクチャ
 - 極低温NISQマシンにおける異なる温度環境間のバンド幅削減
- まとめ・今後の量子計算機アーキテクチャ研究に向けて

Quantum Approximation Optimization Algorithm (QAOA)

Baseline system



QAOA Procedure

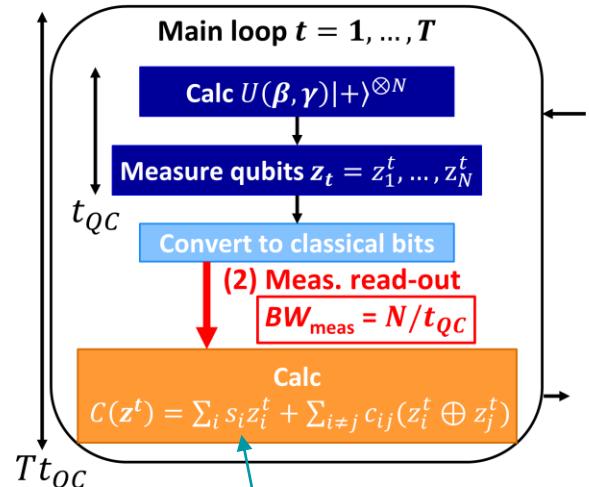


- QAOAのメインループ中に量子ビット観測値を送る極低温→常温の通信が頻発
- 冷凍機内で観測値を圧縮できれば通信頻度を減らせる

Y. Ueno, Y. Tomida, T. Tanimoto, M. Tanaka, Y. Tabuchi, K. Inoue, H. Nakamura, "Inter-temperature Bandwidth Reduction in Cryogenic QAOA Machines", IEEE Computer Architecture Letters (Accepted) 2023. DOI: 10.1109/LCA.2023.3322700

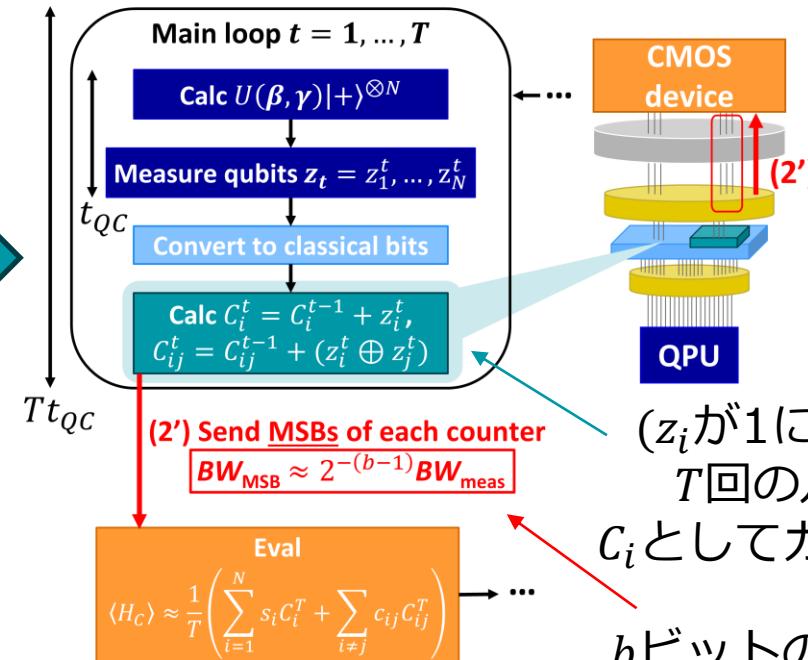
カウンタを用いたコスト計算

通常のコスト計算



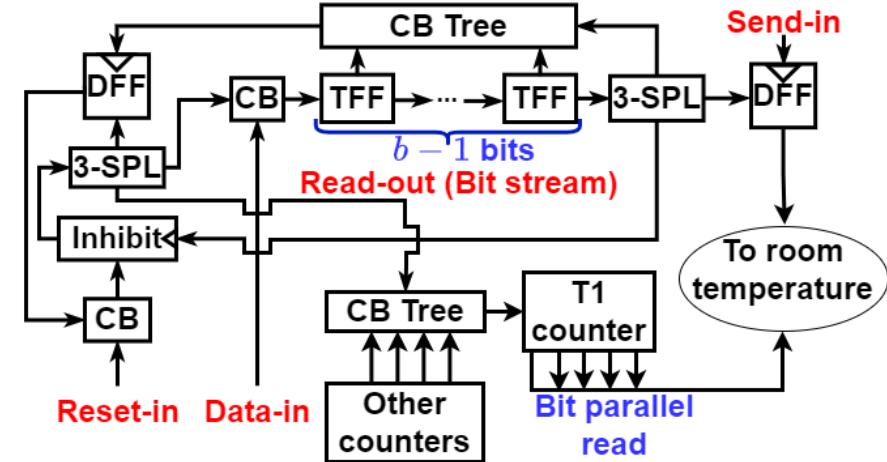
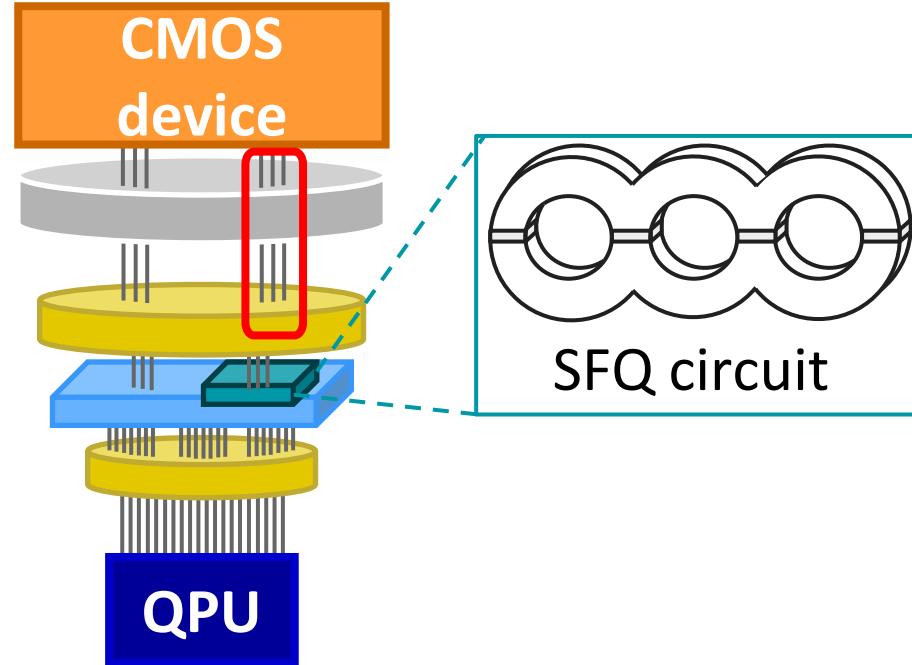
係数 s_i はループインデックス t に
依存しない
-> $(z_i \text{が } 1 \text{になる回数}) \times s_i$ で計算

カウンタを用いたコスト計算



$(z_i \text{が } 1 \text{になる回数})$ を
T回のループの間
 C_i としてカウンティング
 b ビットのカウンタが
溢れたときのみ送信
-> 通信頻度が $1/2^{b-1}$ 倍

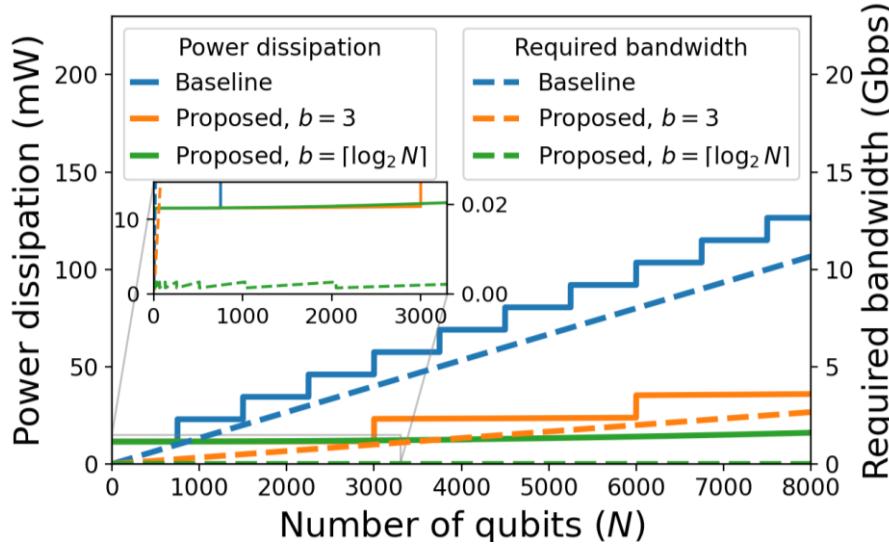
カウンターアーキテクチャの設計



JJs: 11b+31
Power: 9.71b+16.8 (pW)

- b ビットのカウンタをSFQ回路で設計、消費電力見積もり
- ERSFQ (1.3MHz) を想定すると1カウンタあたりpWオーダーの消費電力

バンド幅と極低温環境の消費電力+熱流入



- 要求バンド幅はカウンタのビット幅 b に対して $1/2^{b-1}$ 倍
 - 量子ビット数 N に対して $b \propto O(\log N)$ とするとバンド幅を定数に抑えられる
- 必要なケーブル数を小さくして消費電力の増加を抑える
 - ケーブル1本当たり10mW程度の消費電力+熱流入が増加
 - 追加でかかるカウンタの消費電力は数十pWオーダー

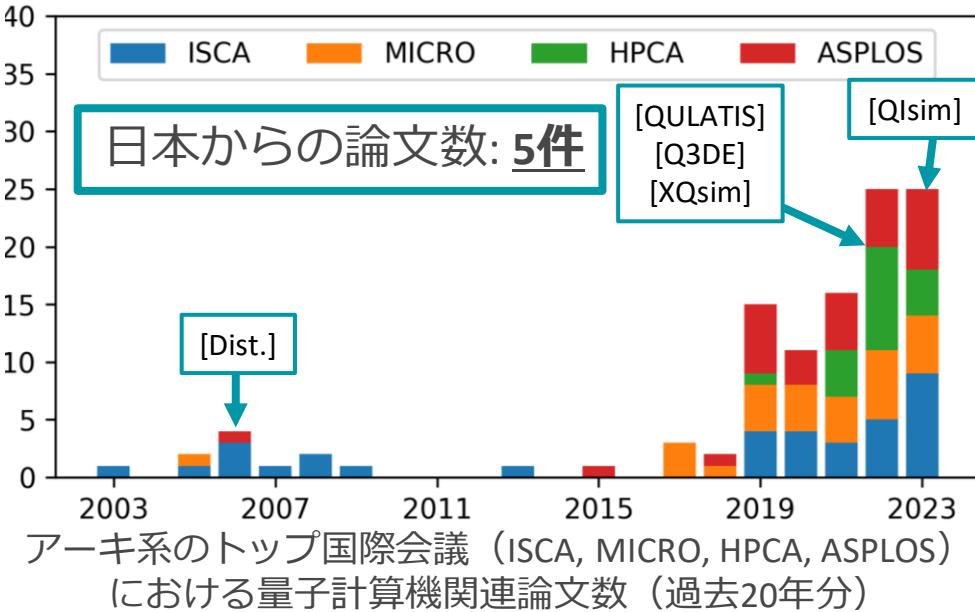
まとめ・今後の展望

- QAOAを対象として冷凍機内情報圧縮アーキを提案
- アプリの特性を踏まえたシステムレベル最適化の第一歩
- 異なる温度環境間のバンド幅 vs. 熱流入を真面目に議論した（恐らく）初めての論文
- 一般の変分量子アルゴリズム（VQA）への拡張を目指す
 - コスト計算にQAOAよりも多くの項が必要
-> ナイーブに拡張すると必要なカウンタ数が激増
 - 限られたカウンタを時分割で活用して多数の項をサンプリング

発表内容

- 計算機アーキテクチャ分野について
 - 計算機アーキテクチャの研究対象・隣接分野
 - 計算機アーキテクチャ分野における量子関連の研究動向
- 量子計算機アーキテクチャの研究紹介
 - FTQCの実現に向けた極低温環境で動作する量子誤り訂正機構
 - 現実的な状況を想定した量子誤り訂正アーキテクチャ
 - 極低温NISQマシンにおける異なる温度環境間のバンド幅削減
- まとめ・今後の量子計算機アーキテクチャ研究に向けて

国内外の量子計算機アーキテクチャ研究動向



年	量子関連論文割合
2003~2018	0~1%程度
2019	5.4% (15/276)
2020	3.6% (11/308)
2021	5.0% (16/323)
2022	7.7% (25/325)
2023	6.1% (25/408)

トップ国際会議における
量子関連論文数割合

元データ: <https://yuteno.github.io/> または上野のresearchmapで公開中

[Dist.] R. Van Meter, W. Munro, K. Nemoto, K. Itoh, "Distributed Arithmetic on a Quantum Multicomputer", ISCA2006.

[QULATIS] Y. Ueno, M. Kondo, M. Tanaka, Y. Suzuki, Y. Tabuchi, "QULATIS: A Quantum Error Correction Methodology toward Lattice Surgery", HPCA2022.

[Q3DE] Y. Suzuki, ..., K. Inoue, T. Tanimoto, "Q3DE: A fault-tolerant quantum computer architecture for multi-bit burst errors by cosmic rays", MICRO2022.

[XQsim] I. Byun, ..., T. Tanimoto, M. Tanaka, K. Inoue, J. Kim, "XQsim: modeling cross-technology control processors for 10+K qubit quantum computers", ISCA2022.

[QIsim] D. Min, ..., M. Tanaka, K. Inoue, J. Kim, "QIsim: Architecting 10+K Qubit QC Interfaces Toward Quantum Supremacy", ISCA2023.

国内外の量子計算機アーキテクチャ研究動向

主要な研究グループ	論文数 (割合)	First quantum paper in top conferences
University of Chicago (Fred Chong (@UCSB until 2015))	33本 (30.0%)	ISCA2003
Georgia Tech. (Moinuddin Qureshi, Swamit Tannu (UW-Madison))	14+4 (16.4%)	MICRO2017
Princeton University (Margaret Martonosi)	14 (12.7%) (内Chicagoと共同6)	ISCA2007
UC Santa Barbara (Yuan Xie, Yufei Ding)	7 (6.3%)	ASPLOS2019

- 65%の論文が上位4グループから出ている

各グループの初期の量子関連論文

Chicago University

- [初期] M. Oskin, F. Chong, I. Chuang, J. Kubiatowicz,

Building Quantum Wires: The Long and the Short of it, ISCA2003. (arXiv2001.06598)

- [最近] A. Litteken, L. Seifert, J. Chadwick, N. Nottingham, F. Chong, J. Baker,

Qompress: Efficient Compilation for Ququarts Exploiting Partial and Mixed Radix Operations for Communication Reduction, ASPLOS2023.

Georgia Tech.

- [初期] P. Das, C. Pattison, S. Manne, D. Carmean, K. Svore, M. Qureshi, N. Delfosse,

AFS: Accurate, Fast, and Scalable Error-Decoding for Fault-Tolerant Quantum Computers, HPCA2022. (arXiv2001.06598)

- [最近] S. Vittal, P. Das, M. Qureshi, Astrea: Accurate Quantum Error-Decoding via Practical Minimum-Weight Perfect-Matching, ISCA2023.

最初は「アーキわかる（興味ある）物理研究者」と併走
その過程で「物理わかるアーキ研究者」を育成

まとめ

- 計算機アーキテクチャ
 - = 計算機の中身、全体の構成、取り巻く環境
 - 主な役割：各要素技術の統合、計算機としての展望を示す
- 計算機アーキテクチャ分野でも量子計算機はインパクト大
 - 物理（量子情報）系 + 計算機系研究者の共同研究が重要
- 海外では量子計算機アーキテクチャの研究が盛ん、
国内はまだこれから
- 是非一緒にやりましょう！