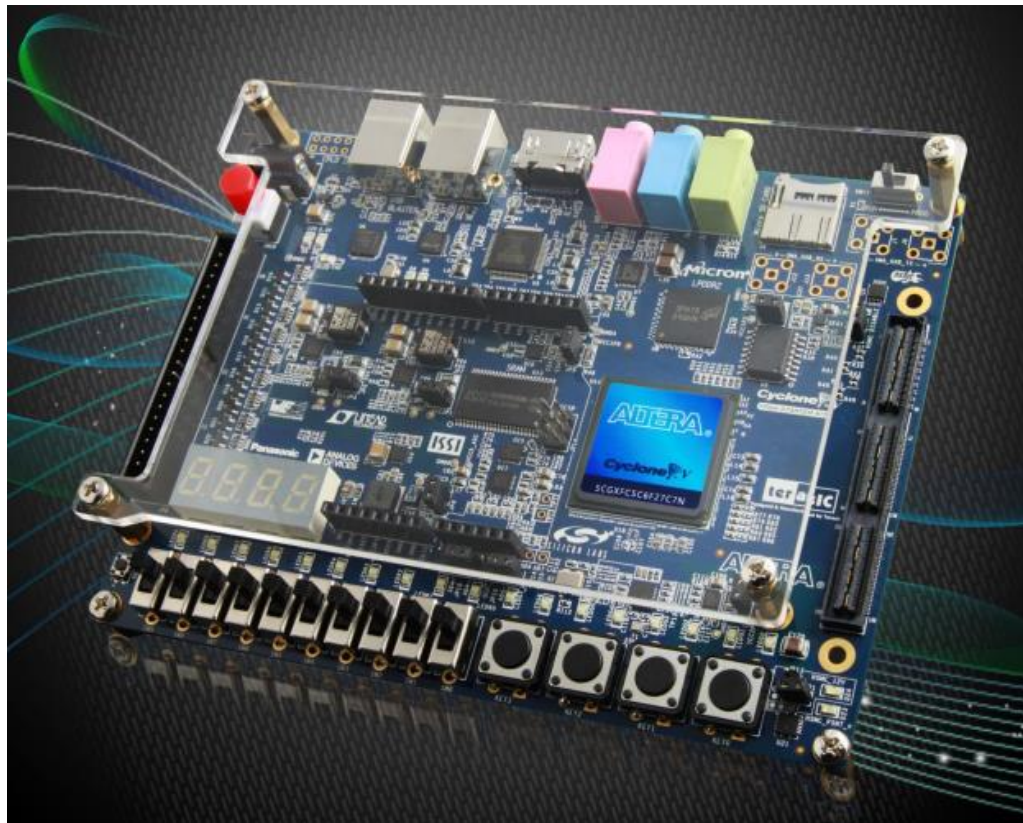


דו"ח פרויקט סוף קורס סטטיסטיקה על נתוני בלוקים בתקשורת טורית

מוגש ע"י: יובל המר, 209158518

מוגש ע"י: עידו בן הרוש, 316439116



בהנחיית: ד"ר פאדל טריף

תאריך: 25/03/24



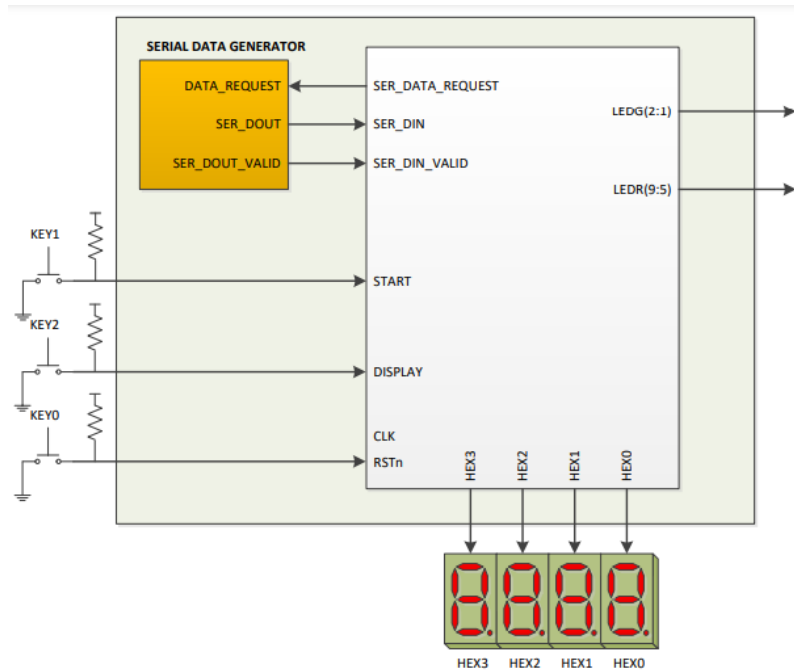
תוכן עניינים

3	מבוא:
4	פירוט דרישות המערכת:
5	תיאור מצבי המערכת:
6	תהליך תכנון הרכיבים:
6	רכיב Serial to Parallel:
6	תיאור הרכיב:
6	סימולציה לרכיב:
8	דיאגרמת RTL:
9	רכיב Main Controller:
9	תיאור הרכיב:
10	דיאגרמת RTL:
11	רמה עליונה – Top Level:
11	תיאור הרכיב:
11	סימולציה לרכיב:
16	דיאגרמת RTL:
17	הקצאת פינים ודו"ח קומפילציה:
18	סרטון הדגמת המערכת:
19	SIGNAL-TAP:
19	הגדרת SIGNAL-TAP:
20	תוצאות אנליזת SIGNAL-TAP:
20	מצב I:
20	מצב II:
22	מצב III:
22	מצב IV:
23	קומפילציה לאחר SIGNAL-TAP:
24	נספחים:

מבוא:

בפרויקט זה, עלינו לתכנן מערכת הקולטת בלוקי נתונים בתקשורת טורית ומחשבת עליהם סטטיסטיקה – מקסימום, מינימום, ממוצע וחציון. בנוסף, המערכת תחשב את מספר השגיאות שהיו בתקשורת הנ"ל עבור כל בלוק נתונים שהתקבל.

להלן סכימת בלוקים כללית של המערכת שעלינו לממש:



הבלוק הכתום ידמה את משדר הנתונים הסינכרוני, אשר קיבלנו כרכיב נתון ויהווה חלק מהקושחה הכללית.

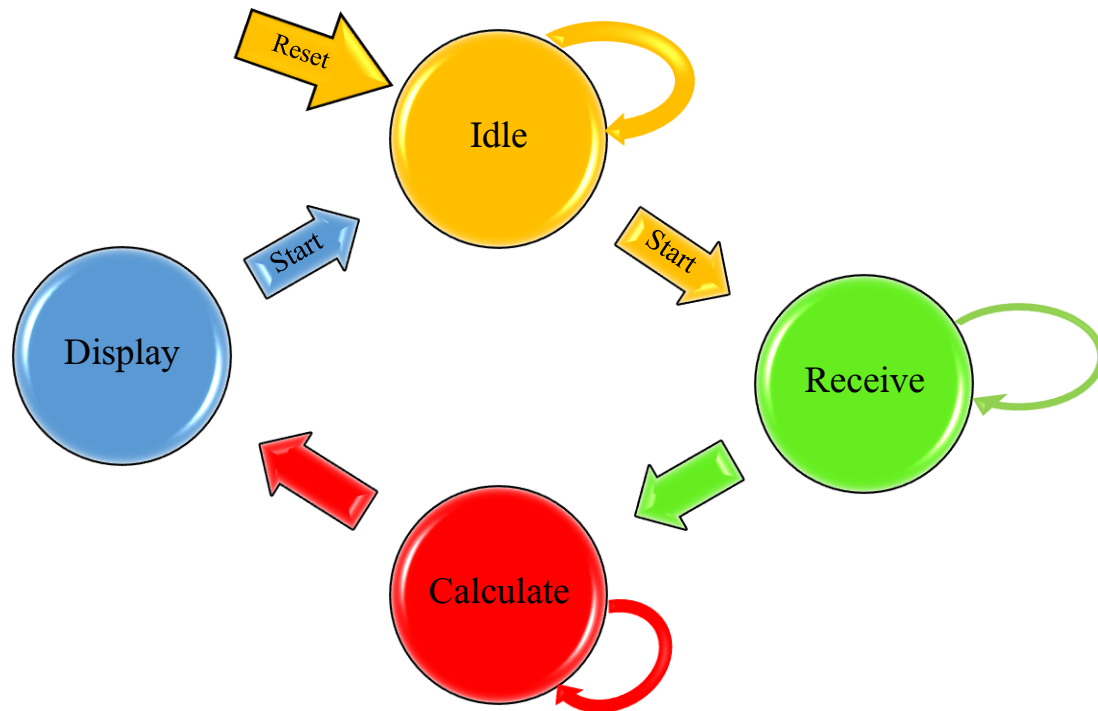


פירוט דרישות המערכת:

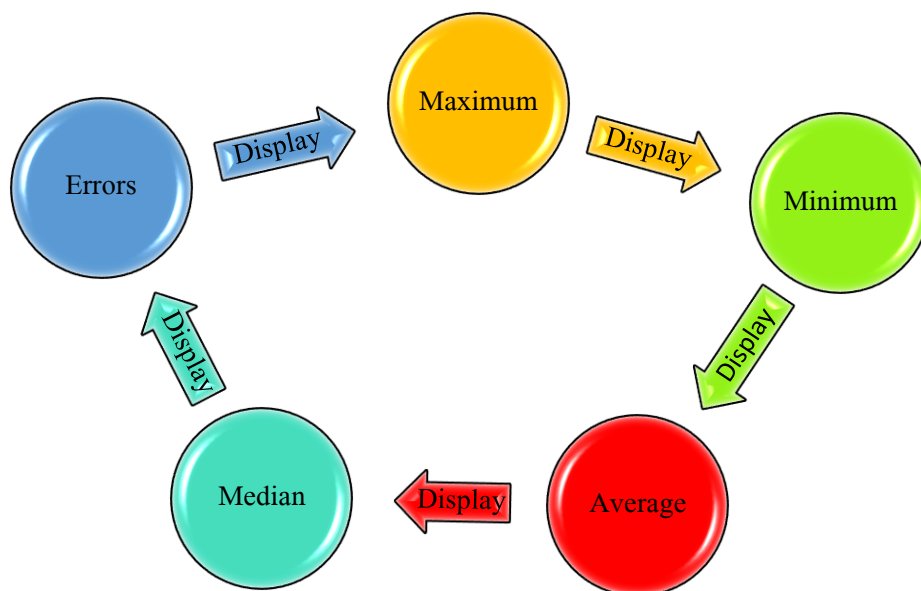
1. המערכת תופעל משעון יחיד של 50 MHz.
2. כפתור Reset – עובד בנמוך.
3. המערכת תתעורר במצב Idle.
4. לחיצה ראשונה על הלחצן Start תגרום לבלוק Serial to Parallel להתחיל להוציא בלוק נתונים וכן תעביר את המערכת ממצב Idle למצב קליטה.
5. גודל בלוק נתונים יהיה תמיד 64 נתונים.
6. כל נתון מורכב מ-8 סיביות (מספר חיובי בין 0 ל-255) + סיבית זוגיות (סה"כ 9 סיביות לנתון).
7. כל נתון משודר בצורה טורית.
8. בסיום קליטת 64 הנתונים, המערכת תעבור בצורה אוטומטית למצב חישוב.
9. על המערכת לחשב את הערכים הבאים:
 - הערך המקסימלי מתוך 64 הערכים.
 - הערך המינימלי מתוך 64 הערכים.
 - הערך הממוצע של 64 ערכים.
 - החציון של 64 הערכים.
 - מספר השגיאות שהגיעו מהמסדר.
10. בחישובים בהם התוצאה יכולה להיות מספר לא שלם, יש לעגל כלפי מטה.
11. בסיום החישוב, המערכת תעבור למצב הצגת הנתונים ותדליק את LEDG2.
12. במצב הצגת הנתונים יוצג ע"ג התצוגה הערך המקסימלי. לחיצה על Display תגרום להצגת הערך המינימלי, לחיצה נוספת תציג את הממוצע, לחיצה נוספת את החציון ולחיצה נוספת את מספר השגיאות שהיו. לחיצה נוספת תציג מחדש את הערך המקסימלי וחוזר חלילה.
13. לחיצה על Start במצב הצגת הנתונים תחזיר את המערכת למצב Idle. LEDG2 יכבה בשלב זה.
14. לחיצה נוספת על Start אחרי שהמערכת חזרה למצב Idle, תתחיל את התהליך מחדש.
15. LEDG1 ידלוק תמיד.
16. הלדים LEDR5-LEDR9 יסמנו איזו תוצאה מוצגת כרגע על תצוגת ה-7-Segment.
17. כאשר המערכת לא נמצאת במצב הצגת הנתונים, תצוגת ה-7-Segment תהיה כבויה.

תיאור מצבי המערכת:

לפי דרישות המערכת שקיבלנו, הסקנו כי עלינו לממש את המערכת כך שתקיים את דיאגרמת המצבים הבאה:



כמו כן, במצב הצגת הנתונים (Display) דיאגרמת המצבים הינה:



בדיאגרמה זו, כל לחיצה על Reset או על Start תחזיר אותנו למצב Idle בדיאגרמת המצבים הראשונה.

תהליך תכנון הרכיבים:

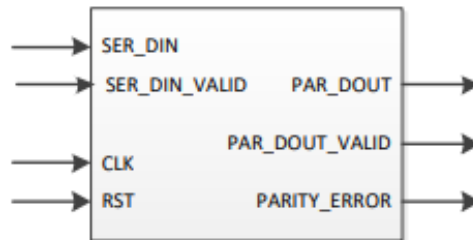
בחלק זה נפרט על הרכיבים אשר מימשנו באופן עצמאי בלבד.

רכיב Serial to Parallel:

תיאור הרכיב:

רכיב זה ממיר את המידע המתקבל בתקשורת טורית למידע מקבילי אשר עליו ניתן לבצע חישובים וסטטיסטיקות.

בעזרת אוגר הזזה הרכיב קולט את הנתונים הטוריים וממיר אותם למקביליים. כמו כן, הרכיב בודק את תקינות הנתונים בעזרת סיבית הזוגיות שהתקבלה. הנתונים המקביליים מוכנים לעיבוד כאשר מוצא PAR DOUT VALID יהיה '1'.



תיאור סכמתי של הבלוק:

להלן פירוט הפורטים והמשתנים הגנריים של רכיב זה:

Generics			
Name	default value	Type	Description
G_DATA_BITS_W_PARITY	8	integer	Total number of bits per word including the parity bit.
G_LSB_FIRST	true	boolean	TRUE – LSB first FALSE – MSB first
G_PARITY	'0'	std_logic	0 – even parity 1 – odd parity
G_RESET_ACTIVE_VALUE	'0'	std_logic	Asynchronous reset active value
Ports			
Name	Dir.	type	Description
System Signals			
CLK	I	std_logic	System clock
RST	I	std_logic	System reset, active high
SER_DIN	I	std_logic	Serial data input
SER_DIN_VALID	I	std_logic	Active high serial data input valid
PAR_DOUT	O	std_logic_vector (G_DATA_BITS_W_PARITY-2:0)	Parallel data
PAR_DOUT_VALID	O	std_logic	Active high, 1 CLK duration. High when PAR_DOUT is valid.
PARITY_ERROR	O	std_logic	Goes high if parity error detected.

להלן מימוש רכיב זה: [Serial To Parallel Component](#)

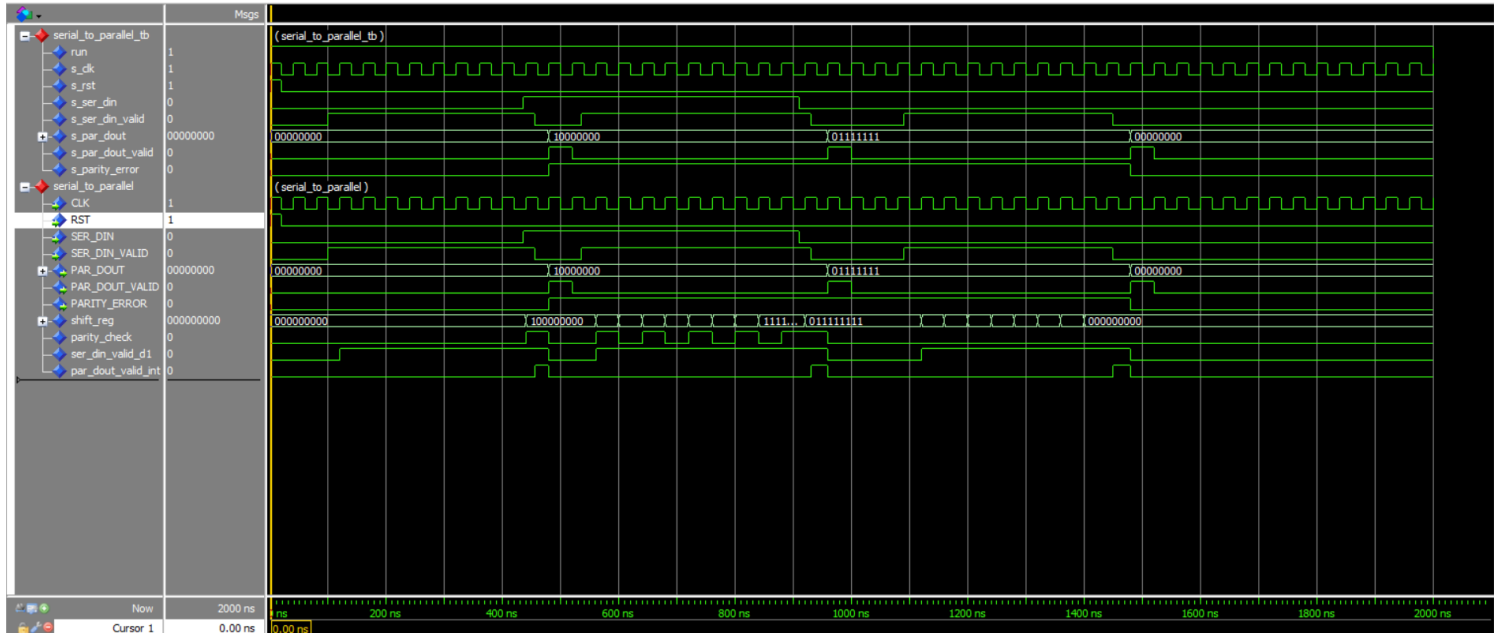
סימולציה לרכיב:

למען בדיקת תקינות רכיב זה, יצרנו קובץ TB וקובץ DO:

[Serial To Parallel Testbench](#)

[Serial To Parallel DO](#)

להלן תוצאות הסימולציה לאחר הרצת ה-TB בתוכנת ה-ModelSim (כניסת LSB)¹



מצב I, כניסת הנתון 1111111 עם סיבית זוגיות 1 (1-1111111):

ניתן לראות כי הכניסה SER DIN VALID שווה ל-1' עבור 9 מחזורי שעון מלאים. (ספירת עליית שעון).

הכניסה SER DIN אשר אחראית על כניסת המידע עולה ל-1' בעליית שעון הבאה, בעוד שהאות SER DIN VALID יורד ל-0' למשך 2 מחזורי שעון ועולה חזרה ל-1'.

לאחר מכן, המערכת תתחיל להכניס את המידע לאוגר (Shift Register) כך שסיבית ה-LSB תיכנס ראשונה.

האוגר יתחיל להתמלא במידע ויהיה מוכן ליציאה רק כאשר par_dout_valid_int יהיה 1'.

במצב זה הנתונים באוגר יועברו לאות המוצא PAR_DOUT וה-PARITY_ERROR יתעדכן ל-1'. כלומר הייתה טעות בבדיקת הנתונים.

מצב II, כניסת הנתון 00000000 עם סיבית זוגיות 0 (0-00000000):

הכניסה SER DIN VALID שווה ל-1' עבור 10 מחזורי שעון מלאים. (ספירת עליית שעון).

הכניסה SER DIN נשארת ב-0' קבוע.

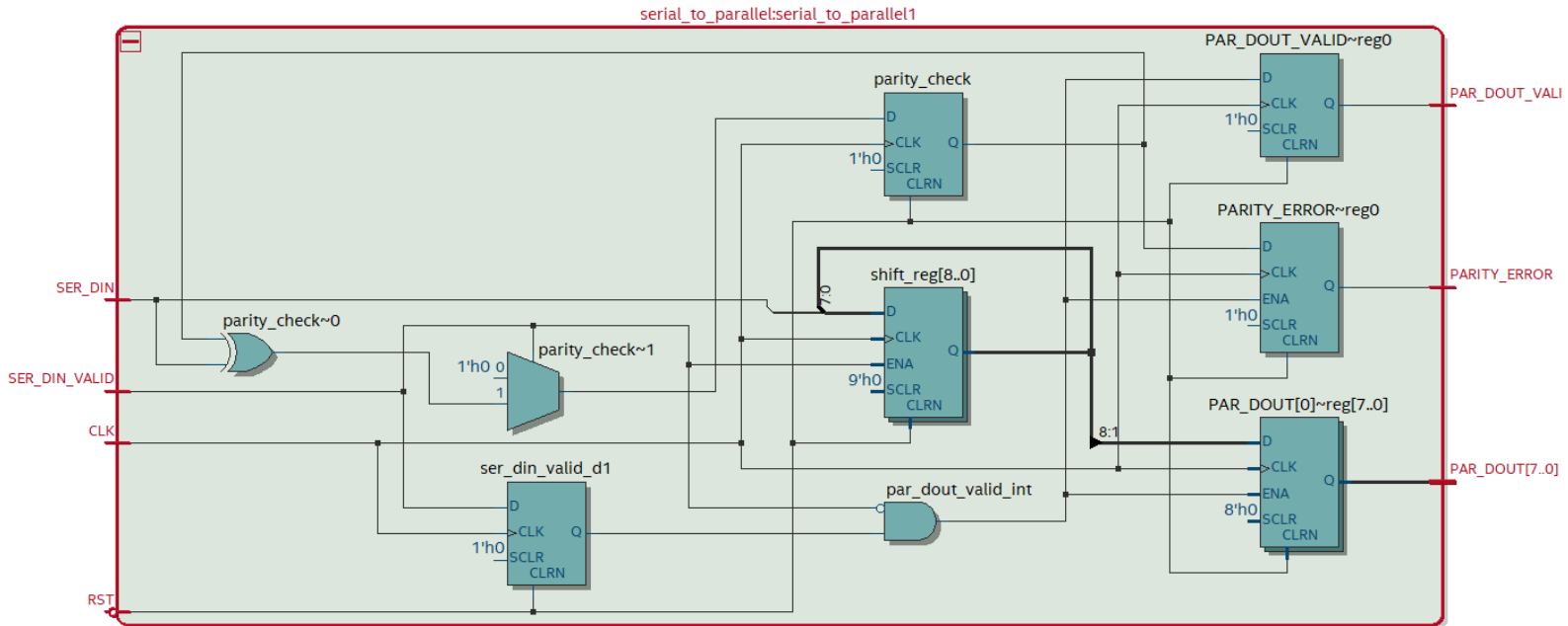
המערכת תתחיל להכניס מידע לאוגר כך שסיבית ה-LSB תיכנס ראשונה.

האוגר יתחיל להתמלא במידע ויהיה מוכן ליציאה רק כאשר par_dout_valid_int יהיה 1'.

במצב זה הנתונים באוגר יועברו לאות המוצא PAR_DOUT וה-PARITY_ERROR יתעדכן ל-0'. כלומר לא הייתה שגיאה בקליטת הנתונים.

¹ עבור כניסת MSB תוצאות הסימולציה יהיו זהות פרט לאופן כניסת המידע לאוגר ההזזה (הכנסה לימין לשמאל)

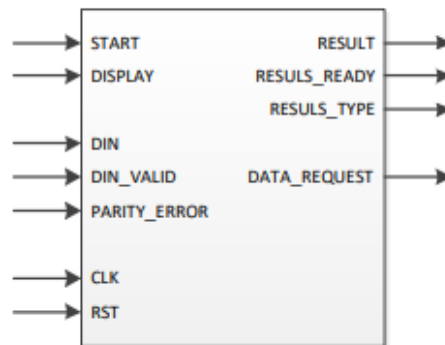
דיאגרמת RTL:



רכיב Main Controller²:

תיאור הרכיב:

רכיב זה אחראי על מעבר בין מכונת מצבים שתוארה קודם לכן.
הרכיב אחראי ליצירת אות לבקשת המידע (Data Request).
כמו כן, הרכיב אחראי למיון הנתונים לפי מיון בועות (Bubble sort) וחישוב הסטטיסטיקות להצגה.
בנוסף, במוצא הרכיב נקבל את האותות הבאים להצגת הנתונים:
RESULT – הסטטיסטיקה המוצגת (מקסימום, מינימום, ממוצע, חציון או שגיאות).
RESULT_READY – משמעותו שהנתונים מוכנים לתצוגה למשתמש.
RESULT_TYPE – אחראי על תצוגת סוג הסטטיסטיקה המוצגת (מחובר ללדים האדומים ברמה העליונה)



תיאור סכמתי של הבלוק:

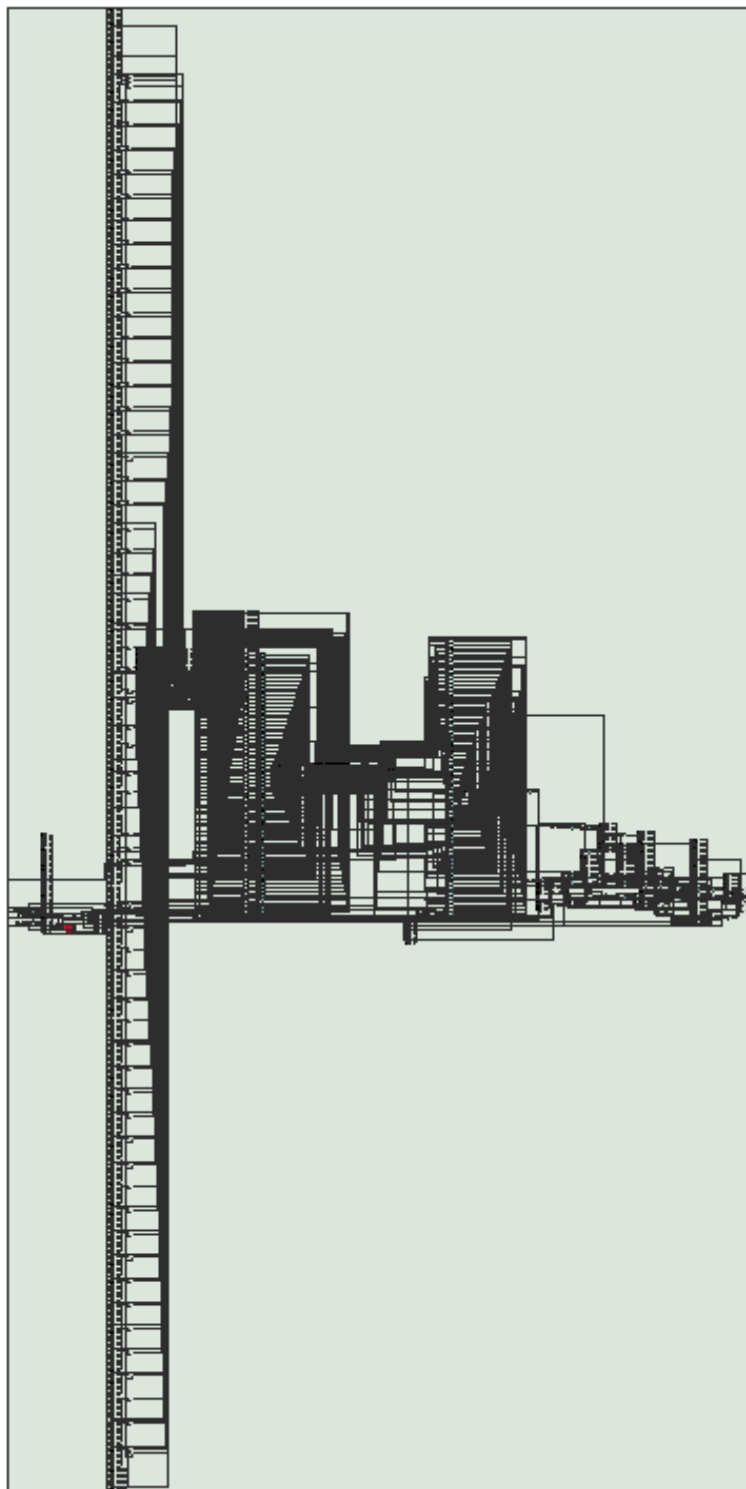
להלן פירוט הפורטים והמשתנים הגנריים של רכיב זה:

Generics			
Name	Dir.	Type	Description
G_DATA_BITS	8	integer	Total number of bits per word
G_RESET_ACTIVE_VALUE	'0'	std_logic	Asynchronous reset active value
Ports			
Name	Dir.	type	Description
System Signals			
CLK	I	std_logic	System clock
RST	I	std_logic	System reset, active high
START	I	std_logic	0 – KEY pressed 1 – KEY not pressed
DISPLAY	I	std_logic	0 – KEY pressed 1 – KEY not pressed
DATA_REQUEST	O	std_logic	Active high pulse, at least 150 CLK cycles
DIN	I	std_logic_vector (G_DATA_BITS-1:0)	Parallel data input
DIN_VALID	I	std_logic	Active high, 1 CLK duration. High when DIN is valid.
PARITY_ERROR	I	std_logic	
RESULT	O	std_logic_vector (G_DATA_BITS-1:0)	
RESULTS_READY	O	std_logic	
RESULT_TYPE	O	std_logic_vector (4:0)	Each bit corresponds to specific result RESULT_TYPE (0) is ON – RESULT is the MAX value RESULT_TYPE (1) is ON – RESULT is the MIN value RESULT_TYPE (2) is ON – RESULT is the average value RESULT_TYPE (3) is ON – RESULT is the median value RESULT_TYPE (4) is ON – RESULT is the total number of errors

להלן מימוש רכיב זה: [Main Controller Component](#)

² בלוק זה ייבדק במהלך ביצוע הסימולציה הכללית הנתונה לרמה העליונה.

דיאגרמת RTL³:



³ במהלך בדיקת מכונת המצבים ברכיב, זה נוכחנו לגלות כי היא לא מומשה כמצופה, אלא בעזרת רכיבים חומרתיים בלבד. ייתכן כי עובדה זו גלומה בכך שהמערכת עשתה אופטימיזציה והצליחה למצוא דרך לממש את מכונת המצבים (הנחשבת בזבזנית) בעזרת רכיבים פשוטים יותר.

רמה עליונה – Top Level :

תיאור הרכיב:

לאחר שמימשנו את הבקר הראשי (Main Controller) ואת ממיר הנתונים (Serial To Parallel) תוך שימוש בשאר הרכיבים שנתונים לנו בפרויקט זה, בנינו את הרכיב Statistics_cale הנחשב כישות רמה עליונה (Top level entity) ומתכלל בין כלל הרכיבים אל ה-"עולם החיצון".

כמו כן, ישות זו מקשרת בין הפורטים הרלוונטיים בין כלל הרכיבים על מנת לקבל את התוצאה הרצויה.

להלן פירוט הפורטים של רכיב זה :

Ports			
Name	Dir.	type	Description
System Signals			
CLK	I	std_logic	System clock
RSTn	I	std_logic	Active low system reset. Connect to KEY0 on EVB.
START	I	std_logic	0 – KEY pressed 1 – KEY not pressed
DISPLAY	I	std_logic	0 – KEY pressed 1 – KEY not pressed
HEX0	O	std_logic_vector (6:0)	0 will turn on the relevant segment
HEX1	O	std_logic_vector (6:0)	0 will turn on the relevant segment
HEX2	O	std_logic_vector (6:0)	0 will turn on the relevant segment
HEX3	O	std_logic_vector (6:0)	Drive '1' to all segments
LEDR	O	std_logic_vector (9:5)	1 will turn on the relevant LED
LEDG	O	std_logic_vector (2:1)	1 will turn on the relevant LED

להלן מימוש רכיב זה : [Statistics calc Top Level](#)

סימולציה לרכיב:

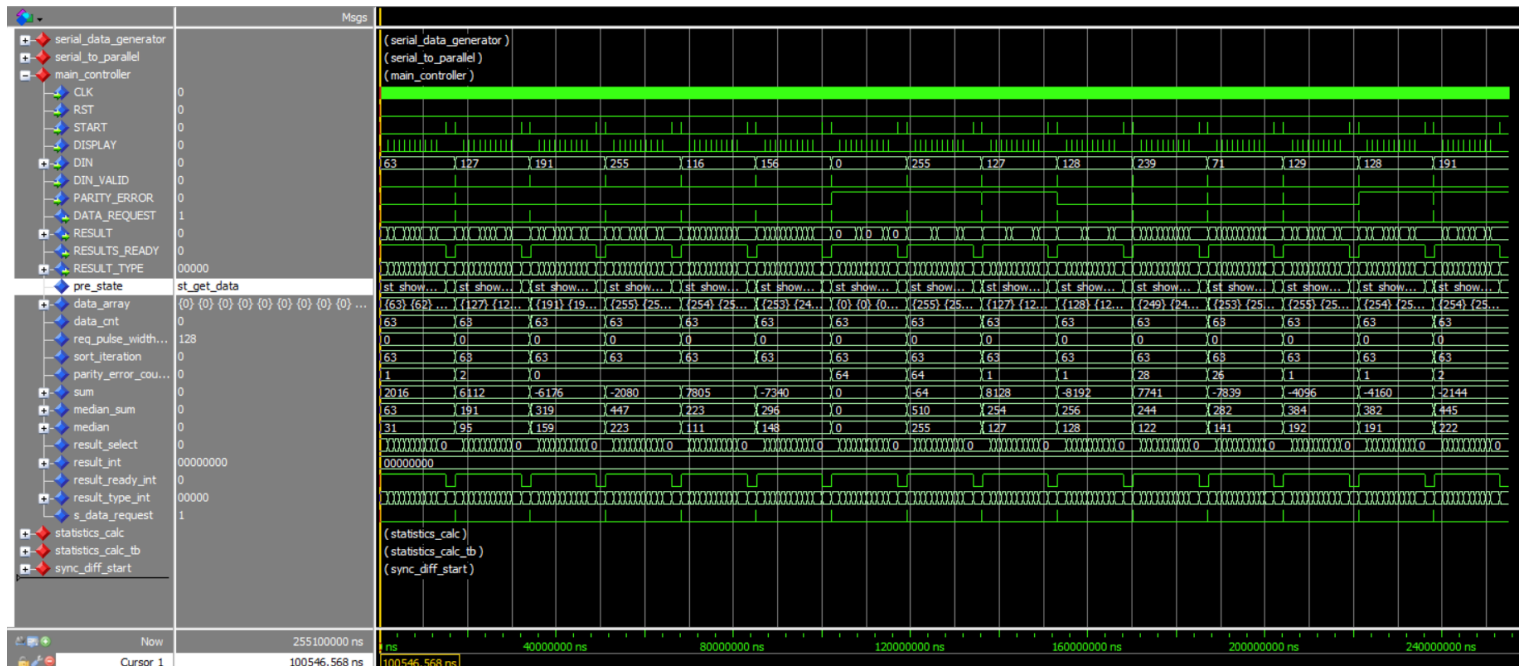
למען בדיקת תקינות רכיב זה, קיבלנו קובץ TB ייעודי ומספר וקבצי DO :

[Statistics calc Testbench](#)

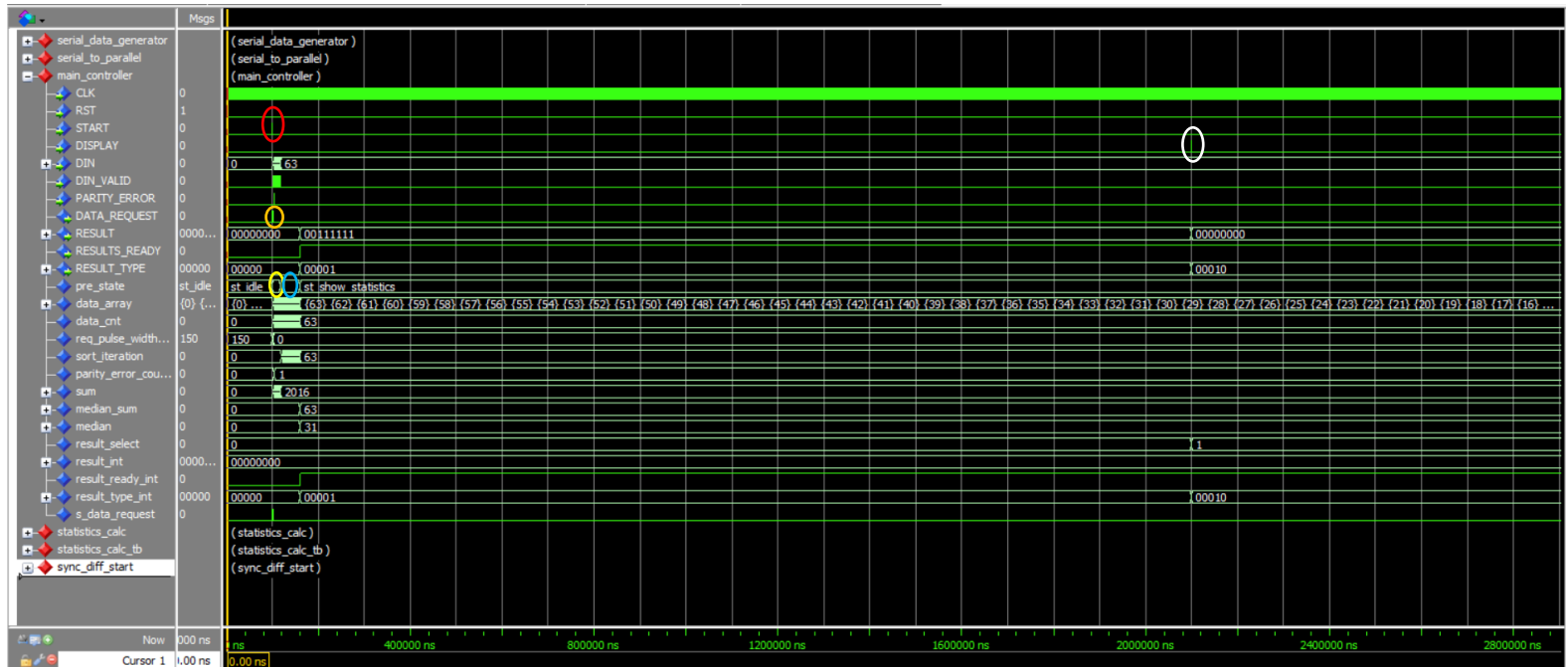
[Compile all components DO](#) – קובץ קומפילציה לכלל הרכיבים במערכת.

[Run all DO](#) – קובץ הרצת הסימולציה.

להלן תוצאות הסימולציה לאחר הרצת ה-TB בתוכנת ה-ModelSim (Main Controller):

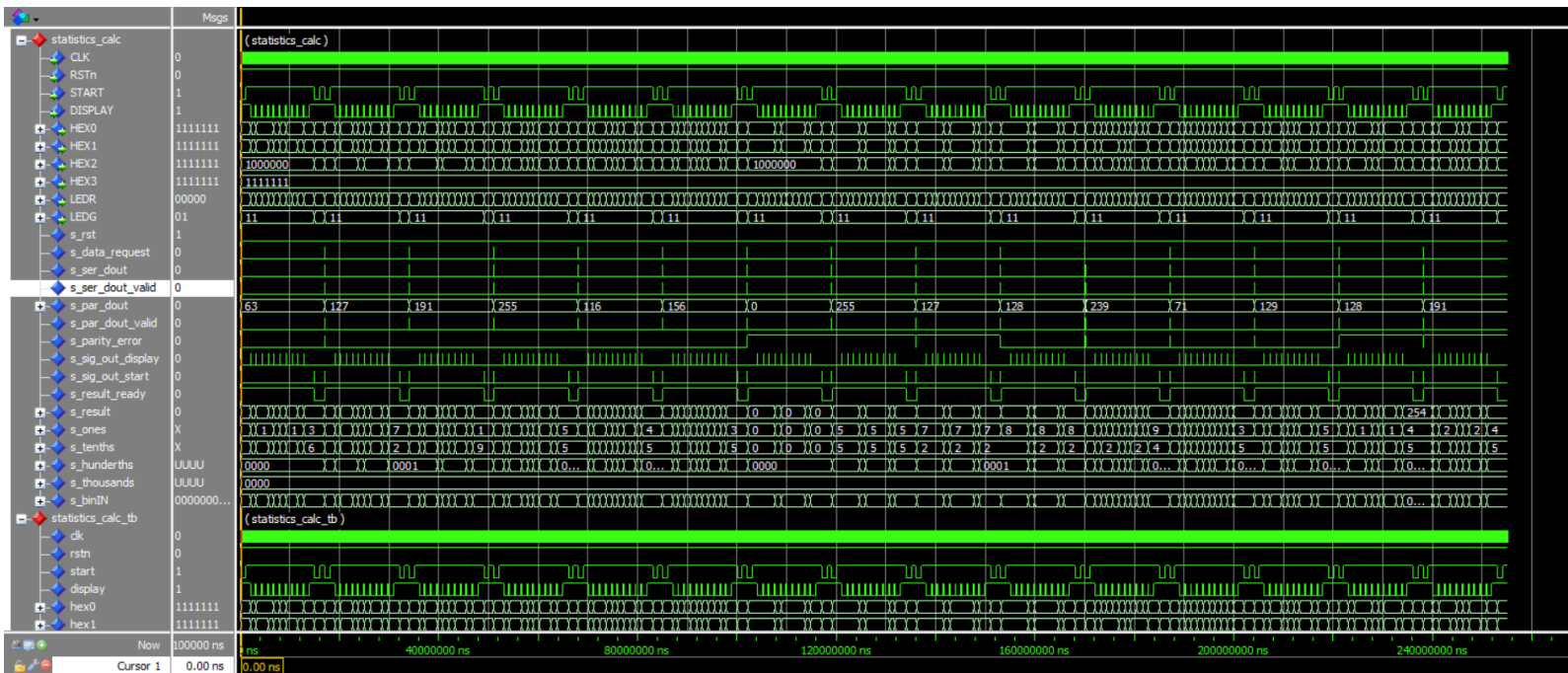


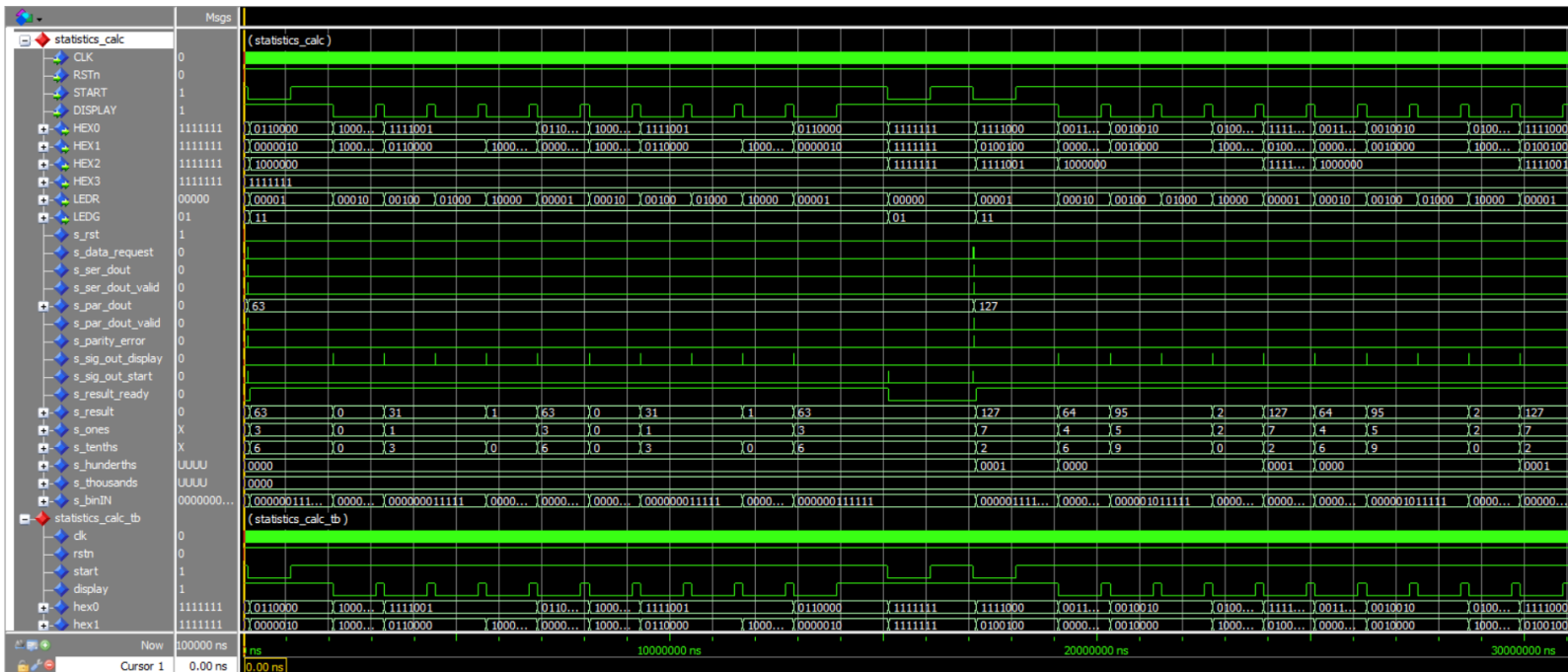
נתרכז בקבלת הנתון הראשון :



ניתן לראות כי בתחילת הרצת הסימולציה המערכת מתעוררת במצב Idle כנדרש.
לאחר מכן, לאחר לחיצה על Start (מסומן באדום) תיתן פקודה לאות DATA REQUEST לקבל '1'
(מסומן בכתום) והמערכת עוברת למצב Get data (מסומן בצהוב). לאחר מכן נעבור למצב של מיון
הנתונים (מסומן בכחול).
רק לאחר שאות המוצא RESULTS READY עולה ל-1 אנו נכנסים למצב של הצגת הנתונים כאשר
הנתון הראשון שאנו מציגים הינו הערך המקסימלי.
לחיצה על לחצן ה-Display (מסומן בלבן) תעביר אותנו להצגת הערך המינימלי כנדרש.

להלן תוצאות הסימולציה לאחר הרצת ה-TB בתוכנת ה-ModelSim (Statistics calc):





ניתן לראות כי כאשר לחצן ה-Start עובד בנמוך המערכת מתחילה את פעולתה.

בנוסף, עבור לחיצה על לחצן ה-Display (עובד בנמוך) ניתן לראות המעברים בין הסטטיסטיקות שחושבו על הנתונים.

את המעברים הנ"ל ניתן לראות בשינוי התוצאות בסיגנל s_result ובשינוי ה-LEDR שדולק בהתאם לסטטיסטיקה המוצגת.

כמו כן, לחיצה נוספת על Start תוריד את הסיגנל s_result_ready ל-0' ובכך תינתן פקודה לעבור להציג את הסטטיסטיקות על הנתון הבא.

הצגת הנתונים הבאה תתאפשר רק לאחר שהסיגנל s_result_ready עלה ל-1'.

בנוסף, הופק עבורנו דו"ח מה-TB בו השתמשנו על מנת לזהות שגיאות בפעולת המערכת :

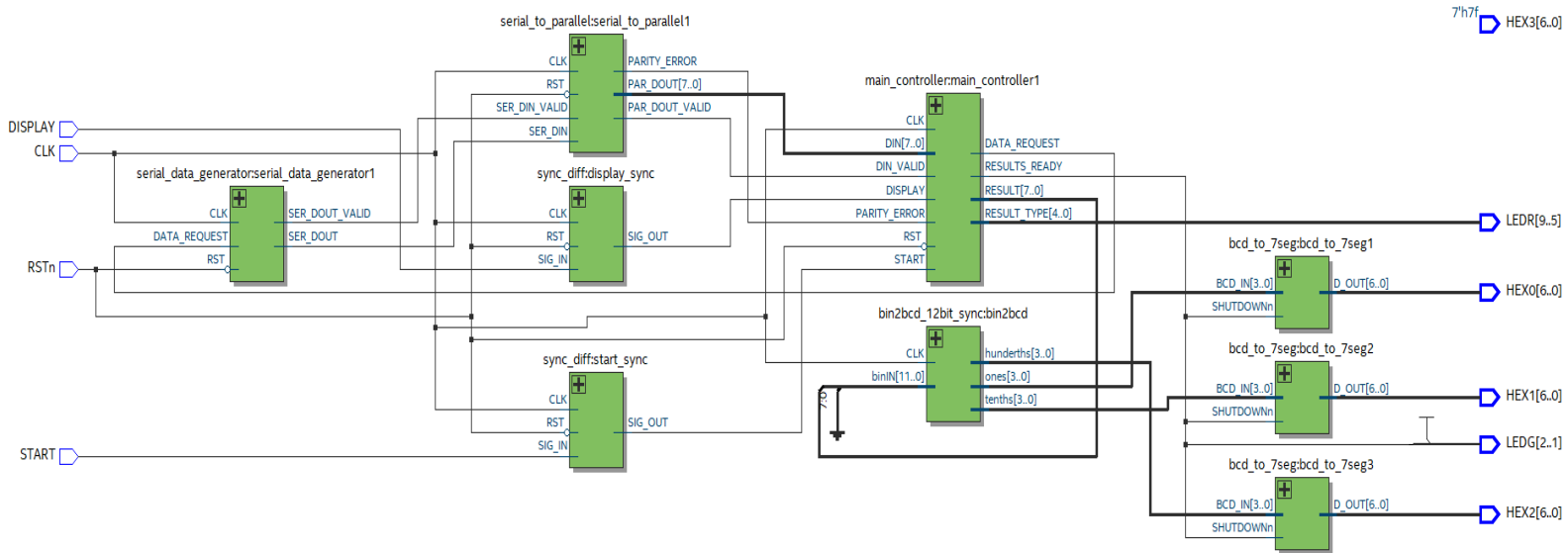
```

# Time: 230300 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 231500 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 232700 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 233900 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 240100 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 241300 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 242500 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 243700 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 244900 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 246100 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 247300 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 248500 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 249700 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Pass
# Time: 250900 us Iteration: 1 Instance: /statistics_calc_tb
** Note: Total errors: 0
# Time: 250900 us Iteration: 1 Instance: /statistics_calc_tb
** Failure: End of Simulation
# Time: 255100 us Iteration: 0 Process: /statistics_calc_tb/line_95 File: ../src/statistics_calc_tb.vhd

```

ניתן לראות כי המערכת שבנינו עברה את כל הבדיקות הנדרשות ב-TB זה וסימולציית המערכת הושלמה בהצלחה.

דיאגרמת RTL:



הקצאת פינים ודו"ח קומפילציה:

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sat Mar 23 12:45:57 2024
Quartus Prime Version	22.1std.2 Build 922 07/20/2023 SC Lite Edition
Revision Name	statistics_calc
Top-level Entity Name	statistics_calc
Family	Cyclone V
Device	5CGXFC5C6F27C7
Timing Models	Final
Logic utilization (in ALMs)	691 / 29,080 (2 %)
Total registers	775
Total pins	39 / 364 (11 %)
Total virtual pins	0
Total block memory bits	18,432 / 4,567,040 (< 1 %)
Total DSP Blocks	0 / 150 (0 %)
Total HSSI RX PCSs	0 / 6 (0 %)
Total HSSI PMA RX Deserializers	0 / 6 (0 %)
Total HSSI TX PCSs	0 / 6 (0 %)
Total HSSI PMA TX Serializers	0 / 6 (0 %)
Total PLLs	0 / 12 (0 %)
Total DLLs	0 / 4 (0 %)

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Slew Rate
in- CLK	Input	PIN_R20	5B	B5B_NO	PIN_R20	3.3-V LVTTL		16mA (default)	
in- DISPLAY	Input	PIN_Y15	4A	B4A_NO	PIN_Y15	1.2 V		8mA (default)	
out- HEX0[6]	Output	PIN_Y18	4A	B4A_NO	PIN_Y18	1.2 V		8mA (default)	1 (default)
out- HEX0[5]	Output	PIN_Y19	4A	B4A_NO	PIN_Y19	1.2 V		8mA (default)	1 (default)
out- HEX0[4]	Output	PIN_Y20	4A	B4A_NO	PIN_Y20	1.2 V		8mA (default)	1 (default)
out- HEX0[3]	Output	PIN_W18	4A	B4A_NO	PIN_W18	1.2 V		8mA (default)	1 (default)
out- HEX0[2]	Output	PIN_V17	4A	B4A_NO	PIN_V17	1.2 V		8mA (default)	1 (default)
out- HEX0[1]	Output	PIN_V18	4A	B4A_NO	PIN_V18	1.2 V		8mA (default)	1 (default)
out- HEX0[0]	Output	PIN_V19	4A	B4A_NO	PIN_V19	1.2 V		8mA (default)	1 (default)
out- HEX1[6]	Output	PIN_AF24	4A	B4A_NO	PIN_AF24	1.2 V		8mA (default)	1 (default)
out- HEX1[5]	Output	PIN_AC19	4A	B4A_NO	PIN_AC19	1.2 V		8mA (default)	1 (default)
out- HEX1[4]	Output	PIN_AE25	4A	B4A_NO	PIN_AE25	1.2 V		8mA (default)	1 (default)
out- HEX1[3]	Output	PIN_AE26	4A	B4A_NO	PIN_AE26	1.2 V		8mA (default)	1 (default)
out- HEX1[2]	Output	PIN_AB19	4A	B4A_NO	PIN_AB19	1.2 V		8mA (default)	1 (default)
out- HEX1[1]	Output	PIN_AD26	4A	B4A_NO	PIN_AD26	1.2 V		8mA (default)	1 (default)
out- HEX1[0]	Output	PIN_AA18	4A	B4A_NO	PIN_AA18	1.2 V		8mA (default)	1 (default)
out- HEX2[6]	Output	PIN_W20	5A	B5A_NO	PIN_W20	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX2[5]	Output	PIN_W21	5A	B5A_NO	PIN_W21	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX2[4]	Output	PIN_V20	5A	B5A_NO	PIN_V20	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX2[3]	Output	PIN_V22	5A	B5A_NO	PIN_V22	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX2[2]	Output	PIN_U20	5A	B5A_NO	PIN_U20	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX2[1]	Output	PIN_AD6	3A	B3A_NO	PIN_AD6	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX2[0]	Output	PIN_AD7	3A	B3A_NO	PIN_AD7	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX3[6]	Output	PIN_AC22	5A	B5A_NO	PIN_AC22	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX3[5]	Output	PIN_AC23	5A	B5A_NO	PIN_AC23	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX3[4]	Output	PIN_AC24	5A	B5A_NO	PIN_AC24	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX3[3]	Output	PIN_AA22	5A	B5A_NO	PIN_AA22	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX3[2]	Output	PIN_AA23	5A	B5A_NO	PIN_AA23	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX3[1]	Output	PIN_Y23	5A	B5A_NO	PIN_Y23	3.3-V LVTTL		16mA (default)	1 (default)
out- HEX3[0]	Output	PIN_Y24	5A	B5A_NO	PIN_Y24	3.3-V LVTTL		16mA (default)	1 (default)
out- LEDG[2]	Output	PIN_D8	8A	B8A_NO	PIN_D8	2.5 V		12mA (default)	1 (default)
out- LEDG[1]	Output	PIN_K6	8A	B8A_NO	PIN_K6	2.5 V		12mA (default)	1 (default)
out- LEDR[9]	Output	PIN_J10	8A	B8A_NO	PIN_J10	2.5 V		12mA (default)	1 (default)
out- LEDR[8]	Output	PIN_H7	8A	B8A_NO	PIN_H7	2.5 V		12mA (default)	1 (default)
out- LEDR[7]	Output	PIN_K8	8A	B8A_NO	PIN_K8	2.5 V		12mA (default)	1 (default)
out- LEDR[6]	Output	PIN_K10	8A	B8A_NO	PIN_K10	2.5 V		12mA (default)	1 (default)
out- LEDR[5]	Output	PIN_J7	8A	B8A_NO	PIN_J7	2.5 V		12mA (default)	1 (default)
in- RSTn	Input	PIN_P11	3B	B3B_NO	PIN_P11	1.2 V		8mA (default)	
in- START	Input	PIN_P12	3B	B3B_NO	PIN_P12	1.2 V		8mA (default)	

סרטון הדגמת המערכת:



:SIGNAL-TAP

:הגדרת SIGNAL-TAP

במטרה להשתמש ב-Signal-Tap יצרנו קובץ חדש מסוג STP והגדרנו את ה-Signal-Tap באופן הבא :

trigger: 2024/03/23 18:26:14 #0			Lock mode: Allow all changes		
Node			Data Enable	Trigger Enable	Trigger Conditions
Type	Alias	Name	39	39	1 <input checked="" type="checkbox"/> Basic OR
		DISPLAY	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
		RSTn	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
		START	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
		HEX0[6..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXXXXXXXb (OR)
		HEX1[6..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXXXXXXXb (OR)
		HEX2[6..0]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXXXXXXXb (OR)
		LEDG[2..1]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXb (OR)
		LEDR[9..5]	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXXXXXb (OR)
		main controller:main ...	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	XXXXXXXXXXb (OR)

בכדי לראות בתוכנת הקוורטוס שהמערכת עובדת כראוי, הוספנו את לחצני ה-Display, Reset, Start מכיוון שהם משפיעים על מעבר המערכת ממצב למצב וביכולתו של המשתמש להיות בבקרה על כך. נוסיף גם את תצוגות ה-7-Segment בכדי לראות את השינויים שבתצוגה.

נוסיף גם את LEDG ו-LEDR בכדי לראות את השינויים המתבצעים בהם במעבר ממצב אחד למשנהו.

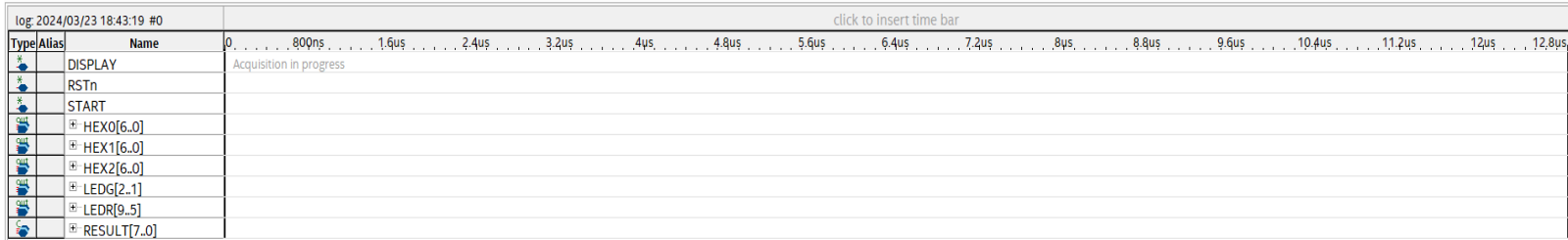
בנוסף, נרצה לוודא שהתוצאות המוצגות ברכיב אכן נכונות, לשם כך נוסיף את אות ה-RESULT.

בכדי לראות את השינויים בין מצב אחד לאחר, נדרוש שהאנליזה תתרחש בעליית הלחצנים שהגדרנו תוך לוגיקת OR בין הדרכונים הנ"ל.

תוצאות אנליזת SIGNAL-TAP:

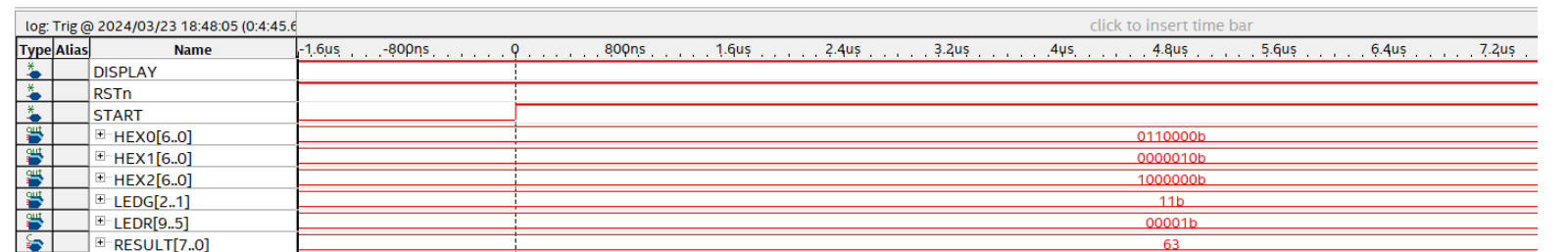
מצב I:

במצב זה המערכת תתחיל ממצב Idle כפי שתואר קודם לכן והמערכת תחכה לאות דירבון (Trigger) על מנת לבצע אנליזה בקווארטוס.



מצב II:

נלחץ כעת על כפתור ה-Start ונראה את תגובת המערכת:

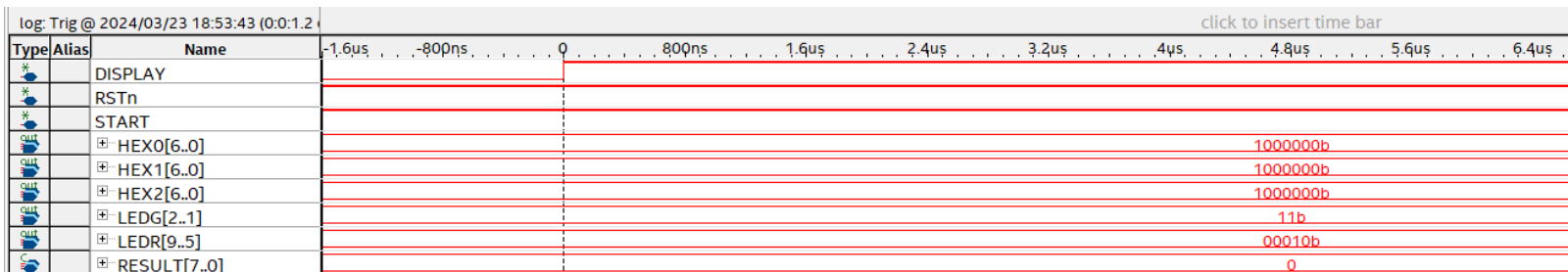


המערכת הגיבה כמצופה וכעת מציגה את הערך המקסימלי שחושב עבור בלוק נתונים זה.

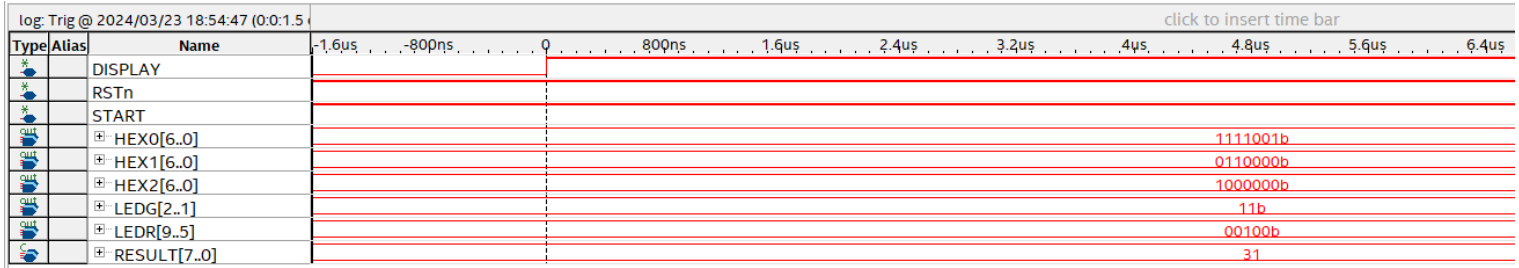
כמו כן, ניתן לראות כי שני הלדים הירוקים דולקים, כמו גם הלד האדום המסמן על תצוגת הערך המקסימלי.

נלחץ כעת על כפתור ה-Display בכדי לעבור בין תצוגת הסטטיסטיקות:

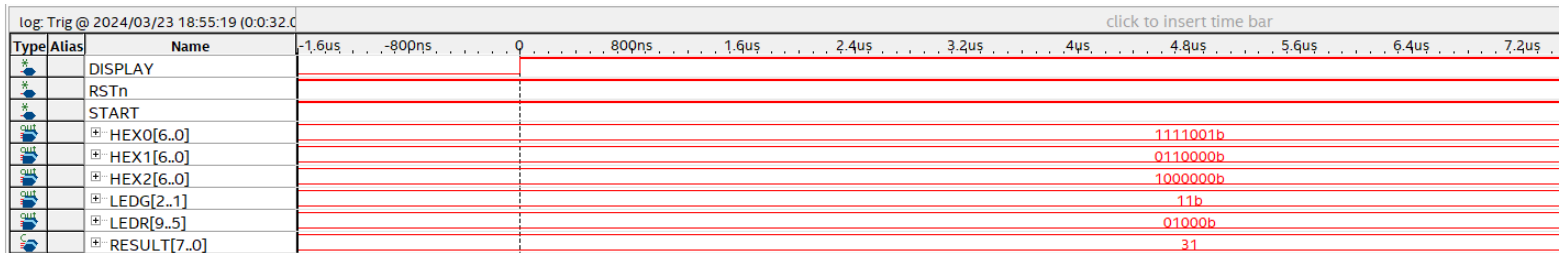
תצוגת מינימום:



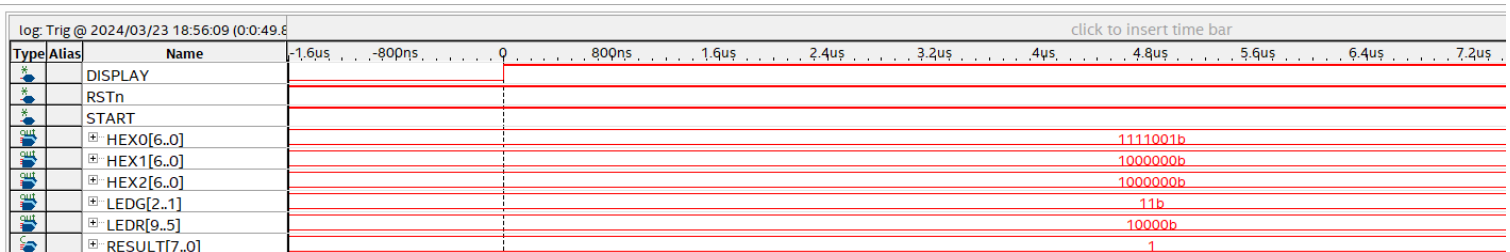
תצוגת ממוצע:



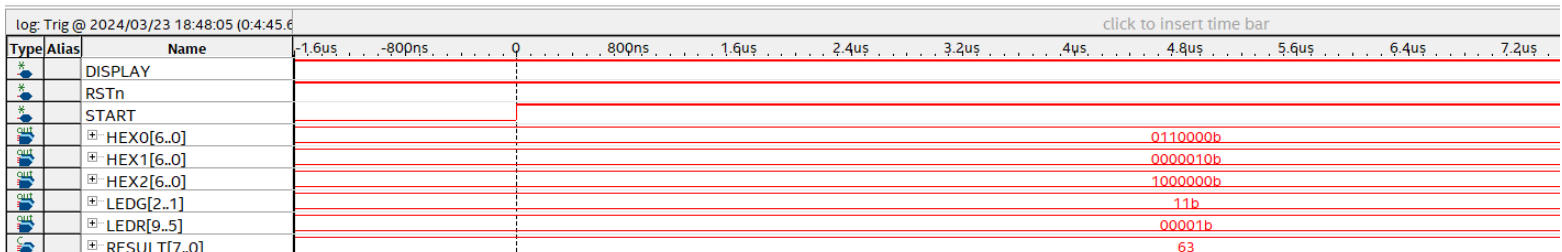
תצוגת חציון:



תצוגת שגיאות:



חזרה לתצוגת מקסימום:



בכל המעברים הנ"ל ראינו את הערכים הנכונים ב-Signal Tap Logic Analyzer.

מצב III :

במצב זה נעבור לבלוק נתונים הבא ונראה את תגובת המנתח הלוגי.

נלחץ Start פעמיים ונקבל את התוצאה הבאה :

Type	Alias	Name	-1.6µs	-800ns	0	800ns	1.6µs	2.4µs	3.2µs	4µs	4.8µs	5.6µs	6.4µs	7.2µs
X		DISPLAY												
X		RSTn												
X		START												
OUT		HEX0[6..0]										1111000b		
OUT		HEX1[6..0]										0100100b		
OUT		HEX2[6..0]										1111001b		
OUT		LEDG[2..1]										11b		
OUT		LEDR[9..5]										00001b		
C		RESULT[7..0]										127		

ניתן לראות כי קיבלנו את התוצאה הנכונה במנתח הלוגי.

תצוגת מינימום :

Type	Alias	Name	-1.6µs	-800ns	0	800ns	1.6µs	2.4µs	3.2µs	4µs	4.8µs	5.6µs	6.4µs	7.2µs
X		DISPLAY												
X		RSTn												
X		START												
OUT		HEX0[6..0]										0011001b		
OUT		HEX1[6..0]										0000010b		
OUT		HEX2[6..0]										1000000b		
OUT		LEDG[2..1]										11b		
OUT		LEDR[9..5]										00010b		
C		RESULT[7..0]										64		

מצב IV :

במצב זה נרצה לבדוק אם כפתור ה-Reset עושה את פעולתו כראוי. נלחץ עליו ונקבל את התוצאה

הבאה :

Type	Alias	Name	-1.6µs	-800ns	0	800ns	1.6µs	2.4µs	3.2µs	4µs	4.8µs	5.6µs	6.4µs	7.2µs	8µs	8.8µs	9.6µs	10.4µs	11.2µs
X		DISPLAY																	
X		RSTn																	
X		START																	
OUT		HEX0[6..0]										1111111b							
OUT		HEX1[6..0]										1111111b							
OUT		HEX2[6..0]										1111111b							
OUT		LEDG[2..1]										01b							
OUT		LEDR[9..5]										000000b							
C		RESULT[7..0]										0							

כפי שניתן לראות, כפתור ה-Reset אכן עשה את פעולתו כמצופה ואיפס את כל התצוגות והתוצאות,

כמו גם את הנורות ה-LED.



קומפילציה לאחר SIGNAL-TAP:

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sat Mar 23 19:08:29 2024
Quartus Prime Version	22.1std.2 Build 922 07/20/2023 SC Lite Edition
Revision Name	statistics_calc
Top-level Entity Name	statistics_calc
Family	Cyclone V
Device	5CGXFC5C6F27C7
Timing Models	Final
Logic utilization (in ALMs)	985 / 29,080 (3 %)
Total registers	1638
Total pins	39 / 364 (11 %)
Total virtual pins	0
Total block memory bits	23,424 / 4,567,040 (< 1 %)
Total DSP Blocks	0 / 150 (0 %)
Total HSSI RX PCSs	0 / 6 (0 %)
Total HSSI PMA RX Deserializers	0 / 6 (0 %)
Total HSSI TX PCSs	0 / 6 (0 %)
Total HSSI PMA TX Serializers	0 / 6 (0 %)
Total PLLs	0 / 12 (0 %)
Total DLLs	0 / 4 (0 %)

כפי שניתן לראות, לאחר שימוש ב-SIGNAL-TAP המערכת צרכה יותר משאבים על מנת לבצע את הניתוח הנדרש.

נספחים:

1. [Serial Data Generator](#)
2. [Synchronizer & differentiator](#)
3. [Binary to BCD 12 BITS synchronizer](#)
4. [BCD to 7-segment](#)
5. [Data rom](#)
6. [Final results](#)