

# Lab3

LED Shifter

# File description

## 1. Source files

- shifter.v：這次作業需要設計的module，這次作業只需編輯此檔案
- led\_shift.v：top module 包含 clk\_div 和 shifter 電路與描述其接線關係
- clk\_div.v：除頻器電路

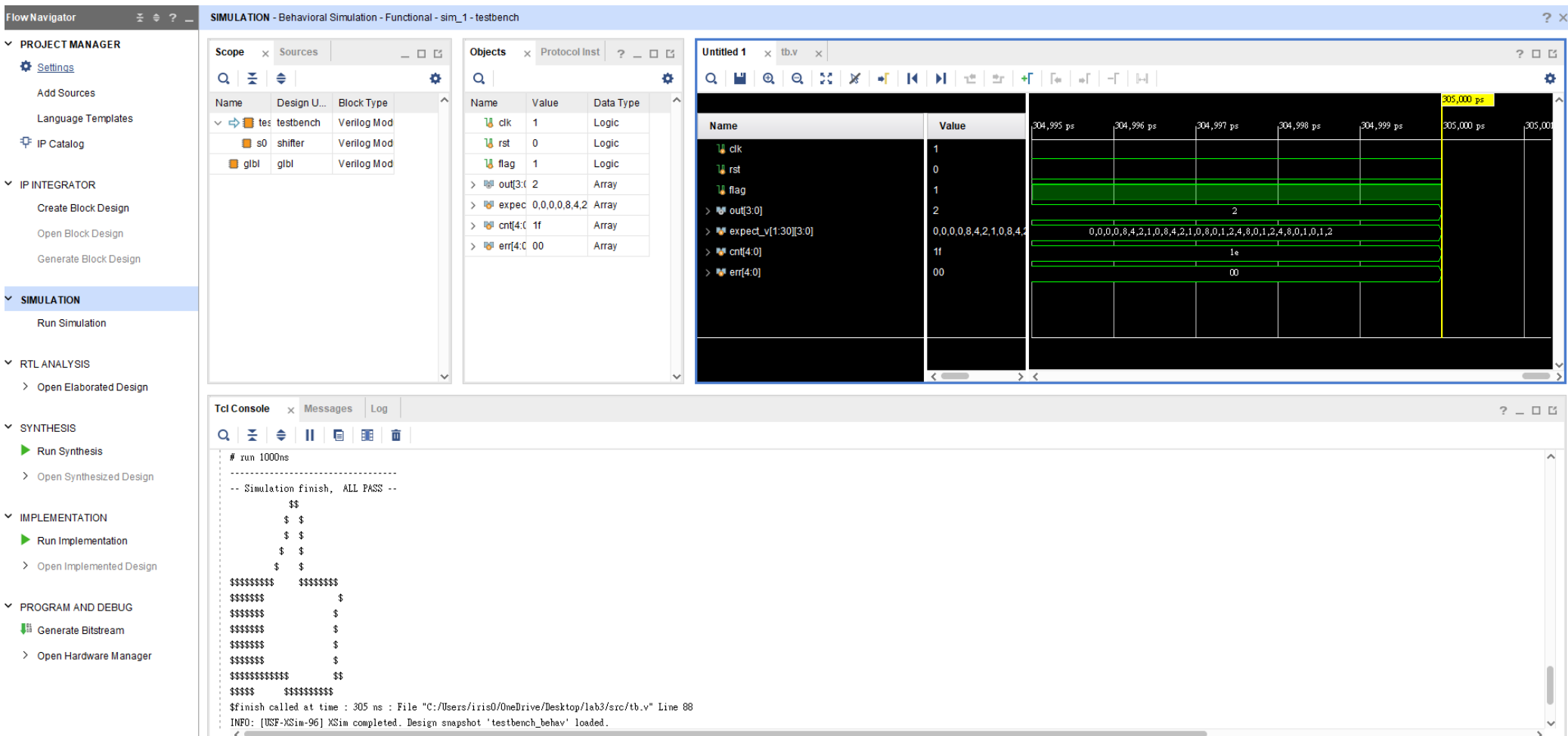
## 2. Simulation files

- tb.v：用來測試 shifter 正確性的測試平台
- golden.txt:在rtl模擬階段要將此檔案放入simulation source，testbench才可以正確執行

# Design Description

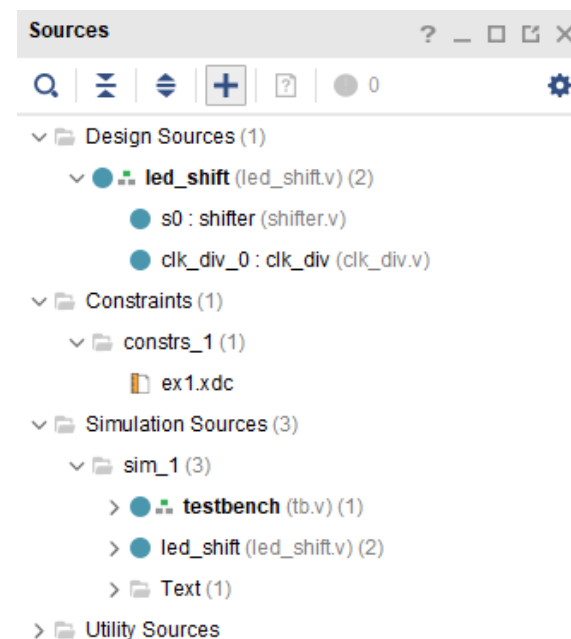
- 在shifter.v實作一個跑馬燈電路
- 請用 rst 將 4 個 LED 的初始狀態都設為0
- rst 完成後，請判斷 flag 是 high 或 low 來做位移，當 flag 是 high，則向左傳遞，flag 為 low 則向右。
- 向左的規律為 0000->0001->0010->0100->1000-> 0000->0001.....
- 向右的規律為 0000->1000->0100->0010->0001-> 0000->1000.....
- rst 為 active high 的非同步重置訊號，testbench 會在每個 clk 負緣檢查目前的 out 是否正確

RTL模擬完後，需要跑出此圖才算正確



# 產生bit-stream

- 完成rtl驗證後再將led\_shift.v、clk\_div.v 和 ex1.xdc等檔案也加入project中，依照上次lab流程再產生bits檔
- led\_shift.v、clk\_div.v加入Design Sources， ex1.xdc加入Constraints  
加入後Source window 會呈現如下圖的格式



# DEMO

- 這次lab需要將產生的bit-stream燒錄至FPGA驗證功能後才算完成，請先通過testbench測試並產生bit-stream，在DEMO期限內帶電腦來41206實驗室DEMO
- DEMO期限至11/11，開放DEMO時間為周二,周四10:00~18:00

# 需要繳交項目

1. Shifter\_**groupnum**.v：需要繳交完成的shifter.v，並將**groupnum**改成你的組別。嚴禁抄襲，抓到將以零分計算
2. Report\_**groupnum**.pdf：書面報告需要包含下面幾點
  - 設計原理
  - 波型(Waveform)分析
  - 通過 simulation 測試的截圖
3. 繳交期限11/14 23:59

# 評分標準

- DEMO與Report各佔50%
- DEMO不開放補交，Report每遲交一個禮拜就打9折，以此類推
- 抄襲一律0分計算