

***2***

***0***

***2***

***0***

**数字电路与逻辑设计**

**课程实验报告**

**小型实验室门禁系统**

|  |  |
| --- | --- |
| 姓 名： | 杨雨鑫 |
| 学 号： | U201814655 |
| 班 级： | 1806 |
| 专 业： | 计算机科学与技术 |
| 完成日期： | 2020.5.5 |

实验二：小型实验室门禁系统设计

1. 实验名称

小型实验室门禁系统设计。

2. 实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件Logisim的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使学生掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3．实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内4个课时，课外4个课时。

5．实验内容

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用Logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用Logisim提供的逻辑元件库。

具体要求如下：

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并**进行封装**，逻辑符号如图2.1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、预置控制端C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps1.jpg、预置初置端DCBA、四个计数器状态输出值**QD QC QB QA**。当预置控制端C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps2.jpg为低电平时，计数器输出**QD QC QB QA**被预置为DCBA端输入的值。

**（2）二进制转8421BCD码电路**

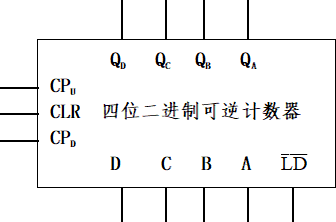
用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

图2.1 四位二进制可逆计数器

**（3）显示电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，满足如下要求：

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求，为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

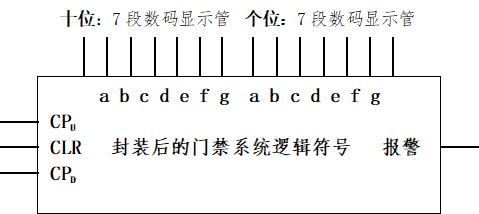
利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号如图2.2所示。

图2.2 封装后的小型实验室门禁系统

6. 实验方案设计

**（1）四位二进制可逆计数器**

根据题意可以得到LD=1时真值表如表2.1所示。

表2.1 四位二进制可逆计数器真值表

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | 现态 | 次态 | 激励 | | | | | | | |
| CPuCPd | QDQCQBQA | Qn+1DQn+1CQn+1BQn+1A | D3 | C3 | D2 | C2 | D1 | C1 | D0 | C0 |
| 01 | 0000 | 1111 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0001 | 0000 | d | 0 | d | 0 | d | 0 | 0 | 1 |
| 0010 | 0001 | d | 0 | d | 0 | 0 | 1 | 1 | 1 |
| 0011 | 0010 | d | 0 | d | 0 | d | 0 | 0 | 1 |
| 0100 | 0011 | d | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0101 | 0100 | d | 0 | d | 0 | d | 0 | 0 | 1 |
| 0110 | 0101 | d | 0 | d | 0 | 0 | 1 | 1 | 1 |
| 0111 | 0110 | d | 0 | d | 0 | d | 0 | 0 | 1 |
| 1000 | 0111 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1001 | 1000 | d | 0 | d | 0 | d | 0 | 0 | 1 |
| 1010 | 1001 | d | 0 | d | 0 | 0 | 1 | 1 | 1 |
| 1011 | 1010 | d | 0 | d | 0 | d | 0 | 0 | 1 |
| 1100 | 1011 | d | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1101 | 1100 | d | 0 | d | 0 | d | 0 | 0 | 1 |
| 1110 | 1101 | d | 0 | d | 0 | 0 | 1 | 1 | 1 |
| 1111 | 1110 | d | 0 | d | 0 | d | 0 | 0 | 1 |
| 10 | 0000 | 0001 | d | 0 | d | 0 | d | 0 | 1 | 1 |
| 0001 | 0010 | d | 0 | d | 0 | 1 | 1 | 0 | 1 |
| 0010 | 0011 | d | 0 | d | 0 | d | 0 | 1 | 1 |
| 0011 | 0100 | d | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0100 | 0101 | d | 0 | d | 0 | d | 0 | 1 | 1 |
| 0101 | 0110 | d | 0 | d | 0 | 1 | 1 | 0 | 1 |
| 0110 | 0111 | d | 0 | d | 0 | d | 0 | 1 | 1 |
| 0111 | 1000 | d | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1000 | 1001 | 1 | 0 | d | 0 | d | 0 | 1 | 1 |
| 1001 | 1010 | d | 0 | d | 0 | 1 | 1 | 0 | 1 |
| 1010 | 1011 | d | 0 | d | 0 | d | 0 | 1 | 1 |
| 1011 | 1100 | d | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1100 | 1101 | d | 0 | d | 0 | d | 0 | 1 | 1 |
| 1101 | 1110 | d | 0 | d | 0 | 1 | 1 | 0 | 1 |
| 1110 | 1111 | d | 0 | d | 0 | d | 0 | 1 | 1 |
| 1111 | 0000 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |

LD=1时，通过卡诺图得到函数表达式如下：

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps5.jpg

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps6.jpg

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps7.jpg

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps8.jpg

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps9.jpg

LD=0时，要求输出立刻变为预置值并且计数器不工作，相当于在我们之前设计的输出还需要加上校正输出。

注意：LD复原后输出不变，这样才是强行修改输出，而不是仅仅暂时修改输出。

故修正函数表达式为

















电路图如图2.3所示。

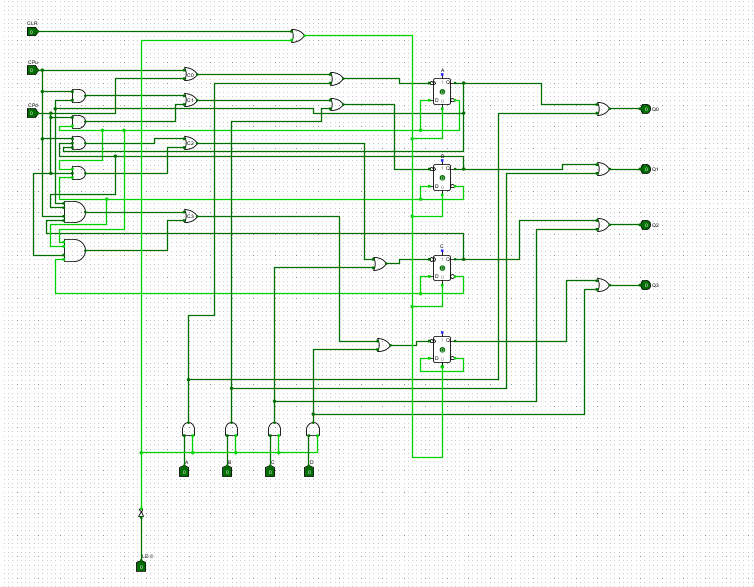


图2.3 四位二进制可逆计数器电路图

封装后的四位二进制可逆计数器间图2.4：

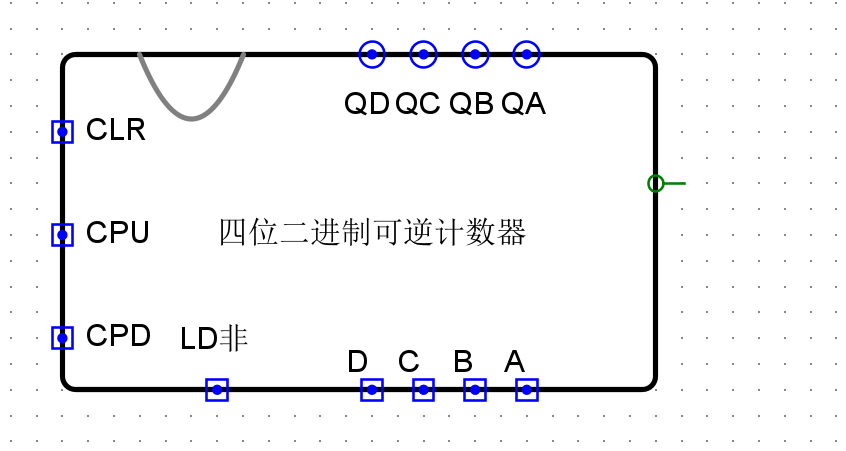


图2.4 四位二进制可逆计数器封装电路图

**（2）二进制转8421BCD码电路**

四位二进制数与8421BCD码对应关系如表2.2所示。

表2.2 四位二进制与8421BCD码对应关系表

|  |  |  |
| --- | --- | --- |
| 四位二进制数 | 8421BCD码 | 二者差值 |
| A3A2A1A0 | S10S4S3S2S1 | B3B2B1B0 |
| 0000 | 00000 | 0000 |
| 0001 | 00001 | 0000 |
| 0010 | 00010 | 0000 |
| 0011 | 00011 | 0000 |
| 0100 | 00100 | 0000 |
| 0101 | 00101 | 0000 |
| 0110 | 00110 | 0000 |
| 0111 | 00111 | 0000 |
| 1000 | 01000 | 0000 |
| 1001 | 01001 | 0000 |
| 1010 | 10000 | 0110 |
| 1011 | 10001 | 0110 |
| 1100 | 10010 | 0110 |
| 1101 | 10011 | 0110 |
| 1110 | 10100 | 0110 |
| 1111 | 10101 | 0110 |

由卡诺图可知B2=B1=(A2+A1)A3，B3=B0=0,可得电路图如图2.5所示。

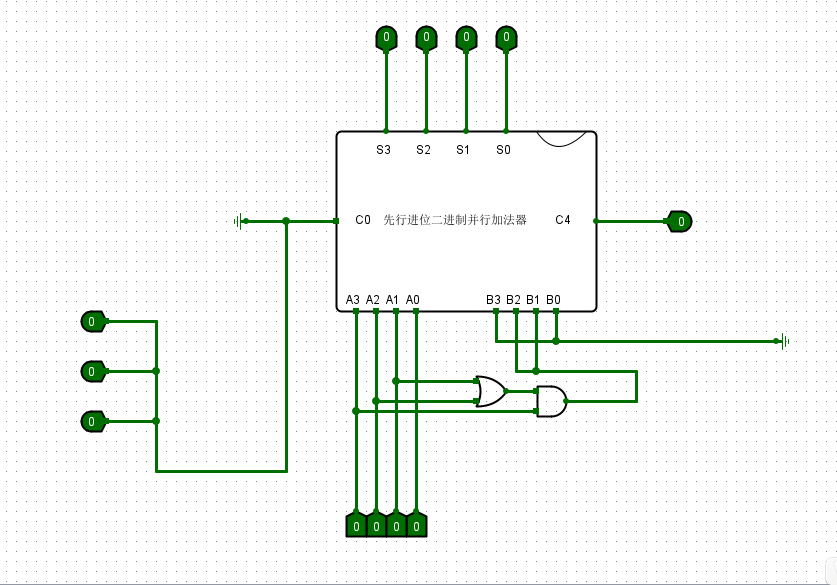


图2.5 二进制转8421BCD码电路图

封装如图2.6所示。

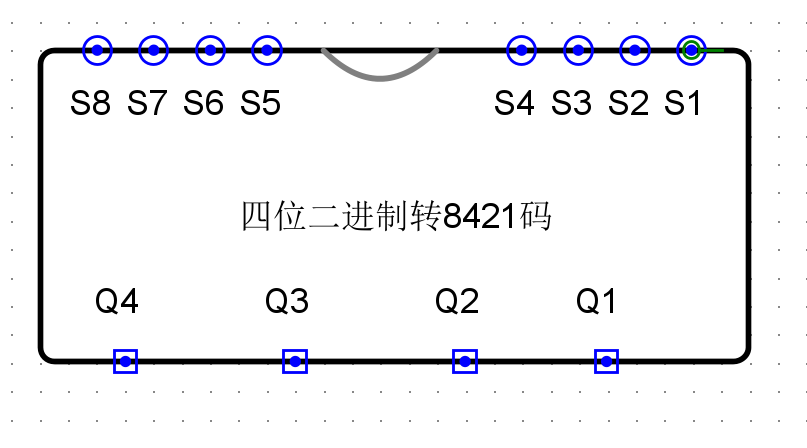


图2.6 二进制转8421BCD码电路封装图

**（3）显示电路**

7段译码器的真值表如表2.3所示。

表2.3 7段译码器真值表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | 输出 | | | | | | |
| A3A2A1A0 | a | b | c | d | e | f | g |
| 0000 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0001 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0010 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0011 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0100 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0101 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0110 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0111 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1000 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1001 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |

卡诺图化简后的函数表达式为：

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps15.jpg

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps16.jpg

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps17.jpg

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps18.jpg

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps19.jpg

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps20.jpg

C:\Users\admin\AppData\Local\Temp\ksohtml12904\wps21.jpg

这里我直接使用真值表直接快速生成电路，走线比较美观。

电路图如图2.7所示。

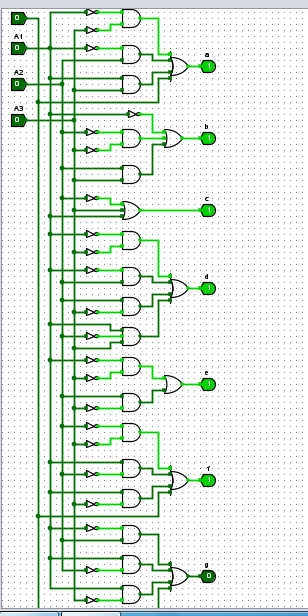


图2.7 7段译码器电路图

封装后如图2.8所示。

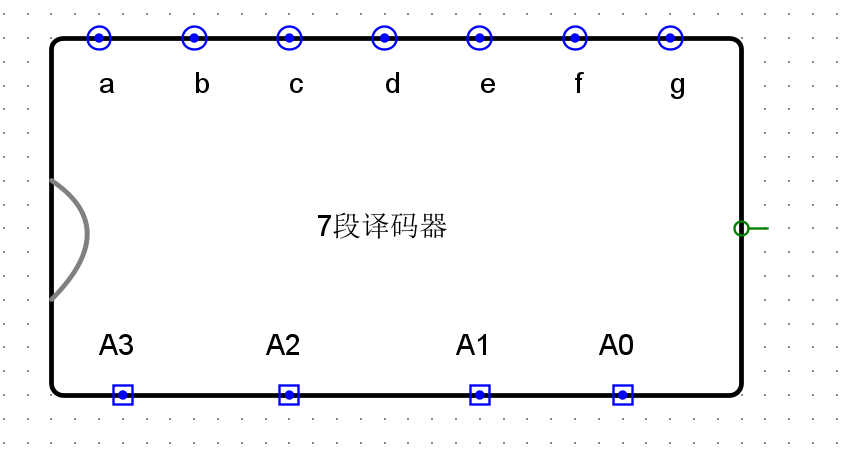


图2.8 7段译码器封装图

**（4）报警电路**

使人数为0时CPd来脉冲时人数不下降，应该对计数器CPd输入端做出修正： 

使人数为15后CPu来脉冲时人数不上升且报警，应该对计数器CPu输入端做出修正：

报警输出为： 

电路图如图2.9所示。

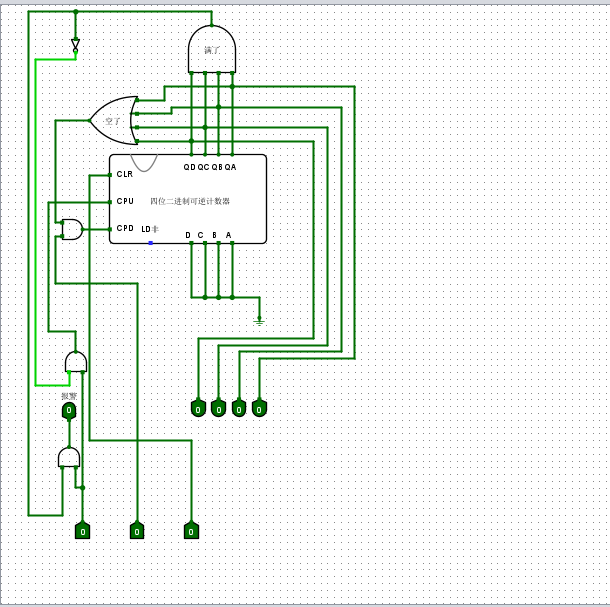


图2.9 报警电路图

报警电路封装图见图2.10：

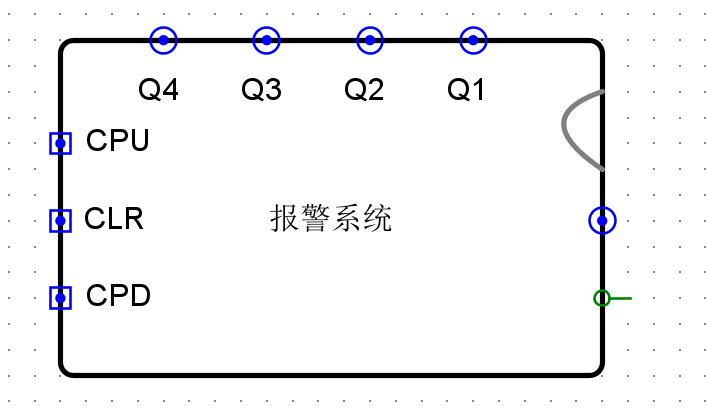


图2.9 报警电路封装电路图

**（5）小型实验室门禁系统电路的封装**

将前面的器件组合起来可得电路图如图2.11所示。

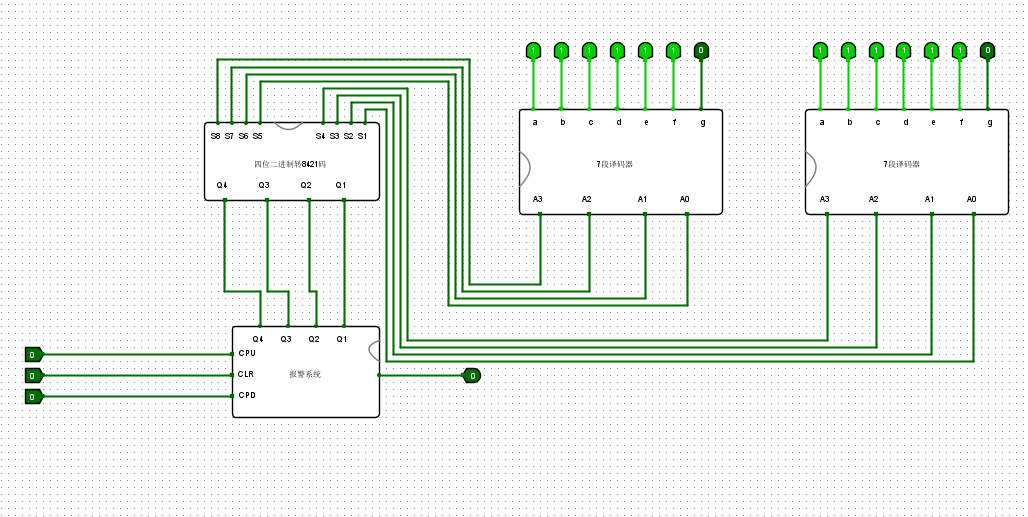


图2.11 门禁系统电路图

封装后如图2.12所示.

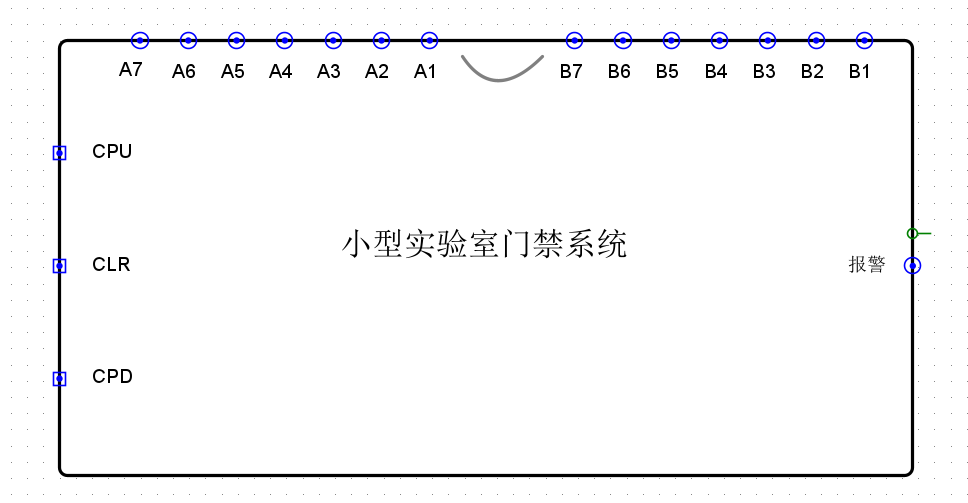


图2.12 门禁系统封装图

测试电路如图2.13所示。

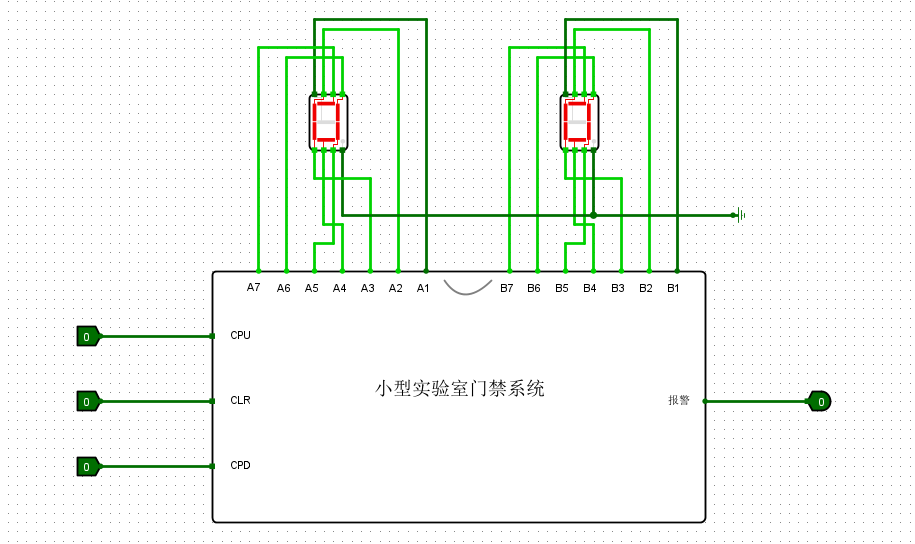


图2.13 门禁系统测试电路图